



GRADO EN INGENIERÍA EN TECNOLOGÍAS DE TELECOMUNICACIÓN

TRABAJO FIN DE GRADO

DESARROLLO DE UNA PCB GATEWAY PARA LA GESTIÓN
DE SEÑALES DE UN VEHÍCULO SEGÚN EL BUS CAN E
INTEGRACIÓN EN UN PROTOTIPO 'FORMULA STUDENT'

Autor: Lorena Lam Díez

Director: Eduardo Alonso Rivas

Madrid

Junio de 2026

Declaración de originalidad

Declaro bajo mi responsabilidad que el Proyecto presentado con el título **Desarrollo de una PCB Gateway para la gestión de señales de un vehículo según el bus CAN e integración en un prototipo Formula Student** e la ETS de Ingeniería – ICAI de la Universidad Pontificia Comillas en el curso académico **2025-2026** es de mi autoría y no ha sido presentado con anterioridad a otros efectos. El Proyecto no es plagio de otro, ni total ni parcialmente y la información que ha sido tomada de otros documentos está debidamente referenciada.

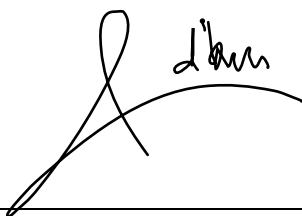
Uso de Inteligencia Artificial¹

Declaro bajo mi responsabilidad que (indicar la opción correcta):

☐ No he utilizado Inteligencia Artificial en la elaboración del presente documento.

☒ He utilizado Inteligencia Artificial en la elaboración del presente documento y/o del Anexo B siempre en las condiciones permitidas por la Universidad Pontificia Comillas, es decir, aplicando el Nivel 2 de la [Escala de Evaluación de Perkins et al. \(2024\)](#): *“La IA puede utilizarse para actividades previas a la tarea, como la lluvia de ideas, la descripción y la investigación inicial. Este nivel se centra en el uso de la IA para la planificación, las síntesis y la generación de ideas, pero las evaluaciones deben hacer hincapié en la capacidad de desarrollar y refinar estas ideas de forma independiente”*. En concreto, las Inteligencia Artificial ha sido empleada para:

La Inteligencia Artificial se ha empleado como apoyo en las fases previas y de documentación del trabajo, sin sustituir el desarrollo técnico propio. En concreto, se ha utilizado para la búsqueda y síntesis de información inicial sobre microcontroladores STM32, el bus CAN FD y el acondicionamiento de señales analógicas; para la organización y estructuración del índice de la memoria; como ayuda en la redacción y revisión gramatical y de estilo de determinados apartados; y para la generación de ideas durante la planificación del proyecto. El diseño del esquemático y de la PCB en KiCad, la selección final de componentes, el desarrollo y validación del firmware, la realización de las pruebas funcionales y el análisis crítico de los resultados han sido elaborados de forma independiente por la autora.



Firmado (alumno): Lorena Lam Díez

Fecha: 25-06-2026

Autorización para la entrega del Proyecto

¹ Esta declaración se refiere al uso de la Inteligencia Artificial generativa para realizar los documentos del Proyecto (Anexo B y Memoria). No aplica a Proyectos donde, por su naturaleza, deban emplear inteligencia artificial como parte de los mismos (aplicación de técnicas de aprendizaje automático, redes neuronales, análisis de datos...)

El Director del Proyecto	El co-Director del Proyecto (si aplica)
Fdo:	Fdo:
Fecha:	Fecha:



GRADO EN INGENIERÍA EN TECNOLOGÍAS DE TELECOMUNICACIÓN

TRABAJO FIN DE GRADO

DESARROLLO DE UNA PCB GATEWAY PARA LA GESTIÓN DE SEÑALES DE UN VEHÍCULO SEGÚN EL BUS CAN E INTEGRACIÓN EN UN PROTOTIPO 'FORMULA STUDENT'

Autor: Lorena Lam Díez

Director: Eduardo Alonso Rivas

Madrid

Junio de 2026

DESARROLLO DE UNA PCB GATEWAY PARA LA GESTIÓN DE SEÑALES DE UN VEHÍCULO SEGÚN EL BUS CAN E INTEGRACIÓN EN UN PROTOTIPO ‘FORMULA STUDENT’

Autor: Lam Díez, Lorena.

Director: Alonso Rivas, Eduardo.

Entidad Colaboradora: ICAI – Universidad Pontificia Comillas

RESUMEN DEL PROYECTO

Este trabajo presenta el diseño de una PCB Gateway para un monoplace Formula Student que digitaliza las señales de los sensores del frontal y las transmite a la VCU mediante un único bus CAN FD. Basada en el microcontrolador STM32H523CET6 y el transceptor TCAN330, integra el acondicionamiento de señales analógicas y SPI e I2C.

Palabras clave: CAN FD, STM32, sistema embebido, adquisición de señales, Formula Student, KiCad

1. Introducción

En el monoplace del ISC Racing Team, las señales de los sensores del frontal (potenciómetros de acelerador y suspensión, y sensor de presión de freno), viajaban de forma analógica hasta la VCU trasera a través de aproximadamente metro y medio de cableado, lo que aumentaba el peso del mazo y exponía las señales al ruido electromagnético.

Para resolverlo se propone una arquitectura de nodo Gateway: una placa situada en el frontal que digitaliza localmente las señales y las transmite por un único bus CAN FD hacia la VCU, en coherencia con la electrónica del resto del vehículo. Este Trabajo presenta el diseño completo de la placa, su firmware y su validación experimental sobre una plataforma de desarrollo de la misma familia que el microcontrolador definitivo.

2. Definición del proyecto

El objetivo general del proyecto es diseñar, desarrollar, fabricar y validar una PCB Gateway capaz de adquirir las señales analógicas y digitales del frontal del monoplace y transmitir las mediante CAN FD a la VCU trasera. De este objetivo general se derivan cuatro objetivos específicos: (i) seleccionar el microcontrolador y los sensores adecuados y validar las cadenas de adquisición y la comunicación CAN FD sobre una plataforma de desarrollo; (ii) desarrollar el firmware de adquisición, procesamiento y transmisión; (iii) diseñar el esquemático y el enrutado de la PCB Gateway; y (iv) proponer un plan de integración de la placa en el monoplace.

El alcance del Trabajo comprende el diseño completo del sistema y su validación funcional sobre la plataforma de desarrollo Nucleo-H533RE. La fabricación física de la placa, así como su validación e integración sobre el prototipo, quedaron condicionadas por la disponibilidad del hardware y por los plazos del proyecto, por lo que se recogen como trabajo futuro.

3. Descripción del modelo/sistema/herramienta

El sistema se estructura en torno al microcontrolador STM32H523CET6, de la familia STM32H5 y núcleo ARM Cortex-M33, que centraliza la lectura de todos los sensores del frontal. Cada sensor se conecta al periférico más adecuado a su naturaleza, tal como se ilustra en la Figura 1. Las cinco señales analógicas, los dos potenciómetros del acelerador (APPS), los dos de suspensión y el sensor de presión de freno EPT1400, se digitalizan mediante el periférico ADC. El sensor de temperatura de disco MAX6675, basado en un termopar de tipo K, se comunica por el bus SPI, mientras que los dos sensores de temperatura de neumático MLX90614 lo hacen mediante sendos buses I2C. Una vez adquiridas y procesadas, las medidas se empaquetan y se transmiten a través del periférico FDCAN1 sobre el bus CAN FD.

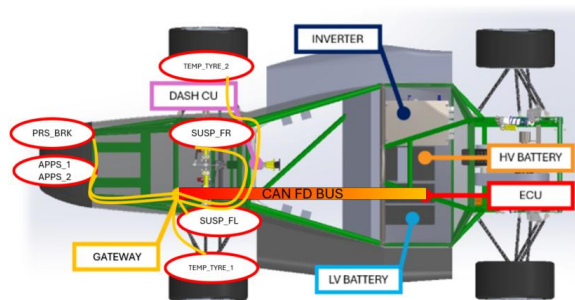


Ilustración 1: Diagrama de la arquitectura propuesta para el prototipo IFS-08

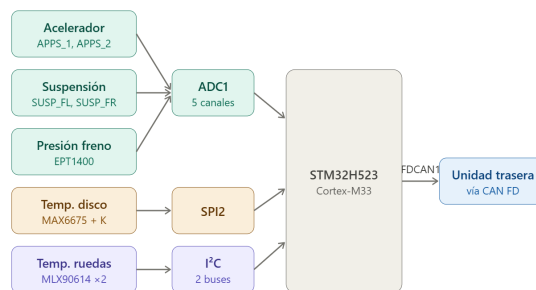


Ilustración 2: Arquitectura del sistema de adquisición que implementa la PCB Gateway

4. Resultados

El principal resultado del trabajo es el diseño de la PCB Gateway, basada en el microcontrolador STM32H523CET6 y el transceptor TCAN330 para comunicaciones CAN FD. La placa integra el acondicionamiento de cinco señales analógicas, las interfaces SPI e I2C para los sensores de temperatura, la etapa de alimentación, el oscilador externo, el conector de programación SWD, la comunicación con la VCU y las protecciones eléctricas necesarias. El esquemático y el PCB superaron las verificaciones ERC y DRC de KiCad sin errores. Previamente, la arquitectura fue validada sobre una plataforma Nucleo-H533RE, comprobando el correcto funcionamiento de la adquisición de señales analógicas, los

sensores de temperatura mediante SPI e I²C y la transmisión de datos por CAN FD. Esta validación confirmó la viabilidad del diseño y permitió definir los criterios empleados en la PCB definitiva.

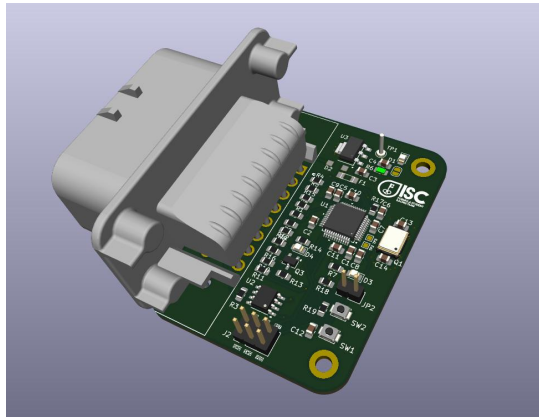


Ilustración 3: Vista tridimensional frontal del modelo CAD de la PCB Gateway

5. Conclusiones

El Trabajo ha permitido diseñar y validar funcionalmente, sobre plataforma de desarrollo, un nodo Gateway que digitaliza las señales del frontal del monoplaza y las transmite por CAN FD, sustituyendo la arquitectura analógica punto a punto previa. Se han alcanzado los objetivos relativos al diseño del sistema, al desarrollo del firmware y a la validación de las cadenas de adquisición y de la comunicación CAN FD. El diseño de la PCB se ha completado y verificado, y su fabricación se encuentra en proceso; la validación física e integración sobre el monoplaza quedan como trabajo futuro.

6. Referencias

- [1] BOSCH, R. GmbH. CAN Specification, Version 2.0. Stuttgart, 1991.
- [2] ISO 11898-1:2015. Road vehicles — Controller area network (CAN) — Part 1: Data link layer and physical signalling. International Organization for Standardization, 2015.
- [3] STMicroelectronics. STM32H523/H533 Datasheet (DS14258) y Reference Manual (RM0481). 2023.
- [4] Analog Devices (Maxim Integrated). MAX6675 Cold-Junction-Compensated K-Thermocouple-to-Digital Converter Datasheet.
- [5] Melexis. MLX90614 family — Single and Dual Zone Infra-Red Thermometer in TO-39 Datasheet.
- [6] Variohm EuroSensor. EPT1400 Pressure Transducer Datasheet.
- [7] Texas Instruments. TCAN330 3.3-V CAN Transceiver with CAN FD Datasheet.

DEVELOPMENT OF A GATEWAY PCB FOR VEHICLE SIGNAL MANAGEMENT OVER THE CAN BUS AND INTEGRATION INTO A 'FORMULA STUDENT' PROTOTYPE

Author: Lam Díez, Lorena.

Supervisor: Alonso Rivas, Eduardo.

Collaborating Entity: ICAI – Universidad Pontificia Comillas

ABSTRACT

This work presents the design of a PCB Gateway for a Formula Student car that digitizes the front-end sensor signals and transmits them to the VCU over a single CAN FD bus. Based on the STM32H523CET6 microcontroller and the TCAN330 transceiver, it integrates the conditioning of analog signals as well as SPI and I2C..

Keywords: CAN FD, STM32, sistema embebido, adquisición de señales, Formula Student, KiCad

1. Introduction

In the ISC Racing Team's car, the signals from the front-end sensors ,accelerator and suspension potentiometers, and brake pressure sensor, travelled in analog form to the rear VCU through approximately one and a half meters of wiring, which increased the weight of the harness and exposed the signals to electromagnetic noise.

To solve this, a Gateway node architecture is proposed: a board located at the front end that digitizes the signals locally and transmits them over a single CAN FD bus to the VCU, consistent with the electronics of the rest of the vehicle. This Project presents the complete design of the board, its firmware, and its experimental validation on a development platform of the same family as the final microcontroller.

2. Project definition

The general objective of the project is to design, develop, manufacture, and validate a PCB Gateway capable of acquiring the analog and digital signals from the front end of the car and transmitting them via CAN FD to the rear VCU. From this general objective, four specific objectives are derived: (i) to select the appropriate microcontroller and sensors and to validate the acquisition chains and the CAN FD communication on a development platform; (ii) to develop the acquisition, processing, and transmission firmware; (iii) to design the schematic and the routing of the PCB Gateway; and (iv) to propose a plan for integrating the board into the car.

The scope of the Project comprises the complete design of the system and its functional validation on the Nucleo-H533RE development platform. The physical manufacturing of the board, as well as its validation and integration on the prototype, were conditioned by hardware availability and by the project's deadlines and are therefore included as future work.

3. Description of the model/system/tool

The system is structured around the STM32H523CET6 microcontroller, of the STM32H5 family and ARM Cortex-M33 core, which centralizes the reading of all the front-end sensors. Each sensor is connected to the peripheral most suited to its nature, as illustrated in Figure 1. The five analog signals, the two accelerator potentiometers (APPS), the two suspension ones, and the EPT1400 brake pressure sensor, are digitized by the ADC peripheral. The MAX6675 disc temperature sensor, based on a type-K thermocouple, communicates over the SPI bus, while the two MLX90614 tyre temperature sensors do so through their respective I²C buses. Once acquired and processed, the measurements are packaged and transmitted through the FDCAN1 peripheral over the CAN FD bus.

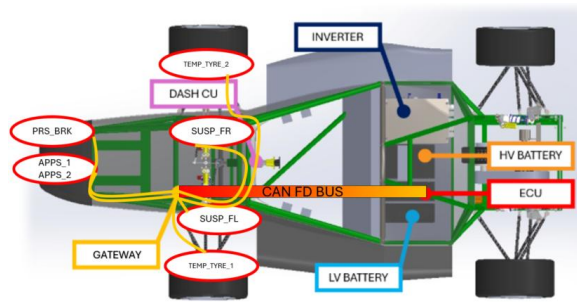


Figure 1: Diagram of the proposed architecture for the IFS-08 prototype

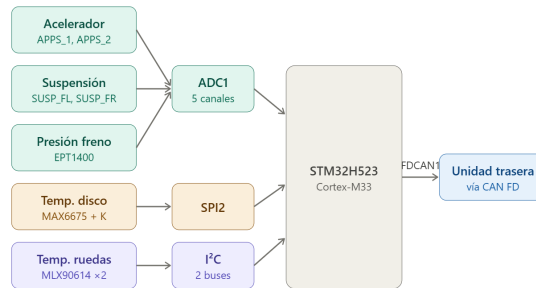


Figure 2: Architecture of the acquisition system implemented by the PCB Gateway

4. Results

The main result of the work is the design of the PCB Gateway, based on the STM32H523CET6 microcontroller and the TCAN330 transceiver for CAN FD communications. The board integrates the conditioning of five analog signals, the SPI and I²C interfaces for the temperature sensors, the power supply stage, the external oscillator, the SWD programming connector, the communication with the VCU, and the necessary electrical protections. The schematic and the PCB passed KiCad's ERC and DRC checks without errors. Previously, the architecture was validated on a Nucleo-H533RE platform, verifying the correct operation of the analog signal acquisition, the temperature sensors via

SPI and I²C, and the data transmission over CAN FD. This validation confirmed the feasibility of the design and made it possible to define the criteria used in the final PCB.

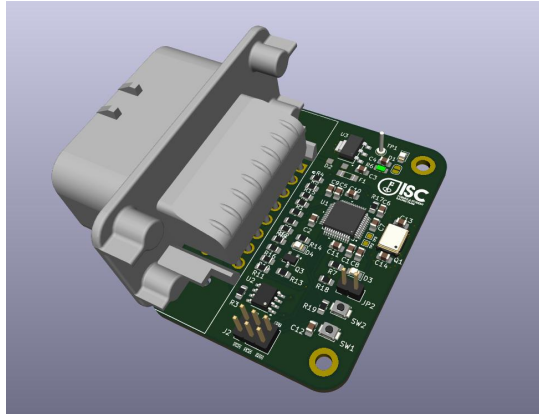


Figure 3: Three-dimensional front view of the CAD model of the PCB Gateway

5. Conclusions

The Project has made it possible to design and functionally validate, on a development platform, a Gateway node that digitizes the front-end signals of the car and transmits them via CAN FD, replacing the previous point-to-point analog architecture. The objectives relating to the system design, the firmware development, and the validation of the acquisition chains and the CAN FD communication have been achieved. The design of the PCB has been completed and verified, and its manufacturing is in progress; the physical validation and integration on the car remain as future work.

6. References

- [1] BOSCH, R. GmbH. CAN Specification, Version 2.0. Stuttgart, 1991.
- [2] ISO 11898-1:2015. Road vehicles — Controller area network (CAN) — Part 1: Data link layer and physical signalling. International Organization for Standardization, 2015.
- [3] STMicroelectronics. STM32H523/H533 Datasheet (DS14258) y Reference Manual (RM0481). 2023.
- [4] Analog Devices (Maxim Integrated). MAX6675 Cold-Junction-Compensated K-Thermocouple-to-Digital Converter Datasheet.
- [5] Melexis. MLX90614 family — Single and Dual Zone Infra-Red Thermometer in TO-39 Datasheet.
- [6] Variohm EuroSensor. EPT1400 Pressure Transducer Datasheet.
- [7] Texas Instruments. TCAN330 3.3-V CAN Transceiver with CAN FD Datasheet.

Índice de la memoria

Capítulo 1. Introducción	7
1.1 Motivación del proyecto.....	7
Capítulo 2. Descripción de las Tecnologías.....	8
2.1 Protocolos.....	8
2.1.1 Controller Area Network (CAN).....	8
2.1.2 CAN Flexible Data Rate (CANFD)	9
2.2 Hardware	10
2.2.1 Nucleo STM32-H533RE	10
2.2.2 Microcontrolador STM32H523CET6.....	11
2.2.3 Sensores.....	12
2.3 Software	15
2.3.1 STM32 CUBE IDE	15
2.3.2 Biblioteca HAL	15
2.3.3 KICAD	16
Capítulo 3. Estado de la Cuestión	17
3.1 Sistemas de adquisición de datos comerciales en competición.....	17
3.2 Uso de CAN y CAN FD en automoción y competición.....	18
3.3 Arquitecturas de PCB gateway en automoción	19
3.4 Soluciones en Formula Student.....	19
Capítulo 4. Definición del trabajo.....	21
4.1 Justificación.....	21
4.1.1 Limitaciones de los prototipos IFS anteriores	21
4.1.2 Idoneidad de CAN FD y la familia STM32H5	22
4.1.3 Necesidad de solución personalizada para el ISC Racing Team	23
4.2 Objetivos	23
4.3 Metodología.....	25
4.4 Planificación y Estimación Económica	26
4.4.1 Planificación.....	26
4.4.2 Estimación económica.....	27

Capítulo 5. Sistema/Modelo Desarrollado.....	29
5.1 Análisis del Sistema	29
5.1.1 Señales a adquirir y requisitos de muestreo.....	29
5.1.2 Selección del microcontrolador.....	30
5.2 Validación código en la plataforma Stm32CubeMx	32
5.2.1 Interfaz de programación y depuración	33
5.2.2 Estructura del sistema de adquisición.....	35
5.2.3 Prueba código comunicación canfd	40
5.3 Diseño de la pcb gateway	43
5.3.1 Esquemático	43
5.3.2 Layout.....	58
5.3.3 Modelo 3D.....	64
Capítulo 6. Análisis de Resultados.....	66
6.1 Introducción y criterios de validación	66
6.2 Validación funcional del firmware	66
6.2.1 Adquisición analógica (ADC)	67
6.2.2 Comunicación SPI.....	68
6.2.3 Comunicación I2C.....	71
6.2.4 Transmisión por CAN FD	73
6.3 Validación del diseño hardware.	75
6.3.1 Verificación eléctrica del esquemático y la PCB (ERC y DRC)	75
6.3.2 Coherencia con la documentación técnica del microcontrolador	76
Capítulo 7. Conclusiones y Trabajos Futuros.....	77
7.1 Cumplimiento de los objetivos planteados.....	77
7.2 Aportaciones del trabajo al ISC Racing Team	79
7.3 Trabajos futuros	80
7.3.1 Pruebas sobre el prototipo e integración física de la PCB Gateway.....	80
7.3.2 Completar la validación experimental de los subsistemas de adquisición	80
7.3.3 Validación de la comunicación CAN FD entre nodos sobre bus físico	81
7.3.4 Mejoras de diseño y líneas de evolución del sistema	81
Capítulo 8. Bibliografía.....	83

<i>ANEXO I: ALINEACIÓN DEL PROYECTO CON LOS ODS</i>	<i>87</i>
<i>ANEXO II: ESQUEMÁTICO PCB.....</i>	<i>91</i>
<i>ANEXO III: HUELLA PCB</i>	<i>92</i>

Índice de figuras

Figura 1: Placa de desarrollo STMicroelectronics STM32 Nucleo-64 H533RE	10
Figura 2: Microcontrolador STMicroelectronics STM32H523CET6	11
Figura 3: Potenciómetro ELPM 75 POP Variorhm	12
Figura 4: Módulo sensor MAX6675 y Termopar tipo K.....	13
Figura 5: Módulo sensor infrarrojo de temperatura GY-906 MLX90614.....	13
Figura 6: Sensor de presión de frenos EPT1400 Variorhm	14
Figura 7: Antigua trayectoria de la señal de los sensores del acelerador hacia la unidad de control electrónico (ECU =VCU).....	21
Figura 8: Vista del chasis IFS-08 con los bloques eléctricos y electrónicos.....	24
Figura 9: Vista del chasis IFS-08 con el sistema PCB Gateway – Comunicación CANFD propuesto	25
Figura 10: Diagrama de Gantt original del proyecto expuesto en el Anexo B.....	26
Figura 11: Diagrama de pines del STM32H533RET6 (Nucleo H533RE) con la asignación de señales de los sensores y buses de comunicación del sistema.	33
Figura 12: Pruebas propias de programación de un microcontrolador empleando el ST-LINK de una segunda placa Nucleo como programador externo	34
Figura 13: Arquitectura del sistema de adquisición de la PCB Gateway	35
Figura 14: Esquemático PCB Gateway bloque microcontrolador.....	46
Figura 15: Esquemático PCB Gateway bloque alimentación.....	50
Figura 16: Esquemático PCB Gateway bloque comunicación CAN	51
Figura 17: Esquemático PCB Gateway conector de programación	53
Figura 18: Esquemático PCB Gateway conector principal comunicación.....	53
Figura 19: TE connectivity connector 770669-1 (conector principal comunicación).....	54
Figura 20: Circuito resistencias de pull-down para estabilización de entradas analógicas.	54
Figura 21: Circuito de resistencias de pull-up para líneas SCL y SDA de los buses I ² C independientes.	55
Figura 22: Etapa acondicionamiento mediante transistor NPN y LED para el bus SPI del módulo termopar.	56

Figura 23: Circuito del oscilador de cristal externo de 8 MHz	56
Figura 24: Circuito del LED indicador de estado del sistema conectado a señal FLAG del microcontrolador	57
Figura 25: Esquemático de los pulsadores de reinicio manual (NRST) y de entrada de propósito general para el usuario (GPIO).....	58
Figura 26: Conexión a masa de los orificios de montaje mecánico del chasis y ubicación del test point 3,3 V.	58
Figura 27: Layout KiCAD PCB Gateway	64
Figura 28: Vista tridimensional frontal del modelo CAD de la PCB Gateway.....	65
Figura 29: Vista tridimensional trasera del modelo CAD de la PCB Gateway.....	65
Figura 30: Captura terminal LiveExpression con valores del ADC para canales analógicos	68
Figura 31: Captura de osciloscopio de las líneas SCK(azul), MISO(verde) y CS(amarillo) del bus SPI2 durante una lectura, con el esclavo emulado en una segunda Nucleo-H533RE. .	69
Figura 32: Zoom Captura de osciloscopio de las líneas SCK, MISO y CS del bus SPI2 durante una lectura, con el esclavo emulado en una segunda Nucleo-H533RE.....	70
Figura 33: Captura de osciloscopio de las líneas SCL y SDA del bus I ² C1 durante la emisión de la dirección del esclavo MLX90614.....	72
Figura 34: Esquema de la prueba del periférico FDCAN en modo external loopback. La trama sale por el pin TX y retorna al pin RX mediante conexión de oopback,.....	73
Figura 35: Resultado del Design Rules Check (DRC) de la PCB Gateway en KiCad.....	75
Figura 36: Resultado del Electrical Rules Check (ERC) del esquemático de la PCB Gateway en KiCad.	76

Índice de tablas

Tabla 1: Estimación de coste de componentes y material	28
Tabla 2: Estimación de coste de personal, calculada sobre las 300 horas correspondientes a los 12 créditos ECTS del TFG en GITT.....	28
Tabla 3: Coste total estimado del proyecto.	28
Tabla 4: Señales adquiridas por el sistema, sensor asociado, tipo de señal, interfaz y tasa de muestreo	29
Tabla 5: Comparativa especificaciones generales de las familias STM32.....	31
Tabla 6: Matriz de decisión entre los microcontroladores STM32H533RET6, STM32H523CET6 y STM32H733ZGTx.....	32
Tabla 7: Especificaciones Técnicas y Configuración del Periférico ADC1	36
Tabla 8: Especificaciones Técnicas y Configuración del Periférico SPI2	38
Tabla 9: Especificaciones Técnicas y Configuración del Periférico Bus I2C	40
Tabla 10: Especificaciones Técnicas y Configuración del Periférico Bus CANFD	41
Tabla 11: IDs tramas del Periférico Bus CANFD	42
Tabla 12: Asignación de pines de señales de E/S del microcontrolador STM32H523CET6.	47
Tabla 13: Pines de depuración (SWD/SWO) y circuitería de reloj del STM32H523CET6.	48
Tabla 14: Pines de alimentación y referencia del STM32H523CET6.	48
Tabla 15: Matriz de decisión para la selección del transceptor CAN de la PCB Gateway .	52
Tabla 16: Temperatura de unión estimada del MCP1755ST-3302E/DB.	63

Capítulo 1. INTRODUCCIÓN

1.1 MOTIVACIÓN DEL PROYECTO

La competición *Formula Student* se ha consolidado como un entorno de referencia para la formación práctica de futuros ingenieros, al plantear el diseño y construcción de un monoplaça eléctrico capaz de competir a nivel internacional. Más allá del vehículo en sí, el objetivo es desarrollar una plataforma que combine ingeniería mecánica, electrónica y control, permitiéndonos a los estudiantes a enfrentarnos a problemas reales de diseño y de integración de sistemas. [1]

En este contexto, el rendimiento, la fiabilidad y la seguridad del vehículo son cruciales. Estas cualidades dependen en gran medida de la calidad de los sistemas electrónicos encargados de adquirir, procesar y transmitir la información proveniente de sus sensores clave.

En los prototipos previos del equipo '*ISC Racing Team*' de la Universidad Pontificia Comillas, buena parte de las señales generadas en el frontal del monoplaça se transmitían de forma analógica hasta la unidad de control trasera (VCU)[2]. Este enfoque, aunque funcional en las primeras fases del proyecto, presenta limitaciones relevantes a medida que aumenta la exigencia del prototipo cada temporada: la transmisión analógica mediante cableados extensos es sensible al ruido electromagnético, degrada la resolución de las medidas y ofrece poca flexibilidad para incorporar nuevos sensores.

Para abordar estas limitaciones, el presente Trabajo Fin de Grado plantea el diseño, desarrollo y validación de una *PCB Gateway* situada en el frontal del monoplaça. Esta placa centraliza las señales procedentes de distintos sensores analógicos y digitales, las acondiciona y las transmite de forma robusta y estandarizada a la VCU trasera mediante un bus CAN FD (*Controller Area Network Flexible Data-Rate*) [3] reduciendo el cableado y mejorando la integridad de la información adquirida.

Capítulo 2. DESCRIPCIÓN DE LAS TECNOLOGÍAS

En este capítulo se describen las tecnologías, protocolos y herramientas que conforman la base técnica del proyecto. Se abordan, en primer lugar, los protocolos de comunicación empleados, las herramientas software utilizadas en el desarrollo; y, finalmente, los elementos hardware del sistema.

2.1 PROTOCOLOS

2.1.1 CONTROLLER AREA NETWORK (CAN)

El protocolo Controller Area Network (CAN) fue desarrollado por Robert Bosch GmbH y publicado en 1991[4], en respuesta a la necesidad de reducir el cableado punto a punto entre las unidades de control electrónico (Electronic Control Units, ECU) de los vehículos. Estandarizado bajo la norma ISO 11898 en 1993, se ha convertido desde entonces en el protocolo de comunicaciones dominante en automoción [5].

A nivel físico, CAN emplea un par diferencial de dos hilos, CANH y CANL, cuya diferencia de tensión codifica la información. Esta señalización diferencial proporciona una alta inmunidad al ruido electromagnético, característica esencial en entornos con la densidad de interferencias propia de un vehículo. El bus debe terminarse en ambos extremos con una resistencia de 120 Ω para evitar reflexiones de señal.

El acceso al medio se gestiona mediante arbitraje no destructiva (CSMA/CA): cuando varios nodos transmiten simultáneamente, el que posee el identificador de menor valor numérico gana el bus sin pérdida de tramas. Esto convierte a CAN en un protocolo determinista, en el que el tiempo máximo de transmisión de cada mensaje queda acotado en función de su prioridad [6].

La trama CAN clásica transporta un máximo de 8 bytes de datos, junto con un identificador de prioridad de 11 o 29 bits, un campo DLC (Data Length Code) que indica la longitud del

mensaje, un CRC de 15 bits para detección de errores y un campo ACK de confirmación de recepción. El límite de 8 bytes de *payload* y la velocidad máxima de 1 Mbit/s constituyen las principales restricciones del CAN clásico, que la variante CAN FD ,descrita en el apartado siguiente, viene a resolver.

2.1.2 CAN FLEXIBLE DATA RATE (CANFD)

CAN FD fue desarrollado por Robert Bosch GmbH y presentado públicamente por Hartwich en 2012 [3], con el objetivo de superar las dos limitaciones principales del CAN clásico: el *payload* máximo de 8 bytes y la velocidad máxima de 1 Mbit/s. Fue estandarizado bajo la norma ISO 11898-1:2015 y mantiene compatibilidad con la infraestructura física del bus CAN clásico, permitiendo su integración en redes existentes sin modificar el cableado.

CAN FD introduce dos mejoras fundamentales. La primera es la ampliación del *payload* hasta 64 bytes, lo que permite transportar en una única trama todos los valores de sensor del sistema, eliminando la fragmentación y reduciendo la carga del bus.[3] La segunda es el cambio de velocidad de datos (Bit Rate Switch, BRS): la fase de arbitración se transmite a la velocidad nominal (hasta 1 Mbit/s), pero a partir del bit BRS el segmento de datos puede transmitirse a velocidades de hasta 8 Mbit/s, multiplicando el rendimiento efectivo del bus sin comprometer el mecanismo de arbitración heredado.

A nivel de trama, CAN FD incorpora dos nuevos flags respecto al formato clásico: el flag FDF (FD Format), que diferencia una trama CAN FD de una CAN clásica, y el ya mencionado BRS, que activa el cambio de velocidad. El campo CRC se amplía a 17 o 21 bits para mantener la cobertura de errores con *payloads* mayores. En la implementación sobre los microcontroladores STM32, el desarrollador únicamente gestiona el identificador, el DLC, el array de datos y los flags FDFormat y BitRateSwitch; el resto de los campos los genera automáticamente el periférico FDCAN del microcontrolador.[7]

2.2 *HARDWARE*

2.2.1 NUCLEO STM32-H533RE

La placa Nucleo-H533RE es una plataforma de desarrollo de prototipado rápido de STMicroelectronics basada en el microcontrolador STM32H533RET6, perteneciente a la familia STM32H5. Su principal ventaja para este proyecto es que comparte la misma familia y arquitectura que el microcontrolador definitivo de la PCB Gateway, el STM32H523CET6, lo que garantiza una alta portabilidad del firmware entre ambos dispositivos.

La placa integra un depurador ST-LINK/V3 que permite la programación y depuración en tiempo real directamente desde STM32CubeIDE sin necesidad de hardware adicional. Dispone de acceso a los periféricos relevantes para este proyecto: canales ADC, buses SPI e I²C y periférico FDCAN, lo que permite validar la lectura de todos los sensores y la comunicación CAN FD antes de fabricar la PCB final.[8]

Su principal limitación es que utiliza un encapsulado LQFP64, con un pinout no compatible con el STM32H523CET6 de la PCB final, que usa LQFP48. Por tanto, el mapeo de pines debe adaptarse al migrar el firmware al microcontrolador definitivo.



Figura 1: Placa de desarrollo STMicroelectronics STM32 Nucleo-64 H533RE

2.2.2 MICROCONTROLADOR STM32H523CET6

El STM32H523CET6 es un microcontrolador de 32 bits de STMicroelectronics perteneciente a la familia STM32H5, basado en el núcleo ARM Cortex-M33 operando a hasta 250 MHz . Esta familia representa la evolución de la gama STM32H incorporando el núcleo Cortex-M33, y mejoras en el rendimiento por ciclo respecto a generaciones anteriores, manteniendo un consumo energético moderado.[9]

En cuanto a memoria, el dispositivo dispone de 512 kB de memoria Flash para el almacenamiento del firmware y 320 kB de RAM para la gestión de datos en tiempo de ejecución. Respecto a los periféricos de comunicación, integra uno o dos periféricos FDCAN para la comunicación CAN FD, múltiples buses SPI para la conexión de dispositivos como el módulo MAX6675, buses I²C para sensores como el MLX90614, y varios puertos UART. Para la adquisición de señales analógicas, incorpora un ADC de 12 bits con múltiples canales multiplexados, capaz de operar a frecuencias de muestreo suficientes para las tasas requeridas por los sensores del sistema, de entre 4 Hz y 100 Hz. Adicionalmente, dispone de múltiples timers configurables que permiten gestionar con precisión la temporización de las lecturas periódicas de cada sensor. Todo ello se integra en un encapsulado LQFP48 de 48 pines, que permite un diseño compacto de la PCB Gateway.[9]

La justificación detallada de esta elección frente a otras alternativas de la familia STM32 se desarrollará en el apartado 5.1.2.

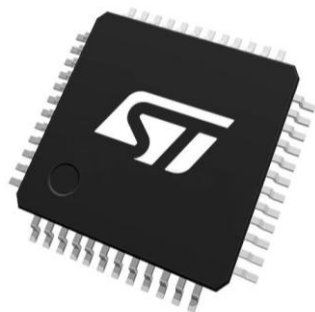


Figura 2: Microcontrolador STMicroelectronics STM32H523CET6

2.2.3 SENSORES

2.2.3.1 Potenciómetro lineal ELPM-75-POP

El ELPM-75-POP es un potenciómetro lineal de posición fabricado por Variohm EuroSensor [10]. Su principio de funcionamiento es resistivo: al desplazarse el cursor solidario al eje móvil, la resistencia varía proporcionalmente a la posición, generando una tensión analógica directamente proporcional al desplazamiento. Dispone de un recorrido útil de 75 mm y su salida es compatible directamente con los canales ADC del STM32H523CET6.

En este proyecto se emplea para medir la posición del acelerador mediante dos canales (APPS_1 y APPS_2) a 100 Hz, y el desplazamiento de los amortiguadores de suspensión delantera (SUSP_FL y SUSP_FR) a entre 100 y 200 Hz.



Figura 3: Potenciómetro ELPM 75 POP Variohm

2.2.3.2 Módulo MAX6675 y termopar tipo K

El MAX6675 es un módulo conversor digital de temperatura de Analog Devices diseñado para trabajar con termopares de tipo K. Integra el acondicionamiento de señal, la compensación de junta fría y un conversor analógico-digital de 12 bits, proporcionando la temperatura en formato digital a través del bus SPI. Su tiempo de conversión de aproximadamente 220-250 ms limita la tasa de muestreo efectiva a 4 Hz.[11]

El termopar tipo K se basa en el efecto Seebeck: la unión de níquel-cromo y níquel-aluminio genera una tensión proporcional a la temperatura, siendo adecuado para rangos de

temperatura elevados como los de un disco de freno en competición. En este proyecto mide la temperatura del disco de freno (TEMPS_BRK) a 4 Hz vía SPI

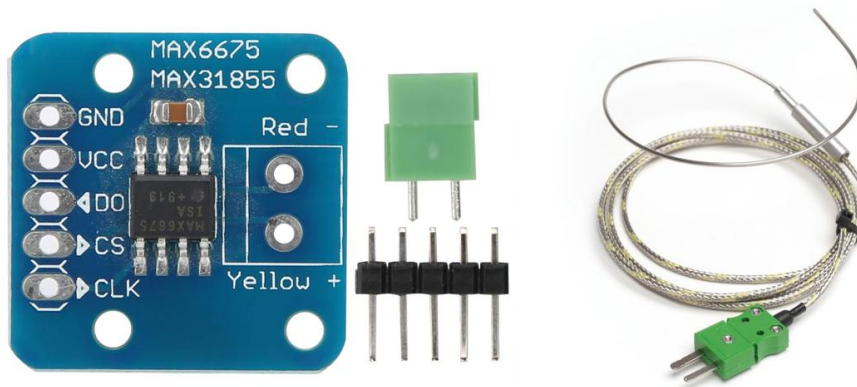


Figura 4: Módulo sensor MAX6675 y Termopar tipo K

2.2.3.3 Sensor de temperatura infrarrojo MLX90614

El MLX90614 es un sensor de temperatura infrarrojo sin contacto fabricado por Melexis. Mide la temperatura de un objeto a distancia detectando la radiación infrarroja emitida por su superficie, sin necesidad de contacto físico. Integra el detector infrarrojo y el procesado de señal en un único encapsulado, proporcionando la temperatura medida en formato digital a través del bus I²C. Su tasa de refresco es de aproximadamente 10 Hz [12]. En este proyecto se emplea para medir la temperatura de los neumáticos delanteros (TEMP_TYRE_1 y TEMP_TYRE_2) a 10 Hz, comunicándose con el STM32H523CET6 a través del bus I²C.



Figura 5: Módulo sensor infrarrojo de temperatura GY-906 MLX90614

2.2.3.4 Sensor de presión de frenos EPT1400

El EPT1400 es un sensor de presión analógico fabricado por Variohm que mide la presión hidráulica del sistema de frenado convirtiéndola en una señal analógica proporcional. Integra un transductor de película fina sobre acero inoxidable, y la electrónica de acondicionamiento en un único encapsulado, proporcionando una salida de tensión lineal 0,5–4,5 V en función de la presión medida. Su precisión es de $\pm 0,8\%$ del fondo de escala, garantizando lecturas fiables bajo condiciones dinámicas.

En este proyecto se emplea para medir la presión del sistema de frenado (PRSS_BRK) a 100 Hz, adquiriendo la señal analógica a través de uno de los canales ADC de 12 bits del microcontrolador STM32H523CET6. El sensor se alimenta a 5 V y su salida de tensión (0,5–4,5 V) supera el rango admisible del ADC del microcontrolador, referenciado a 3,3 V. Por tanto, sería necesario acondicionar la señal al rango 0–3,3 V antes de su digitalización, por ejemplo, mediante un divisor resistivo seguido de un buffer.



Figura 6: Sensor de presión de frenos EPT1400 Variohm

2.3 SOFTWARE

2.3.1 STM32 CUBE IDE

STM32CubeIDE es el entorno de desarrollo integrado (Integrated Development Environment, IDE) oficial de STMicroelectronics para la programación y depuración de microcontroladores de la familia STM32 [13]. Integra en una única herramienta la configuración del microcontrolador, la escritura de código, la compilación y la depuración en tiempo real.

Una funcionalidad de especial interés es la integración de STM32CubeMX, una herramienta de configuración gráfica que permite asignar pines, activar periféricos (CAN FD, ADC, SPI, I²C, timers...) y configurar el árbol de relojes mediante una interfaz visual. Esta configuración se almacena en un archivo *.ioc* a partir del cual el IDE genera automáticamente el código de inicialización en C, sin necesidad de programar manualmente los registros internos del microcontrolador [13]

En el contexto de este proyecto, STM32CubeIDE se ha utilizado para configurar los periféricos del STM32H523CET6: los canales ADC para los sensores analógicos, el periférico FDCAN para la comunicación CAN FD, el bus SPI para el módulo MAX6675 y el bus I²C para el sensor MLX90614.

2.3.2 BIBLIOTECA HAL

La biblioteca HAL (Hardware Abstraction Layer) es la capa de abstracción de hardware oficial de STMicroelectronics para los microcontroladores STM32. Proporciona un conjunto de funciones en C que permiten interactuar con los periféricos del microcontrolador ADC, FDCAN, SPI, I²C, GPIO, sin necesidad de acceder directamente a sus registros internos, reduciendo la complejidad del firmware y mejorando su portabilidad entre modelos de la familia STM32. El código HAL es generado automáticamente por STM32CubeIDE a partir del archivo *.ioc*, de modo que el desarrollador únicamente implementa la lógica de aplicación sobre las estructuras ya inicializadas.[14]

2.3.3 KICAD

KiCad es una suite de diseño electrónico de código abierto ampliamente utilizada tanto en el ámbito académico como en la industria para el diseño de esquemáticos y placas de circuito impreso (Printed Circuit Board, PCB). Incluye las herramientas necesarias para cubrir el flujo de diseño completo: el editor de esquemáticos Eeschema, el editor de PCB Pcbnew, el visor 3D del diseño y el gestor de bibliotecas de componentes y huellas (footprints).

En este proyecto, KiCad se ha utilizado en dos fases. En primer lugar, para la captura del esquemático de la PCB Gateway, definiendo las conexiones entre el microcontrolador STM32H523CET6, el transceptor CAN FD, los conectores de los sensores y los circuitos de alimentación y protección. En segundo lugar, para el diseño del layout de la PCB, donde se ha realizado la colocación de componentes y el rutado de las pistas, prestando especial atención a las señales críticas: las líneas diferenciales CANH/CANL y las pistas analógicas de los canales ADC, que requieren un tratamiento cuidadoso para minimizar el acoplamiento de ruido.

Capítulo 3. ESTADO DE LA CUESTIÓN

Antes de abordar el diseño de la PCB Gateway, conviene revisar qué soluciones existen actualmente para la adquisición y transmisión de datos en vehículos de competición, tanto en el ámbito comercial como en el académico. Este análisis permite situar el proyecto frente a las alternativas existentes e identificar el espacio que ocupa una solución propia adaptada a la arquitectura electrónica del monoplaça del ‘ISC Racing Team’.

3.1 SISTEMAS DE ADQUISICIÓN DE DATOS COMERCIALES EN COMPETICIÓN

En el ámbito de la competición automovilística existen diversas soluciones comerciales de adquisición de datos (Data Acquisition, DAQ) ampliamente utilizadas por equipos profesionales. A continuación, se describen las más relevantes.

AIM Technologies ofrece sistemas como el EVO4S [15], un data logger compacto con 5 canales analógicos configurables, entradas de velocidad de rueda, comunicación CAN y GPS integrado; y el MXS Dash, una pantalla-logger de 5" con adquisición analógica y digital, comunicación CAN y visualización en tiempo real. Son sistemas ampliamente utilizados en categorías de monoplaças y motos de competición.

MoTeC dispone de sistemas más avanzados como el C125[16], una pantalla-logger a color con dos buses CAN configurables, logging de hasta 120 MB y hasta 500 muestras por segundo; y el ADL3, un logger profesional expandible orientado a competiciones de alto nivel con capacidades avanzadas de telemetría y control de actuadores.

Pi Research, utilizado históricamente en Fórmula 1 y categorías de máximo nivel, ofrece soluciones de adquisición de datos de altas prestaciones con integración completa en la electrónica del vehículo.[17]

Sin embargo, estas soluciones presentan limitaciones relevantes para el ISC Racing Team. Son sistemas cerrados, no adaptables a la arquitectura CAN FD específica del monoplaza ni integrables como nodo gateway dentro de una red CAN existente. Además, su coste superior a 1.000 € en el caso del EVO4S [15] y significativamente mayor para los sistemas MoTeC, una opción que no se ajusta por presupuesto a un equipo universitario

3.2 USO DE CAN Y CAN FD EN AUTOMOCIÓN Y COMPETICIÓN

El uso del protocolo CAN para la monitorización de parámetros en vehículos ha sido ampliamente estudiado en la literatura académica. Salunkhe et al. [6] presentaron en 2016 una implementación de un sistema de monitorización de parámetros de vehículo basado en el bus CAN, demostrando su viabilidad para la transmisión en tiempo real de señales de sensores distribuidos. El trabajo evidencia las ventajas del protocolo en términos de robustez y determinismo, pero queda limitado por el *payload* máximo de 8 bytes del CAN clásico, insuficiente para sistemas con alta densidad de sensores.

Con la adopción de CAN FD, trabajos más recientes han ampliado estas capacidades. Prasath et al. [18] demostraron en 2025 la implementación de un sistema de control de vehículo sobre bus CAN, destacando la reducción de la carga del bus y la simplificación del firmware al poder agrupar múltiples señales en una única trama. Por su parte, Patil et al. [19] presentaron en 2024 un sistema de monitorización térmica para vehículos eléctricos basado en CAN y microcontroladores STM32, mostrando la idoneidad de esta combinación tecnológica para aplicaciones de adquisición de datos en tiempo real en entornos de automoción.

Estos trabajos confirman que la combinación de CAN FD con microcontroladores de la familia STM32 constituye una arquitectura consolidada y probada para sistemas de adquisición y transmisión de datos en vehículos, lo que respalda las decisiones tecnológicas adoptadas en este proyecto.

3.3 *ARQUITECTURAS DE PCB GATEWAY EN AUTOMOCIÓN*

La arquitectura Gateway, un nodo electrónico que centraliza señales de múltiples sensores, las procesa y las retransmite mediante un bus de comunicaciones hacia una unidad de control central es una práctica ampliamente consolidada en la industria del automóvil[20]. Su principal ventaja es la reducción del cableado analógico punto a punto, sustituyéndolo por un único bus digital que mejora la inmunidad al ruido y facilita el diagnóstico y mantenimiento del vehículo.

Ye y Lu [21] presentaron en 2024 un diseño de hardware y software para un controlador de vehículo basado en esta arquitectura, demostrando cómo la centralización de señales en un nodo *gateway* reduce la complejidad del sistema y mejora la fiabilidad de la transmisión de datos hacia la unidad de control principal. Ranchev et al. [22] presentaron en 2025 un sistema modular multi-PCB para la evaluación de conectividad en vehículos, donde cada placa actúa como nodo de adquisición local que retransmite sus datos mediante CAN FD, evidenciando la escalabilidad y flexibilidad de esta arquitectura en entornos reales de automoción.

Estos trabajos demuestran que el diseño de una PCB Gateway como la propuesta en este proyecto refleja una arquitectura plenamente alineada con las prácticas actuales de la industria, trasladada al contexto específico de un vehículo de competición universitario.

3.4 *SOLUCIONES EN FORMULA STUDENT*

La competición Formula Student constituye un entorno de referencia para el desarrollo de sistemas electrónicos aplicados a vehículos de competición universitarios. Mihailidis et al. [1] analizaron en 2009 el proceso de diseño de un monoplaza Formula Student, destacando la importancia de los sistemas electrónicos de adquisición de datos para la optimización del rendimiento del vehículo y la toma de decisiones en pista. El trabajo pone de manifiesto que la calidad y fiabilidad de los datos adquiridos es un factor determinante en la competitividad de los equipos.

Sin embargo, muchos equipos universitarios recurren a soluciones comerciales como las descritas en el apartado 3.1, mientras que otros optan por arquitecturas analógicas punto a punto similares a la empleada en prototipos anteriores del ISC Racing Team, en las que las señales de los sensores delanteros se transmiten directamente de forma analógica hasta la unidad de control trasera. Este enfoque, aunque funcional, presenta limitaciones en términos de robustez, calidad de la señal e integración con el bus CAN del vehículo, especialmente a medida que aumenta el número de sensores y la distancia entre frontal y electrónica trasera del monoplaza, como ya se comentaba en la motivación del proyecto en el capítulo 1.

En la literatura académica revisada no se ha encontrado documentación de una solución específicamente orientada a centralizar y transmitir mediante CAN FD las señales del frontal de un monoplaza Formula Student eléctrico a través de una PCB *gateway* propia, adaptada a la arquitectura del equipo. Este vacío justifica el desarrollo de la solución propuesta en este proyecto para el ISC Racing Team.

Capítulo 4. DEFINICIÓN DEL TRABAJO

4.1 JUSTIFICACIÓN

4.1.1 LIMITACIONES DE LOS PROTOTIPOS IFS² ANTERIORES

En los prototipos previos del ISC Racing Team, las señales analógicas procedentes de los sensores del frontal del monoplaza, en particular, los potenciómetros de posición del acelerador se transmitían sin conversión digital hasta la VCU, mediante cableado de aproximadamente 1 a 1,5 m de longitud.

Esta arquitectura presenta una limitación conocida en instrumentación electrónica: las señales analógicas de baja amplitud son susceptibles al acoplamiento de ruido electromagnético, y esta susceptibilidad aumenta con la longitud del cableado y con la proximidad a fuentes de interferencia como el motor eléctrico, el inversor y el cableado de alta tensión del vehículo. A diferencia de una señal digital, que codifica la información en niveles lógicos discretos con mecanismos de verificación de errores, una señal analógica no dispone de ningún mecanismo de corrección frente al ruido acumulado en el trayecto.

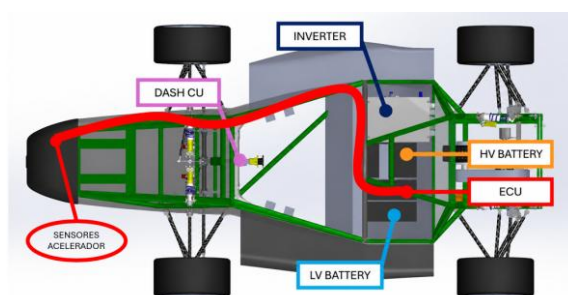


Figura 7: Antigua trayectoria de la señal de los sensores del acelerador hacia la unidad de control electrónico (ECU = VCU)

² IFS (ICAI Formula Student): denominación de prototipos del equipo, numerados IFS-X según temporada.

Esta arquitectura presenta además limitaciones de escalabilidad: cada nuevo sensor requiere un cable dedicado hasta la VCU, lo que incrementa el peso del arnés y la probabilidad de fallo en las conexiones, dificultando la ampliación del sistema en futuras iteraciones del prototipo.

4.1.2 IDONEIDAD DE CAN FD Y LA FAMILIA STM32H5

Frente a las limitaciones descritas en el apartado anterior, la combinación de una arquitectura Gateway con el protocolo CAN FD y un microcontrolador de la familia STM32H5 responde directamente a los requisitos del sistema.

En primer lugar, la conversión de las señales a formato digital en el propio frontal del vehículo, antes de su transmisión, elimina la susceptibilidad al ruido propia de las señales analógicas de largo recorrido, ya que la información viaja codificada en niveles lógicos y dispone de verificación de errores mediante CRC, como se describe en el apartado 2.1.2. En segundo lugar, CAN FD permite agrupar en una única trama los valores de todos los sensores del sistema, evitando la necesidad de un cable dedicado por sensor y facilitando la incorporación de nuevas señales sin modificar el cableado existente. En tercer lugar, esta arquitectura es coherente con el resto de la electrónica del monoplaza: la VCU trasera ya emplea un microcontrolador STM32H733ZGTx con periféricos FDCAN, por lo que adoptar la misma familia de microcontroladores y el mismo protocolo de comunicación garantiza la compatibilidad y reduce la curva de aprendizaje del equipo en el mantenimiento de ambos sistemas.

Esta combinación, además, no es una decisión aislada del equipo; como se ha mostrado en el Capítulo 3, la centralización de sensores mediante nodos Gateway conectados por CAN/CAN FD es una arquitectura consolidada en automoción [23], empleada tanto en vehículos comerciales como en trabajos de investigación recientes sobre sistemas de adquisición de datos.[24]

4.1.3 NECESIDAD DE SOLUCIÓN PERSONALIZADA PARA EL ISC RACING TEAM

Como se ha expuesto en el apartado 3.1, existen soluciones comerciales de adquisición de datos; AiM Technologies, MoTeC, Pi Research, ampliamente utilizadas en competición. Sin embargo, estas plataformas son sistemas cerrados, no diseñados para integrarse como un nodo Gateway dentro de una red CAN FD existente, y su coste resulta difícil de asumir para un equipo universitario con recursos limitados.

Frente a esta alternativa, el desarrollo de una PCB propia permite adaptar el diseño a las necesidades específicas del ISC Racing Team: el número exacto de canales analógicos y digitales requeridos por los sensores instalados en el monoplaça, las tasas de muestreo particulares de cada señal, y la integración directa con la arquitectura STM32 ya empleada en el resto de la electrónica del vehículo. Esta personalización no es alcanzable con una solución comercial genérica, que ofrece un conjunto fijo de entradas y protocolos no siempre compatibles con el bus CAN FD del monoplaça.

Asimismo, el desarrollo de la placa dentro del propio equipo aporta un valor adicional en términos de conocimiento técnico transferible: la documentación, el diseño esquemático y el firmware desarrollados quedan disponibles para futuras generaciones de estudiantes del ISC Racing Team, permitiendo la mejora continua y la adaptación del sistema a las necesidades de prototipos sucesivos, algo que una solución comercial cerrada no permite.

4.2 OBJETIVOS

El objetivo general de este Trabajo de Fin de Grado es diseñar, desarrollar una PCB Gateway situada en el frontal del monoplaça del ISC Racing Team, capaz de adquirir señales analógicas y digitales procedentes de distintos sensores y transmitirlas de forma robusta y estandarizada mediante CAN FD hacia la unidad de control trasera (VCU).

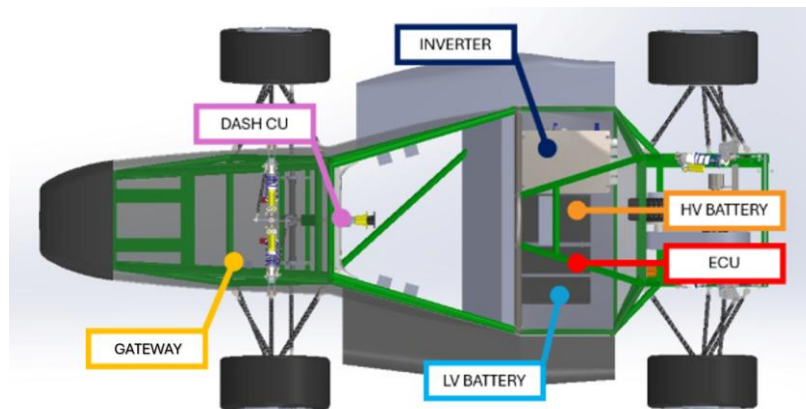


Figura 8: Vista del chasis IFS-08 con los bloques eléctricos y electrónicos

A partir de este objetivo general, se establecen los siguientes objetivos específicos:

- I. *Estudio y definición los requisitos técnicos de la placa.* Realizar un estudio de las necesidades del equipo y el objetivo de la PCB. Determinar el número de canales analógicos y digitales necesarios, los buses de comunicación requeridos por cada sensor, las frecuencias de muestreo y las necesidades de alimentación, con el fin de seleccionar la familia de microcontroladores adecuada dentro de la arquitectura STM32.
- II. *Desarrollar y validar el firmware de adquisición y comunicación.* Implementar las rutinas de lectura analógica mediante ADC, la gestión de los buses digitales SPI e I²C, la temporización de los muestreos y la posible comunicación CAN FD, validando su funcionamiento sobre la placa Nucleo-H533RE antes de migrar al hardware definitivo.
- III. *Diseñar y desarrollar la PCB Gateway.* Realizar el diseño esquemático y de ruteo de la placa, incorporando el microcontrolador STM32H523CET6, el transceptor CAN FD, los circuitos de acondicionamiento de señal y las protecciones eléctricas necesarias.
- IV. *Proponer un plan de integración de la PCB Gateway en el monoplaza.* Definir la disposición física de la placa en el frontal del vehículo, el conexionado con los sensores y con el bus CAN FD existente, dejando el diseño completo y preparado para una futura fabricación e integración en el prototipo.

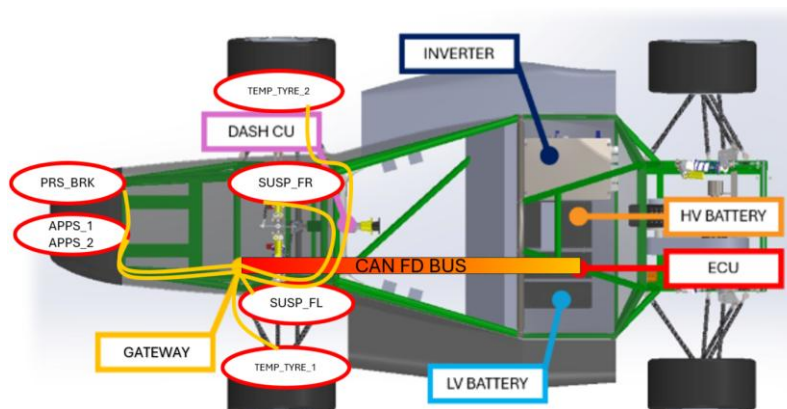


Figura 9: Vista del chasis IFS-08 con el sistema PCB Gateway – Comunicación CANFD propuesto

4.3 METODOLOGÍA

La metodología seguida en este proyecto se basa en un enfoque incremental, en el que cada decisión de diseño se valida antes de comprometer recursos en la siguiente etapa, con el objetivo de minimizar el riesgo de errores costosos en la fabricación de la PCB definitiva.

Para alcanzar los objetivos definidos en el apartado anterior, se ha optado por separar el desarrollo del firmware de la fabricación del hardware final. Esto se traduce en que toda la lógica de adquisición de sensores y comunicación CAN FD se desarrolla y depura primero sobre la placa Nucleo-H533RE, una plataforma que comparte microcontrolador equivalente y periféricos con el diseño definitivo. De este modo, los errores de programación o de configuración de periféricos se detectan y corrigen en una fase en la que su coste es bajo, evitando que se trasladen a una placa ya fabricada.

El diseño del hardware, por su parte, se desarrolla en paralelo en KiCad, validándose mediante las herramientas de verificación de reglas eléctricas y de diseño (ERC/DRC) propias del software, lo que permite detectar errores de conexionado o de layout antes de enviar el diseño en el caso de su fabricación.

Para la verificación funcional del sistema se emplean herramientas de diagnóstico de bus CAN FD propias de STMicroelectronics, que permiten inspeccionar las tramas transmitidas y comprobar que los datos de cada sensor llegan correctamente codificados y dentro de los tiempos esperados.

Este enfoque, validar primero en una plataforma de desarrollo, después en simulación de diseño y finalmente mediante diagnóstico de bus, permite avanzar de forma progresiva hacia el objetivo final, reduciendo el riesgo de errores irreversibles y dejando preparado el diseño para una fabricación futura.

4.4 PLANIFICACIÓN Y ESTIMACIÓN ECONÓMICA

4.4.1 PLANIFICACIÓN

La planificación inicial del proyecto se estructuró en fases consecutivas, recogidas en el diagrama de Gantt de Figura 10: validación de los sensores y de las comunicaciones CAN FD sobre la placa Nucleo-H533RE, diseño esquemático y de la PCB, fabricación y montaje de la placa, y, finalmente, realización de las pruebas funcionales y elaboración de la documentación. Ya en la definición inicial se contempló que el orden y el alcance de algunas fases podrían verse condicionados por la disponibilidad del hardware, dado que la autora ha desarrollado el proyecto desplazada de intercambio fuera de ICAI.

Actividad/Semana	s1-s2	s3-s5	s6-s8	s9-s11	s12-s14	s15-s17	s18-s20	s20-s22
Definición de requisitos								
Validación de hardware en NUCLEO								
Pruebas comunicación CANFD NUCLEO								
Diseño del esquema y arquitectura PCB								
Diseño del ruteo de la PCB + revisión								
Fabricación y montaje de la PCB + pruebas e iteraciones								
Diseño de posible plan integración en monoplaza								
Pruebas del prototipo final de la PCB (ADC, SPI, I ² C, CAN FD)								
Documentación final y conclusiones								

Figura 10: Diagrama de Gantt original del proyecto expuesto en el Anexo B

Respecto a la planificación original, el desarrollo del firmware y la validación sobre la placa Núcleo, así como el diseño esquemático y de la PCB en KiCad, se completaron según lo previsto. Sin embargo, la fase final de fabricación, montaje e integración se ha visto afectada por limitaciones de hardware ajenas al desarrollo técnico del trabajo: por motivos de plazos, no se llegó a recibir a tiempo la PCB ya fabricada y montada, por lo que no ha sido posible integrarla en el monoplaza. A ello se suma que, durante el periodo de integración, no se dispuso del prototipo ni de los sensores finales del vehículo. Como consecuencia, uno de los objetivos planteados, la integración y validación de la PCB Gateway en el coche, no ha podido completarse en su totalidad, quedando como trabajo pendiente para una fase posterior

4.4.2 ESTIMACIÓN ECONÓMICA

La estimación económica del proyecto se divide en dos bloques: coste de componentes y material, y coste de personal.

4.4.2.1 Coste de componentes

<i>COMPONENTE</i>	<i>Cantidad</i>	<i>Precio unitario</i>	<i>Subtotal</i>
STM32H523CET6	1	4,30 €	4,30 €
Nucleo-H533RE	2	27,5 €	55,00 €
Potenciómetro ELPM-75-POP	4	343,00€	1372,00 €
Sensor de presión EPT1400	1	154,00 €	154,00 €
Módulo MAX6675 + termopar tipo K	1	9,00 €	9,00 €
Sensor MLX90614	2	16,00 €	32,00 €
Conector TE-Connectivity	1	11,8 €	11,8 €

Componentes pasivos, material de montaje y fabricación	-	137,68 €	137,68 €
TOTAL COMPONENTES			1.775,78 €

Tabla 1: Estimación de coste de componentes y material

4.4.2.2 Coste de personal

CONCEPTO	Horas	Tarifa	Subtotal
Desarrollo del proyecto (autora)	300 h	20 €/h	6.000,00 €

Tabla 2: Estimación de coste de personal, calculada sobre las 300 horas correspondientes a los 12 créditos ECTS del TFG en GITT.

4.4.2.3 Coste total estimado

CONCEPTO	Importe
Coste de componentes y material	1.775,78 €
Coste de personal	6.000,00 €
TOTAL	7.775,78 €

Tabla 3: Coste total estimado del proyecto.

Capítulo 5. SISTEMA/MODELO DESARROLLADO

5.1 ANÁLISIS DEL SISTEMA

5.1.1 SEÑALES A ADQUIRIR Y REQUISITOS DE MUESTREO

El sistema desarrollado debe adquirir un conjunto de señales procedentes de los sensores situados en el frontal del monoplaça, cada una con características eléctricas y requisitos de muestreo diferentes. La Tabla 4 resume las señales consideradas en el diseño.

<i>SEÑAL</i>	<i>Sensor</i>	<i>Tipo</i>	<i>Interfaz</i>	<i>Muestreo</i>
APPS_1,APPS_2	ELPM-75-POP	Analógica	ADC	100 Hz
SUSP_FL, SUSP_FR	ELPM-75-POP	Analógica	ADC	100 Hz
TEMP_BRK	MAX6675+ termopar K	Digital	SPI	4 Hz
TEMP_TYRE_1, TEMP_TYRE_2	MLX90614	Digital	I ² C	10 Hz
PRSS_BRK	EPT1400	Analógica	ADC	100 Hz

Tabla 4: Señales adquiridas por el sistema, sensor asociado, tipo de señal, interfaz y tasa de muestreo

A partir de este conjunto de señales se derivan los requisitos técnicos del microcontrolador: un mínimo de cinco canales ADC independientes para las señales analógicas de acelerador suspensión y frenos, al menos un bus SPI para el módulo MAX6675, al menos un bus I²C

para los sensores MLX90614 y un periférico de comunicaciones FDCAN para la transmisión de los datos adquiridos hacia la unidad de control trasera (VCU).

En cuanto a la tasa de muestreo global del sistema, la señal más exigente es la de los potenciómetros de suspensión, con hasta 100 Hz, mientras que la más lenta es la del sensor de temperatura del disco de freno, limitada a 4 Hz por el tiempo de conversión del módulo MAX6675.

5.1.2 SELECCIÓN DEL MICROCONTROLADOR

5.1.2.1 Selección familia STM32

A partir de los requisitos identificados en el apartado anterior, canales ADC, buses SPI e I²C, y periférico FDCAN para CAN FD, la elección se centró en la familia STM32 de STMicroelectronics. Esta decisión no responde únicamente a criterios técnicos, sino también a la coherencia con la arquitectura electrónica ya empleada por el ISC Racing Team: la VCU está basada en un microcontrolador STM32H733ZGTx, por lo que mantener la misma familia en la PCB Gateway garantiza compatibilidad de herramientas de desarrollo, reutilización de conocimiento del equipo en la programación mediante STM32CubeIDE y HAL, y facilidad de mantenimiento a largo plazo del conjunto de la electrónica del vehículo.

Dentro de la familia STM32, se evaluaron distintos modelos cuya comparativa se recoge en la Tabla 5.

<i>Familia</i>	<i>Núcleo</i>	<i>Frec máx (MHz)</i>	<i>Flash / RAM max (kB)</i>	<i>CANFD</i>	<i>ADC (bits)</i>
F0/F1/ F3	M0/M3/M4	48–72	256 / 40	No	12
F4 / F7	M4 / M7	168–216	2k / 512	No	12
G0 / G4	M0+ / M4	64–170	512 / 128	Sí	12

H5	M33	250	2k / 640	Sí	12
H7	M7 / M4	480–550	2k / 1k	Sí	16

Tabla 5: Comparativa especificaciones generales de las familias STM32.

Antes de seleccionar un modelo concreto, se ha realizado una comparación de especificaciones a nivel de familia dentro del catálogo STM32, atendiendo a su arquitectura de núcleo, frecuencia máxima de reloj, memoria disponible, soporte de CAN FD y resolución del conversor analógico-digital. Llegando a la conclusión de que las familias H5 y H7 ofrecen el mejor equilibrio entre prestaciones de cómputo y periféricos de comunicación, por lo que se seleccionan como las dos familias idóneas para este proyecto, siendo objeto de la comparativa detallada de modelos concretos del apartado siguiente.

5.1.2.2 Selección del modelo concreto

Una vez acotadas las familias H5 y H7 como las idóneas para el proyecto, se ha construido una matriz de decisión cualitativa para comparar tres modelos concretos: el STM32H533RET6, el STM32H523CET6 y el STM32H733ZGT, este último, el microcontrolador empleado actualmente en la VCU del monoplaza. La Tabla 6 recoge dicha comparativa frente a los criterios más relevantes para la aplicación.

El STM32H733ZGTx, pese a ofrecer las mejores prestaciones en resolución de ADC y memoria, queda descartado por estar claramente sobredimensionado para los requisitos de la PCB Gateway, con un coste y un encapsulado de 144 pines muy superiores a los necesarios para una placa de adquisición periférica. El STM32H533RET6 constituye una opción plenamente capaz, con idénticas prestaciones que el modelo elegido en lo relevante para esta aplicación (mismo núcleo Cortex-M33, soporte FDCAN y ADC de 12 bits). Sin embargo, su encapsulado LQFP64 resulta innecesariamente grande para una placa de adquisición periférica con un número reducido de señales, y ofrece algo menos de RAM. El STM32H523CET6, en encapsulado LQFP48, permite un diseño más compacto y económico coherente con el espacio disponible en el frontal.

<i>Criterio</i>	<i>STM32H533RET6</i>	<i>STM32H523CET6</i>	<i>STM32H733ZGTx</i>
Soporte CAN FD	Sí	Sí	Sí
Ajuste a requisitos	Aceptable	Óptimo	Sobredimensionado
Coste	7 €	4 €	14 €
Encapsulado	LQFP64	LQFP48	LQFP144
Resolución ADC	12 bits	12 bits	16 bits
Flash / RAM	512 KB / 272 KB	512 KB / 320 KB	1 MB / 564 KB

Tabla 6: Matriz de decisión entre los microcontroladores STM32H533RET6, STM32H523CET6 y STM32H733ZGTx

5.2 VALIDACIÓN CÓDIGO EN LA PLATAFORMA STM32CUBEMx

Antes de comprometer recursos en la fabricación de la PCB Gateway definitiva, se ha optado por validar el firmware de adquisición y comunicación sobre la placa Nucleo-H533RE. Al no existir una placa de desarrollo Nucleo basada en el propio microcontrolador definitivo, el STM32H523CET6, se ha seleccionado la Nucleo-H533RE como la alternativa más cercana, al pertenecer a la misma familia STM32H5 y compartir periféricos equivalentes. Esta similitud permite depurar la lógica de lectura de cada sensor y la configuración de los buses de comunicación en un entorno controlado, así como identificar la configuración de pines, periféricos y componentes a emplear en el diseño final. De este modo, el firmware desarrollado llega depurado y probado a la fase de integración con el hardware definitivo, reduciendo el riesgo de errores de diseño y el coste asociado a su corrección en una fase posterior.

En la Figura 11 se recoge el diagrama de pines del STM32H533RET6 en la interfaz de programación STM32CubeMX, en el que se ha representado la asignación de cada señal del sistema a los pines físicos del microcontrolador en encapsulado LQFP64. Esta asignación se ha definido durante la fase de validación sobre la placa Nucleo y constituye la base de la configuración de periféricos que se trasladará al diseño final extrapolando y comparando el pinout con el del microcontrolador empleado en la PCB Gateway STM32H523CET6.

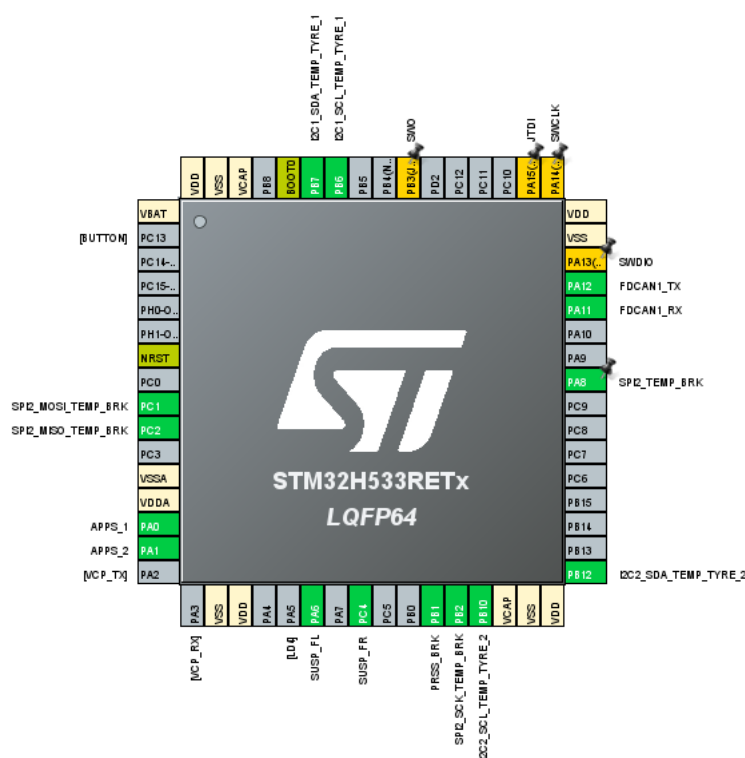


Figura 11: Diagrama de pines del STM32H533RET6 (Nucleo H533RE) con la asignación de señales de los sensores y buses de comunicación del sistema.

5.2.1 INTERFAZ DE PROGRAMACIÓN Y DEPURACIÓN

A diferencia de la placa Nucleo-H533RE, que integra un depurador/programador ST-LINK en la propia tarjeta, la PCB Gateway se ha planteado para emplear un programador externo. De este modo se prescinde del hardware del ST-LINK en la placa definitiva, lo que permite

un diseño más compacto y económico, exponiendo únicamente un conector con las señales SWD (SWDIO, SWCLK, NRST, alimentación y masa) necesarias para la programación y depuración del microcontrolador.

Como alternativa, durante el desarrollo se comprobó que la propia placa Nucleo puede utilizarse como programador externo de otro microcontrolador, empleando su ST-LINK integrado. Para ello, las dos placas se conectan a través del conector SWD mediante un cable plano y se ajusta su configuración de jumpers: en la placa que actúa como programadora (A) se retira el jumper JP2, desconectando la alimentación de su propio microcontrolador, mientras que en la placa programada (B) se coloca el jumper JP1, manteniendo en reset el ST-LINK de dicha tarjeta para que no interfiera. De este modo, el ST-LINK de la placa A programa directamente el microcontrolador de la placa B, tal como se muestra en la Figura 12. Esta prueba validó de forma práctica una vía de programación basada en el ST-LINK de una placa de desarrollo, sin necesidad de un programador dedicado adicional.

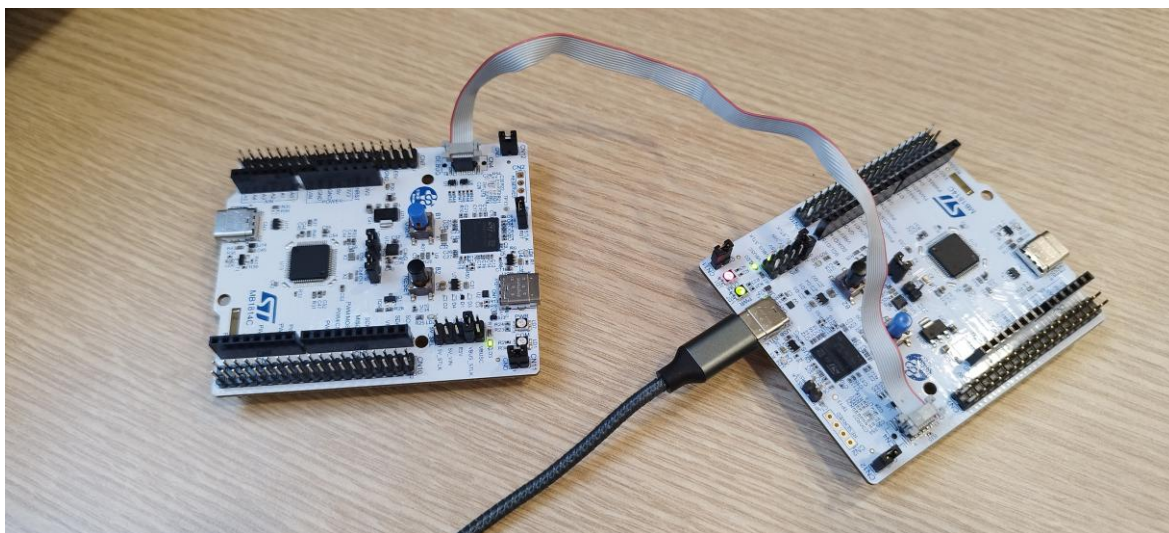


Figura 12: Pruebas propias de programación de un microcontrolador empleando el ST-LINK de una segunda placa Nucleo como programador externo

5.2.2 ESTRUCTURA DEL SISTEMA DE ADQUISICIÓN

El sistema de adquisición se estructura en torno al microcontrolador STM32H523, que centraliza la lectura de todos los sensores del frontal y los transmite hacia la unidad de control trasera. Cada tipo de sensor se conecta al periférico más adecuado a su naturaleza

El código fuente completo de la implementación se encuentra disponible en el repositorio del proyecto <https://github.com/lorenalam/TFG/>.

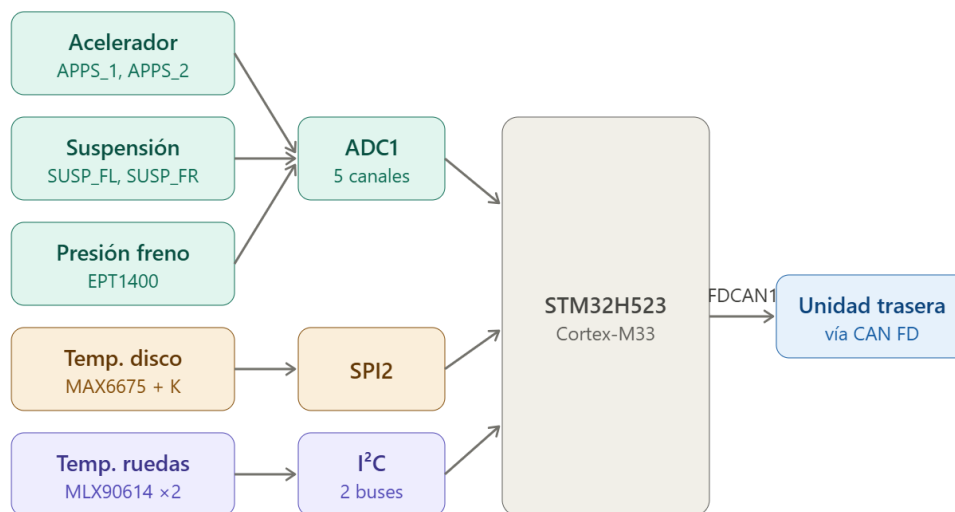


Figura 13: Arquitectura del sistema de adquisición de la PCB Gateway

5.2.2.1 ADC

El sistema adquiere cinco señales analógicas procedentes de los sensores del frontal del vehículo como ya se ha comentado en capítulos anteriores: dos sensores potenciómetros del acelerador (APPS_1 y APPS_2), dos potenciómetros lineales de suspensión (SUSP_FL y SUSP_FR) y el sensor de presión de freno (EPT1400). Para ello se emplea el periférico ADC1 del STM32H533, configurado con resolución de 12 bits.

Los cinco canales se adquieren mediante el modo de conversión secuencial (scan mode), asignando cada sensor a un rango (rank) de la secuencia de conversión, de modo que una

única orden de arranque recorre los cinco canales de forma ordenada. La lectura se realiza por sondeo (polling), recogiendo cada resultado tras la señal de fin de conversión. La solución por sondeo se ha elegido por su sencillez de implementación y verificación, siendo su velocidad suficiente para la cadencia de muestreo requerida.

Cada lectura cruda se convierte a tensión mediante la relación de la ecuación $V = \frac{(raw * 3.3)}{4095}$ E. 1

$$V = \frac{(raw * 3.3)}{4095} \quad E. 1$$

correspondiente a un convertidor de 12 bits con referencia de 3.3 V. Para el sensor de presión de freno se aplica además una conversión específica a unidades de presión (bar), detallada en el apartado correspondiente, ya que su salida (0.5–4.5 V) requiere una etapa de acondicionamiento previa. El tiempo de muestreo se fijó en 24.5 ciclos de ADC para todos los canales por igual. Este valor garantiza la carga completa del condensador interno de muestreo y retención frente a la impedancia de salida de los sensores, evitando errores de medida por muestreo insuficiente.

<i>Parámetro</i>	<i>Valor</i>
Periférico	ADC1 (STM32H533)
Resolución	12 bits, alineación a la derecha
Modo de conversión	Secuencial (<i>scan mode</i>), un <i>rank</i> por sensor
Método de lectura	Sondeo (<i>polling</i>)
Calibración	Por software, previa a la primera conversión
Tiempo de muestreo	24,5 ciclos de ADC (todos los canales)

Tabla 7: Especificaciones Técnicas y Configuración del Periférico ADC1

5.2.2.2 SPI

Para la medida de la temperatura del disco de freno se emplea el módulo MAX6675, que integra el acondicionamiento de un termopar tipo K y entrega la medida ya digitalizada a través de una interfaz SPI. La comunicación con el microcontrolador se realiza mediante el periférico SPI2 del STM32H533, configurado en modo maestro y modo 0 (polaridad de reloj baja y captura de datos en el primer flanco), tal como requiere el dispositivo.[11]

El MAX6675 es un dispositivo de solo lectura: no recibe comandos ni configuración, sino que entrega una trama de 16 bits cada vez que se le proporciona señal de reloj con la línea de selección activa. Por este motivo no se transmite ningún dato por la línea MOSI y la comunicación se limita a la recepción de los dos bytes a través de la línea MISO. La línea de selección de esclavo (chip-select) se gestiona por software mediante un pin de propósito general (PA8): se activa a nivel bajo para iniciar la transacción, se reciben los 16 bits y se desactiva a nivel alto al finalizar. Mientras la línea de selección permanece inactiva, el sensor ejecuta su conversión interna, cuya duración (del orden de 220 ms) condiciona la tasa máxima de muestreo a unos 4 Hz, valor coherente con los requisitos establecidos para esta señal en capítulos anteriores.

La velocidad de reloj del bus SPI se fijó en 500 kHz, aplicando un prescaler de 64 sobre el reloj de kernel del periférico (PCLK1 = 32 MHz). Este valor se sitúa muy por debajo del máximo admitido por el MAX6675 (4,3 MHz), garantizando una comunicación estable. Dado que cada lectura consiste en una única trama de 16 bits, el tiempo de transferencia resultante ($16 \text{ bits} / 500 \text{ kHz} \approx 32 \mu\text{s}$) es despreciable frente al periodo de muestreo de 250 ms correspondiente a la frecuencia de 4 Hz utilizada para este sensor. Por tanto, la velocidad seleccionada es ampliamente suficiente para los requisitos de adquisición de la señal de temperatura de disco.

Una vez recibida la trama de 16 bits, se procede a su decodificación. La estructura de la trama está formada por un bit de relleno (el más significativo), doce bits de temperatura (D14–D3), un bit de detección de termopar desconectado (D2) y bits de estado en las posiciones inferiores. Para obtener la temperatura se descartan los tres bits inferiores

mediante un desplazamiento y se aísla el campo de doce bits, que se multiplica por la resolución del sensor (0.25 °C por cuenta). Adicionalmente, se comprueba el bit D2: si se encuentra activo, se señala una condición de fallo correspondiente a la desconexión o rotura del termopar, dotando al sistema de un mecanismo de diagnóstico ante esta situación.

<i>Parámetro</i>	<i>Valor</i>
Periférico	SPI2 (STM32H533)
Modo	Maestro, modo 0 (CPOL = 0, CPHA = 0)
Dirección de datos	Solo recepción (MISO); MOSI sin uso
Chip-select (CS)	Por software, nivel bajo activo (Pin PA8)
Velocidad de reloj	< 4,3 MHz (máximo soportado por el dispositivo)
Trama	16 bits por transacción, 2 bytes
Tasa de muestreo	≈ 4 Hz (conversión interna ≈ 220 ms)

Tabla 8: Especificaciones Técnicas y Configuración del Periférico SPI2

5.2.2.3 I2C

Para la medida de la temperatura de los neumáticos se emplean dos sensores MLX90614, que miden la temperatura superficial sin contacto mediante termopila de infrarrojos y comunican el resultado a través de una interfaz I2C. Esta característica resulta especialmente adecuada para la aplicación, ya que permite medir la temperatura del neumático en movimiento sin necesidad de contacto físico con la superficie, siguiendo el esquema de integración de sensores validado en [25].

El MLX90614 presenta una particularidad relevante para el diseño: todos los sensores vienen programados de fábrica con la misma dirección I2C (0x5A). Dado que el sistema requiere

dos sensores, no es posible conectarlos al mismo bus sin que sus direcciones entren en conflicto. Entre las distintas soluciones posibles se encontraban: reprogramar la dirección de uno de los sensores en su memoria interna, emplear un multiplexor I2C, o utilizar dos buses independientes, de las cuales se optó por esta última: cada sensor se conecta a un bus I2C distinto (I2C1 e I2C2), conservando ambos su dirección de fábrica. Esta solución evita la reprogramación de los dispositivos y simplifica tanto el código como la depuración, a costa de emplear dos pares de pines del microcontrolador, una solución viable debido a la alta disponibilidad de GPIOs y que permite evitar conflictos de direccionamiento en el bus.

Ambos buses se configuran en modo I2C estándar a 100 kHz, velocidad suficiente para la tasa de muestreo requerida por esta señal. La lectura de cada sensor se realiza accediendo al registro de temperatura del objeto (0x07), del que se obtienen dos bytes de datos. Es preciso tener en cuenta dos aspectos del protocolo: por un lado, la dirección del dispositivo debe proporcionarse a la función de la biblioteca HAL desplazada un bit a la izquierda, ya que dicha biblioteca espera la dirección en formato de 8 bits incluyendo el bit de lectura/escritura, mientras que el datasheet la especifica en 7 bits; por otro lado, el sensor transmite los datos en orden de byte menos significativo primero, por lo que la reconstrucción del valor de 16 bits debe respetar dicho orden.[8]

Una vez obtenido el valor crudo, se convierte a temperatura en grados centígrados. El MLX90614 expresa la temperatura en kelvin con una resolución de 0.02 K por cuenta, de modo que el valor leído se multiplica por dicho factor y se resta la equivalencia del cero absoluto (273.15), obteniendo la temperatura en grados centígrados.

<i>Parámetro</i>	<i>Valor</i>
Buses	Dos independientes (I2C1, I2C2), modo estándar 100 kHz
Dirección	0x5A de fábrica (conservada en ambos al usar buses separados)
Registro leído	Temperatura de objeto (0x07), 2 bytes

Formato dirección HAL	Desplazada 1 bit a la izquierda (8 bits, incluye bit R/W)
Orden de bytes	LSB primero

Tabla 9: Especificaciones Técnicas y Configuración del Periférico Bus I2C

5.2.3 PRUEBA CÓDIGO COMUNICACIÓN CANFD

La etapa final del firmware desarrollado sobre la Nucleo-H533RE corresponde a la generación y transmisión de las tramas CAN FD que, en la integración definitiva, llevarán los datos adquiridos hasta la VCU. Esta etapa se ha implementado y validado empleando el periférico FDCAN1 del STM32H533 en modo loopback interno, en el que el propio periférico transmite y recibe sus tramas sin necesidad de un segundo nodo físico. Este modo permite verificar la configuración del periférico, el cálculo de la temporización de bit, la organización de las tramas y el empaquetado de las señales, dejando la validación de la comunicación efectiva entre la PCB Gateway y la VCU sobre el bus físico como trabajo futuro en el Capítulo 7.

<i>Parámetro</i>	<i>Valor</i>
Periférico	FDCAN1 (STM32H533)
Formato	CAN FD con conmutación de tasa de bits (BRS)
Reloj de kernel	PLL1Q, 42,67 MHz
Prescaler	5
Segmentos de tiempo	TimeSeg1 = 12, TimeSeg2 = 4
Velocidad nominal	$500 \text{ kbit/s} = 42,67 \cdot 10^6 / (5 \times (1 + 12 + 4))$

Ordenación de bytes	Big-endian (MSB primero)
---------------------	--------------------------

Tabla 10: Especificaciones Técnicas y Configuración del Periférico Bus CANFD

5.2.3.1 Configuración del bus

El periférico se configura en formato CAN FD con conmutación de tasa de bits (BRS), lo que permite transmitir el campo de datos a una velocidad superior a la de la fase de arbitraje. El reloj que alimenta al FDCAN procede de la salida PLL1Q, a una frecuencia de 42.67 MHz. A partir de esta frecuencia se calculan los parámetros de temporización de bit (bit timing): con un prescaler de 5 y segmentos de tiempo de 12 y 4 unidades, se obtiene una velocidad nominal de 500 kbit/s, valor acordado con el resto de los nodos del bus del vehículo. La velocidad se obtiene mediante la relación:

$$\begin{aligned} \text{Velocidad} &= f_{\text{kernel}} / (\text{prescaler} \times (1 + \text{TimeSeg1} + \text{TimeSeg2})) \\ &= 42.67 \cdot 10^6 / (5 \times 17) \approx 500 \text{ kbit/s} \end{aligned}$$

El punto de muestreo resultante se sitúa en torno al 76%, dentro del rango recomendado para garantizar una lectura estable del bit en presencia de retardos de propagación.

5.2.3.2 Organización de las tramas

En lugar de transmitir todas las señales en una única trama, se optó por distribuirlas en cuatro tramas independientes, cada una con un identificador propio, agrupando las señales por naturaleza: acelerador (ID 0x100), suspensión (ID 0x101), presión de freno (ID 0x102) y temperaturas (ID 0x103). Esta organización facilita el procesamiento en recepción y, sobre todo, permite asignar a cada grupo una frecuencia de transmisión acorde con sus necesidades.

La codificación de las señales sigue la práctica habitual en la industria del automóvil, donde los valores no se transmiten en formato de coma flotante sino como números enteros a los que se asocia un factor de escala y un offset, según el formato de base de datos CAN (DBC) establecido por Vector Informatik [26]. El valor físico se recupera en el receptor mediante

una transformación lineal. Así, las señales del convertidor analógico-digital se envían como valores enteros sin tratar (raw), dejando la conversión a unidades físicas en el lado de la VCU, mientras que la presión de freno y las temperaturas se transmiten como enteros escalados por un factor de diez, conservando una resolución de una décima de bar y de grado centígrado respectivamente. Las temperaturas se codifican como enteros con signo, lo que permite representar valores negativos y un código de fallo. En todos los casos se emplea ordenación de bytes big-endian (byte más significativo primero), que debe documentarse para asegurar la correcta interpretación en la recepción.

<i>Trama</i>	<i>ID</i>	<i>Señales</i>	<i>Codificación</i>
Acelerador	0x100	APPS_1, APPS_2	Enteros raw (sin escalar)
Suspensión	0x101	SUSP_FL, SUSP_FR	Enteros raw (sin escalar)
Presión de freno	0x102	PRSS_BRK	Entero escalado $\times 10$ (0,1 bar)
Temperaturas	0x103	TEMPS_BRK, TEMP_TYRE_1, TEMP_TYRE_2	Entero con signo $\times 10$ (0,1 °C)

Tabla 11: IDs tramas del Periférico Bus CANFD

5.2.3.3 Planificación temporal de los envíos

El requisito de muestreo difiere notablemente entre señales: las del acelerador y la suspensión requieren una frecuencia de 100 Hz por su rápida variación y su carácter crítico, mientras que las temperaturas, limitadas por la propia electrónica de los sensores (el MAX6675 tarda del orden de 220 ms por conversión y el MLX90614 presenta una tasa de actualización del orden de décimas de segundo), no requieren más de 4 Hz. Transmitir todas

las señales a 100 Hz supondría enviar repetidamente datos de temperatura sin información nueva, ocupando ancho de banda del bus innecesariamente.

Para resolver esto se implementó un planificador cooperativo (scheduler) basado en la base de tiempos del sistema, accesible mediante la función HAL_GetTick(), que proporciona un contador de milisegundos. El bucle principal comprueba en cada iteración, sin bloquearse, si ha transcurrido el periodo correspondiente a cada grupo de señales (10 ms para el grupo rápido y 250 ms para el grupo lento) y, en caso afirmativo, ejecuta la adquisición y el envío de dicho grupo. Este esquema permite ejecutar tareas a distintas frecuencias dentro de un mismo bucle sin necesidad de un sistema operativo en tiempo real, y sustituye al uso de retardos bloqueantes (HAL_Delay), incompatibles con la ejecución concurrente de tareas a distintas cadencias.

5.2.3.4 Empaquetado y transmisión

Para cada trama, los valores se descomponen en bytes individuales y se cargan en la cola de transmisión del periférico CAN mediante la función correspondiente de la biblioteca HAL. La inicialización de las cabeceras de las cuatro tramas se factorizó en una función auxiliar común, parametrizada por identificador y longitud de datos, evitando la repetición de código. La longitud de cada trama se ajusta al número de señales que contiene, aprovechando que CAN FD admite campos de datos de longitud variable.

5.3 DISEÑO DE LA PCB GATEWAY

5.3.1 ESQUEMÁTICO

El esquemático completo de la PCB Gateway, con todas las hojas del diseño (microcontrolador, transceptor CAN, etapa de alimentación, conectores y componentes pasivos), se incluye en los Anexos II y III.

5.3.1.1 Microcontrolador

El núcleo del esquemático lo constituye el microcontrolador STM32H523CET6 (U1), encargado de gestionar el funcionamiento e interfaz del sistema. Las Tablas 12, 13 y 14 recogen el conjunto completo de señales conectadas al microcontrolador, organizadas según su función.

Entradas analógicas (ADC): Los pines PA0 a PA3 se destinan a la lectura de las señales analógicas de los potenciómetros del sistema: PA0 y PA1 corresponden a los sensores de suspensión delantera izquierda y derecha (S_SUSP_FL, S_SUSP_FR), mientras que PA2 y PA3 corresponden a los dos canales redundantes del acelerador (APPS_1, APPS_2).

Bus SPI (sensor de temperatura de disco de freno): Los pines PA4 a PA7 implementan el bus SPI dedicado al módulo MAX6675: PA4 actúa como señal de selección de esclavo (TEMPS_BRK_CS), PA5 como reloj (TEMPS_BRK_SCK), PA6 como entrada de datos (TEMPS_BRK_MISO) y PA7 como salida de datos (TEMPS_BRK_MOSI).

Comunicación CAN FD: Los pines PA11 y PA12 implementan el periférico FDCAN1, con PA11 como entrada de recepción (FDCAN1_RX) y PA12 como salida de transmisión (FDCAN1_TX), conectados al transceptor CAN FD descrito en el apartado 5.3.1.3.

Programación y depuración (SWD): Los pines PA13 y PA14 se reservan para la interfaz de depuración serie (SWDIO y SWCLK respectivamente), permitiendo la programación del microcontrolador y la depuración en tiempo real a través del conector J2 mediante un programador ST-LINK.

Señales auxiliares: El pin PA10 se conecta a una señal de estado (FLAG), y el pin PB5 a una entrada de propósito general (GPIO) asociada al pulsador SW2.

Buses I²C (sensores de temperatura de neumático): El sistema incorpora dos buses I²C independientes, uno por cada sensor MLX90614: el primero, sobre los pines PB6 (SCL) y PB7 (SDA), para el sensor TEMP_TYRE_1; el segundo, sobre los pines PB10 (SCL) y PB12 (SDA), para el sensor TEMP_TYRE_2. El uso de buses independientes, en lugar de un único

bus compartido, evita conflictos de direccionamiento entre ambos sensores sin necesidad de reconfigurar su dirección I²C por software.

Pines no utilizados: Varios pines del microcontrolador quedan sin conectar en el diseño actual, marcados con una cruz en el esquemático, entre ellos PA8, PA9, PA15, PB1 a PB4, PB8, PB11 y PB13 a PB15. Estos pines quedan disponibles para una posible ampliación futura del sistema con nuevos sensores o periféricos.

Reset y arranque: El pin NRST incorpora una resistencia de pull-up R18 (10 k Ω) y un condensador de desacoplo C12 (100 nF), configuración estándar que evita reinicios espurios por ruido como se indica en la hoja de datos del microcontrolador. El pin BOOT0 se conecta a la misma red que NRST a través de un jumper JP2, actualmente sin puentear (Open), permitiendo seleccionar el modo arranque si fuera necesario en el futuro.

Alimentación y referencias: Los pines de alimentación del microcontrolador, VDD (pines 24, 36 y 48), VDDA (pin 9) y VBAT (pin 1), se alimentan desde los dominios de tensión correspondientes, descritos en el apartado 5.3.1.2. El pin VCAP (pines 22 y 46), correspondiente al regulador interno de núcleo del microcontrolador, se desacopla con dos condensadores de 2,2 μ F (C10, C11). Las referencias de masa del sistema, VSS (pines 23, 35 y 47) y VSSA (pin 8), se conectan respectivamente a GND y a GNDA, esta última una masa analógica separada para minimizar el acoplamiento de ruido digital hacia las señales analógicas del ADC.

Reloj: Los pines PC14/PC15 (OSC32_IN/OSC32_OUT) y PH0/PH1 (OSC_IN/OSC_OUT) quedan disponibles para osciladores externos de baja y alta frecuencia respectivamente, aunque en el diseño actual no se emplean, optando por el oscilador de 8 MHz descrito en el apartado 5.3.1.4 a través de pines dedicados del propio cristal.

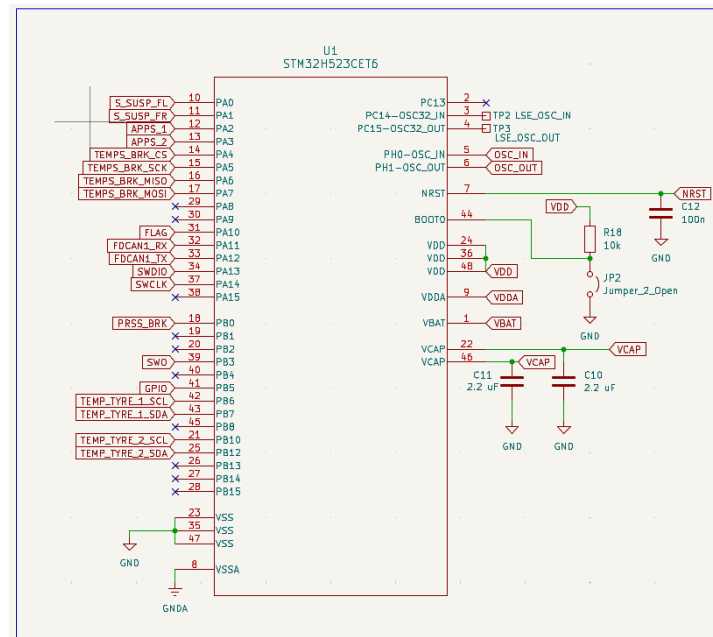


Figura 14: Esquemático PCB Gateway bloque microcontrolador

<i>Pin n°</i>	<i>Pin micro</i>	<i>Red / Señal</i>	<i>Función</i>
10	PA0	S_SUSP_FL	Sensor de suspensión delantero izq.
11	PA1	S_SUSP_FR	Sensor de suspensión delantero der.
12	PA2	APPS_1	Sensor posición pedal acelerador 1
13	PA3	APPS_2	Sensor posición pedal acelerador 2
14	PA4	TEMPS_BRK_CS	SPI – Chip Select
15	PA5	TEMPS_BRK_SCK	SPI – Reloj
16	PA6	TEMPS_BRK_MISO	SPI – Datos entrada

17	PA7	TEMPS_BRK_MOSI	SPI – Datos salida
31	PA10	FLAG	Señal de flag / GPIO
32	PA11	FDCAN1_RX	Bus CAN FD Recepción
33	PA12	FDCAN1_TX	Bus CAN FD Transmisión
18	PB0	PRSS_BRK	Sensor de presión de freno
41	PB5	GPIO	Entrada/salida de propósito general
42	PB6	TEMP_TYRE_1_SCL	I ² C Reloj (temp. neumático 1)
43	PB7	TEMP_TYRE_1_SDA	I ² C Datos (temp. neumático 1)
21	PB10	TEMP_TYRE_2_SCL	I ² C Reloj (temp. neumático 2)
25	PB12	TEMP_TYRE_2_SDA	I ² C Datos (temp. neumático 2)

*Tabla 12: Asignación de pines de señales de E/S del microcontrolador
STM32H523CET6.*

<i>Pin nº</i>	<i>Pin micro</i>	<i>Red / Señal</i>	<i>Función</i>
34	PA13	SWDIO	Depuración SWD Datos
37	PA14	SWCLK	Depuración SWD Reloj
39	PB3	SWO	Traza SWO (depuración)

3	PC14-OSC32_IN	TP2 / LSE_OSC_IN	Cristal LSE 32 kHz
4	PC15-OSC32_OUT	TP3 / LSE_OSC_OUT	Cristal LSE 32 kHz
5	PH0-OSC_IN	OSC_IN	Cristal HSE entrada
6	PH1-OSC_OUT	OSC_OUT	Cristal HSE salida
7	NRST	NRST	Reset (C12 100 nF a GND)
44	BOOT0	—	Selección de arranque (R18 10k + JP2 a VDD)

Tabla 13: Pines de depuración (SWD/SWO) y circuitería de reloj del STM32H523CET6.

<i>Pin nº</i>	<i>Pin micro</i>	<i>Red / Señal</i>	<i>Función</i>
24, 36, 48	VDD	VDD	Alimentación digital
9	VDDA	VDDA	Alimentación analógica
1	VBAT	VBAT	Alimentación batería/backup
22, 46	VCAP	VCAP	Condensadores reguladores
23, 35, 47	VSS	GND	Masa digital

Tabla 14: Pines de alimentación y referencia del STM32H523CET6.

5.3.1.2 Bloque alimentación

La PCB Gateway se alimenta directamente desde la batería de baja tensión del monoplaza, de 12 V, la misma fuente que alimenta el resto de la electrónica auxiliar del vehículo. A partir de esta tensión, el circuito genera de forma regulada los 3,3 V necesarios para el microcontrolador y el resto de los componentes digitales de la placa.

Protección de entrada y regulación: La entrada de 12 V se protege mediante un diodo D2 (polaridad inversa) y un fusible PTC F1 de 50 mA (sobrecorriente, autorrearmable). La conversión a 3,3 V se realiza mediante un regulador LDO MCP1755ST-3302E/DB (U3), con condensadores de entrada y salida de 1 μ F (C3, C4) según las recomendaciones del fabricante[9]. El pin EP (Exposed Pad) se conecta a GND para mejorar la disipación térmica.

Indicador de alimentación: A la salida del regulador se incorpora un LED indicador (D1) con su resistencia limitadora R6 (270 Ω), a través del jumper JP1, para verificar visualmente la presencia de tensión sin necesidad de instrumentación.

Distribución y desacoplo por dominios:

- VDD (digital): 4 condensadores distribuidos: C1, C2, C9 (100 nF) y C5 (4,7 μ F).
- VDDA (analógica, ADC): resistencia de filtrado R17 (0 Ω) y condensadores C6 (100 nF), C7 (1 μ F), referenciados a masa analógica independiente (GNDA).
- VBAT (respaldo del reloj interno): condensador C8 (100 nF).

Separación de masas: Las masas digital (GND) y analógica (GNDA) se mantienen separadas en el esquemático y se unen en un único punto mediante un componente NetTie (NT1), evitando bucles de masa entre dominios mientras se mantiene una referencia de potencial común.

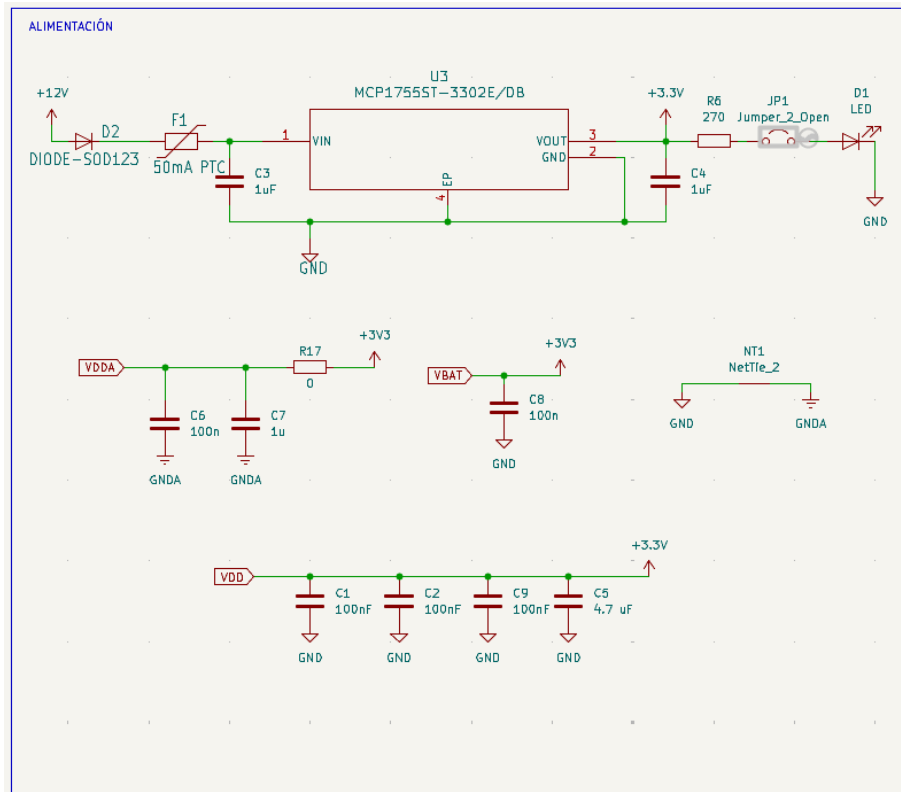


Figura 15: Esquemático PCB Gateway bloque alimentación

5.3.1.3 Comunicación

La interfaz física del bus CAN FD se implementa mediante el transceptor TCAN330 (U2) de Texas Instruments, encargado de convertir las señales lógicas digitales del periférico FDCAN1 del microcontrolador en la señalización diferencial requerida por el bus CAN del monoplaza.

El transceptor recibe las señales FDCAN1_TX y FDCAN1_RX del microcontrolador en sus pines TXD y RXD respectivamente, y las traduce a las líneas diferenciales CANH1 y CANL1 en sus pines 7 y 6, que constituyen la interfaz hacia el bus físico del monoplaza. Entre ambas líneas se incorpora una resistencia de terminación R3 de 120 Ω , valor estándar que se corresponde con la impedancia característica del cableado del bus CAN, evitando reflexiones de señal.

Los pines SHDN (5) y S (8) del transceptor, destinados al control del modo de bajo consumo (standby) del dispositivo, quedan sin conectar en el diseño actual, manteniendo el transceptor permanentemente en su modo de funcionamiento normal.

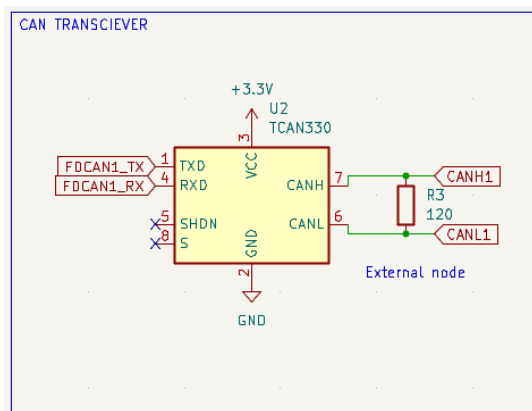


Figura 16: Esquemático PCB Gateway bloque comunicación CAN

Para elegir el transceptor CAN de la PCB Gateway, se ha seguido un criterio similar al del microcontrolador, ver apartado 5.1.2.2. Con este objetivo, se han comparado tres opciones comerciales en una matriz de decisión, evaluando cómo se adaptan a los requisitos del coche y a las restricciones de la propia placa. La comparativa técnica se resume en la Tabla 15.

<i>Criterio</i>	<i>TCAN330</i>	<i>MCP2562FD</i>	<i>TJA1050</i>
Fabricante	Texas Instruments	Microchip	NXP
Soporte CANFD	Sí (hasta 5 Mbps)	Sí (hasta 5 Mbps)	No (CAN)
Voltaje e (VCC)	3,3 V	5 V	5 V
Adaptación de niveles lógicos	Directa (a 3,3 V)	Directa (a pin VIO)	Requiere level shifters
Encapsulado	SOIC-8	SOIC-8 / DFN-8	SOIC-8

Coste	Bajo	Bajo	Muy bajo
Ajuste a requisitos	Óptimo	Aceptable	Incompatible

Tabla 15: Matriz de decisión para la selección del transceptor CAN de la PCB Gateway

A la vista de los resultados de la matriz, Tabla 15, el transceptor TCAN330 de Texas Instruments se consolida como la opción idónea para la PCB. El modelo TJA1050 queda descartado de inmediato al no ser compatible con el protocolo CAN FD y exigir adaptadores de nivel para la lógica de 3,3 V del microcontrolador. Por su parte, aunque el MCP2562FD sí soporta altas velocidades y cuenta con un pin de referencia compatible con la MCU, requiere obligatoriamente un raíl de alimentación de 5 V para la transmisión analógica. Dado que la arquitectura de potencia de la placa se ha simplificado a un único regulador LDO de 3,3 V, elegir el componente de Microchip obligaría a añadir un segundo regulador en el circuito. Por tanto, el TCAN330 es el único modelo que permite una integración directa y nativa, optimizando el espacio de ruteo y el coste del diseño.

5.3.1.4 Conectores

La placa incorpora dos conectores principales: el conector de programación y depuración, y el conector de interconexión con el mazo de cables del monoplaza.

Conector de programación (J2): Implementa la interfaz SWD (Serial Wire Debug) para la programación y depuración del microcontrolador, exponiendo las señales NRST, SWCLK, SWO y SWDIO, junto con la alimentación de 3,3 V y la masa del sistema, en un conector de 6 pines (Conn_01x06_Pin). Esta interfaz permite conectar directamente el programador ST-LINK al microcontrolador, posibilitando tanto la carga del firmware como la depuración en tiempo real sin necesidad de hardware adicional.

Conector principal (J3): Implementa la interconexión física entre la PCB Gateway y el resto de la electrónica del monoplaza, mediante un conector de 23 pines de la referencia TE Connectivity 770669-1. Esta referencia se ha seleccionado por ser el conector estandarizado por el ISC Racing Team para la interconexión de placas electrónicas en el monoplaza, garantizando la compatibilidad mecánica y de cableado con el resto de módulos del vehículo. A través de este conector se distribuyen todas las señales de entrada y salida de la placa: las señales analógicas de los sensores (APPS_1, APPS_2, S_SUSP_FL, S_SUSP_FR, PRSS_BRK), las señales del bus SPI del sensor de temperatura del disco de freno (TEMPS_BRK_MOSI, TEMPS_BRK_MISO, TEMPS_BRK_SCK, TEMPS_BRK_CS), las señales de los dos buses I²C de temperatura de neumático (TEMP_TYRE_1_SCL, TEMP_TYRE_1_SDA, TEMP_TYRE_2_SCL, TEMP_TYRE_2_SDA), las líneas diferenciales del bus CAN FD (CANH1, CANL1), y la alimentación de entrada de 12 V procedente de la batería del monoplaza.

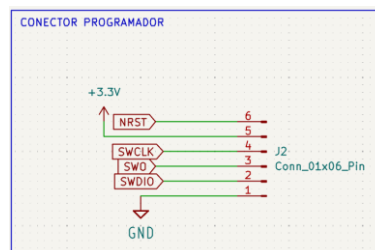


Figura 17: Esquemático PCB Gateway conector de programación

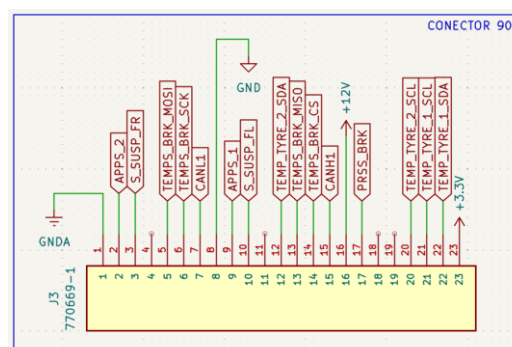


Figura 18: Esquemático PCB Gateway conector principal comunicación



Figura 19: TE connectivity connector 770669-1 (conector principal comunicación)

5.3.1.5 Acondicionamiento de señales

Este bloque agrupa circuitos auxiliares que acondicionan las señales de los sensores antes de su lectura, y los elementos de generación de reloj, indicación visual y entrada de usuario.

Resistencias pull-down (sensores analógicos): Cada una de las cinco entradas analógicas del sistema ,APPS_1, APPS_2, S_SUSP_FL, S_SUSP_FR y PRSS_BRK, incorpora una resistencia de pull-down de 10 k Ω (R4, R5, R1, R2, R15) conectada a masa. El valor de 10 k Ω se ha seleccionado por ser suficientemente alto para no cargar significativamente la salida del sensor, evitando distorsionar la lectura real de la señal y, al mismo tiempo, suficientemente bajo para fijar de forma efectiva el nivel de la entrada en ausencia de señal. Esta configuración garantiza que, ante un fallo de conexión o desconexión del sensor, el canal ADC correspondiente se mantenga en un nivel bajo definido y predecible, en lugar de flotar y producir lecturas erráticas susceptibles de ruido.

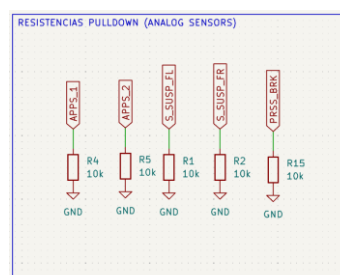


Figura 20: Circuito resistencias de pull-down para estabilización de entradas analógicas.

Resistencias pull-up (buses I²C): Cada bus I²C del sistema incorpora un par de resistencias de pull-up de 4,7 k Ω sobre las líneas SCL y SDA (R8-R9 para TEMP_TYRE_2, R10-R11 para TEMP_TYRE_1), conectadas a 3,3 V. Este valor es el habitualmente recomendado para buses I²C de longitud moderada operando a la velocidad estándar de 100 kHz, ya que ofrece un buen equilibrio entre los tiempos de subida de la señal, que empeoran con resistencias de mayor valor y el consumo de corriente en estado bajo, que aumenta con resistencias de menor valor. Estas resistencias son un requisito imprescindible del protocolo I²C, en el que ambas líneas son de tipo open-drain y necesitan un elemento externo que las mantenga en estado alto cuando ningún dispositivo del bus las fuerza a nivel bajo.

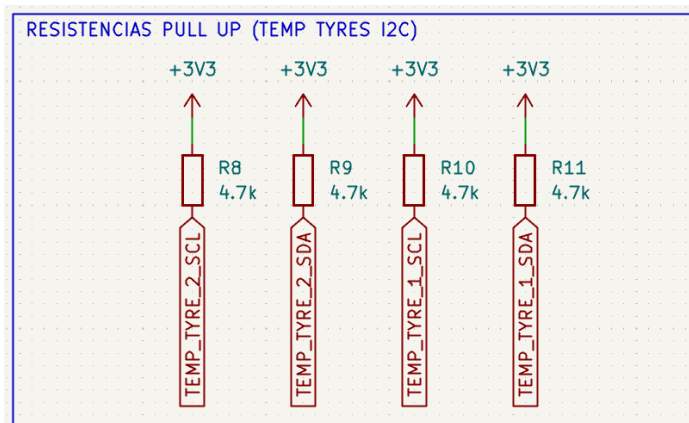


Figura 21: Circuito de resistencias de pull-up para líneas SCL y SDA de los buses I²C independientes.

Acondicionamiento del bus SPI: El bus SPI del sensor de temperatura de freno incorpora un transistor NPN (Q3) con sus resistencias asociadas: R12 (47 k Ω) y R13 (100 k Ω) en la base, y R16 (4,7 k Ω) como resistencia de colector. Este circuito está destinado a adaptar y reforzar el nivel de la señal TEMPS_BRK_MOSI antes de su transmisión a través de cables de longitud considerable hasta el sensor, situado en una zona del monoplaza alejada de la placa; los valores elevados de las resistencias de base permiten limitar el consumo del circuito mientras se mantiene una conmutación adecuada del transistor.

Cabe destacar que la topología de este circuito de acondicionamiento e indicación visual ha sido adoptada directamente de los esquemas de referencia incluidos en la documentación

técnica oficial de la placa de desarrollo NUCLEO-H533RE de STMicroelectronics [27]. Con esto se garantiza el uso de una configuración electrónica ya validada por el propio fabricante para el entorno de pruebas del ecosistema STM32H5. Asimismo, se ha optado por un tamaño de componentes pasivos SMD 0805 por si es necesaria manipulación posterior al montaje.

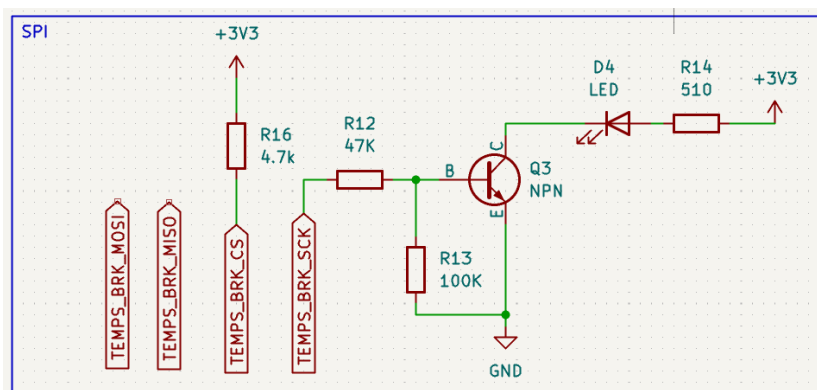


Figura 22: Etapa acondicionamiento mediante transistor NPN y LED para el bus SPI del módulo termopar.

Generación de reloj: El microcontrolador emplea un cristal externo de 8 MHz como fuente de reloj principal, con sus correspondientes condensadores de carga C13 y C14, de 10 pF cada uno. Este valor de capacidad es el habitual para cristales de cuarzo de esta frecuencia, y se selecciona en función de la capacidad de carga especificada por el fabricante del cristal, siendo crítico para garantizar el arranque fiable de la oscilación y la estabilidad de la frecuencia generada [7].

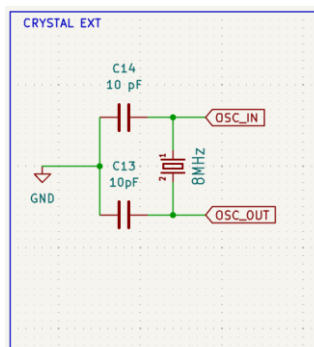


Figura 23: Circuito del oscilador de cristal externo de 8 MHz

Indicador de estado del sistema: Un LED D3, en serie con una resistencia limitadora R7 de $100\ \Omega$, se conecta a la señal FLAG del microcontrolador. El valor de $100\ \Omega$, superior al empleado en el indicador de alimentación (R6, $270\ \Omega$) o en el del bus SPI (R14, $51\ \Omega$), permite ajustar el brillo del LED a un nivel adecuado para una señalización de estado discreta, sin requerir una corriente elevada del pin GPIO que la controla.

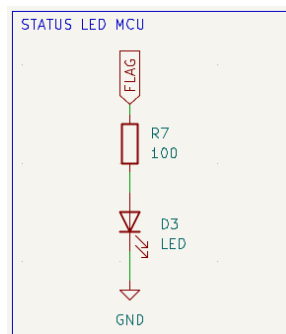


Figura 24: Circuito del LED indicador de estado del sistema conectado a señal FLAG del microcontrolador

Entradas de usuario: La placa incorpora dos pulsadores: SW1, conectado a la señal NRST, que permite forzar manualmente el reinicio del microcontrolador; y SW2, conectado a una entrada GPIO de propósito general a través de una resistencia de pull-up R19 de $100\ k\Omega$. Este valor elevado es propio de una resistencia de pull-up para una entrada digital de baja frecuencia de conmutación, como es el caso de un pulsador accionado manualmente, minimizando el consumo en reposo del circuito.

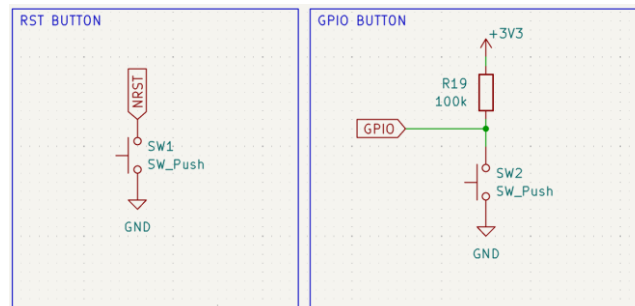


Figura 25: Esquemático de los pulsadores de reinicio manual (NRST) y de entrada de propósito general para el usuario (GPIO)

Puntos de masa mecánica y prueba: La placa incorpora dos orificios de montaje (H5, H8) conectados a GND, que permiten fijar mecánicamente la placa al chasis del monoplaza garantizando además una referencia de masa adicional, junto con un punto de prueba (TP1) conectado a la tensión de 3,3 V, útil para la verificación con instrumentación durante las fases de prueba y validación.

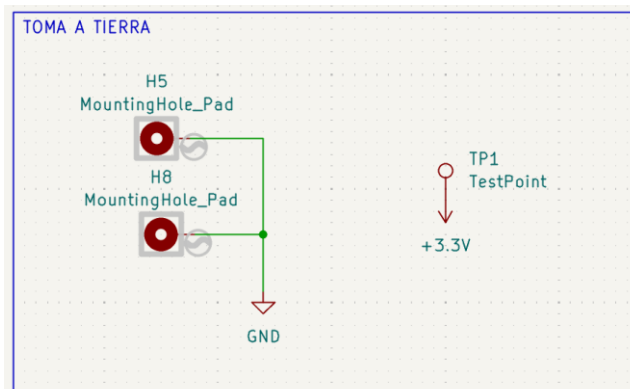


Figura 26: Conexión a masa de los orificios de montaje mecánico del chasis y ubicación del test point 3,3 V.

5.3.2 LAYOUT

El diseño del *layout* de la PCB Gateway se ha realizado mediante la herramienta Pcbnew de KiCad, a partir del esquema eléctrico optimizado para garantizar la integridad de las señales

y minimizar los efectos del ruido electromagnético (EMI), un factor crítico en el entorno de alta interferencia de un monoplaza de Formula Student.

5.3.2.1 Geometría y Distribución de Componentes

La placa adopta una forma rectangular con una sección semicircular en el lateral izquierdo, diseñada específicamente para alojar el conector principal de campo de 23 pines (J3) como se puede ver en la **¡Error! No se encuentra el origen de la referencia.** . Este conector vincula la PCB con el mazo de cables general del vehículo.

Para proteger la electrónica activa de la manipulación mecánica durante la integración y el mantenimiento en el monoplaza, los componentes se han concentrado estratégicamente en la mitad derecha de la placa. En esta sección se agrupan funcionalmente el microcontrolador (U1), el regulador de alimentación (U3), el transceptor CAN FD (U2) y los componentes pasivos de acondicionamiento; resistencias, condensadores y LEDs indicadores. Esta distribución física implementa un aislamiento de zonas, manteniendo una estricta separación entre la zona de procesamiento digital de baja tensión y las áreas expuestas a corrientes de retorno o conexiones externas.

5.3.2.2 Configuración de Capas y Reglas de Diseño

La PCB se ha estructurado en una configuración de dos capas de cobre, superior e inferior. Para mitigar el acoplamiento de ruido en un entorno tan ruidoso como el del vehículo, se ha dedicado un plano de masa (GND) lo más sólido y continuo posible en la capa inferior, el cual actúa como blindaje electromagnético.

Se han aplicado reglas de diseño estándar que equilibran la fiabilidad técnica con la viabilidad económica de fabricación, utilizando los siguientes parámetros de enrutamiento:

Señales de uso general: Ancho de pista de 0,25 mm y una separación mínima ‘*clearance*’ de 0,2 mm .

Líneas de alimentación (VDD, GND, +12 V): Ancho superior de 0,5 mm para minimizar la caída de tensión, reducir la inductancia de los lazos y mitigar la disipación de calor en los

tramos de mayor corriente. Por simplicidad y coste se ha optado por un diseño con todos los componentes SMD en una única capa. También hay dos capas internas: 1 capa de Vcc y otra de GND para facilitar el rutado y mitigar el ruido.

5.3.2.3 Enrutamiento Crítico e Integridad en el Bus de los Sensores

El enrutamiento se ha abordado priorizando las señales según su sensibilidad al ruido y su velocidad, aplicando a cada grupo el tratamiento adecuado.

Líneas diferenciales CAN FD (CANH/CANL). Por ser el bus de mayor velocidad de la placa, las dos líneas se han enrutado como par, lo más cortas y juntas posibles entre el transceptor (U2) y el conector de campo (J3), manteniendo longitudes equilibradas para preservar la simetría del par diferencial y minimizar el área de lazo. La resistencia de terminación de 120 Ω (R3) se sitúa junto al transceptor.

Señales analógicas del ADC (APPS, suspensión, presión de freno). Al tratarse de medidas analógicas sensibles al ruido, sus pistas se han mantenido cortas y se han enrutado sobre la región de masa analógica (GNDA), alejadas de las líneas digitales conmutadas y de la alimentación, para reducir el acoplamiento que degradaría la resolución de la conversión.

Bus SPI del termopar (TEMPS_BRK). Las líneas SCK, MISO, MOSI y CS se han enrutado de forma directa entre el microcontrolador y la etapa de acondicionamiento, manteniéndolas agrupadas y cortas.

Buses I²C de los neumáticos (TEMP_TYRE_1, TEMP_TYRE_2). Se han asignado dos pares de pines independientes, aprovechando la disponibilidad de GPIO, para evitar el conflicto de direcciones de los MLX90614. Cada par SCL/SDA se ha enrutado emparejado y separado del otro bus. Las resistencias de pull-up se han colocado próximas a los pines del microcontrolador (close-to-pin), favoreciendo flancos de subida limpios en las señales que llegan por el cableado desde las manguetas.

5.3.2.4 Aplicación de las Guías de Diseño de STMicroelectronics y Desacoplo

Tanto el esquemático como el *layout* siguen rigurosamente las directrices de diseño *layout guidelines*, de STMicroelectronics para la familia STM32H523xx [9]. Para reducir la inductancia parásita y mejorar la eficacia del filtrado de alta frecuencia, los condensadores de desacoplo se han posicionado inmediatamente adyacentes al encapsulado del microcontrolador U1:

- **Dominio VDD:** Condensadores C1, C2, C5 y C9.
- **Dominio VDDA:** Condensadores C6 y C7.
- **Dominio VBAT:** Condensador C8.
- **Pin VCAP:** Condensadores C10 y C11, situados en la posición más directa al pin correspondiente.

De igual forma, para absorber los transitorios en la línea de alimentación de 3.3V que va hacia los sensores perimetrales, se han colocado condensadores de desacoplo cerámicos situados inmediatamente antes de las pistas de salida hacia los pines del conector de campo.

5.3.2.5 Rutado General

Las pistas de mayor longitud se ubican en el lateral izquierdo, encargándose de conectar los pines del conector de campo J3 con los bloques funcionales activos en el lado derecho. El resto de las pistas se han mantenido lo más cortas y directas posible, optimizando los trazados de señales de alta velocidad como CAN FD y SPI.

En la zona inferior de la placa se ubica el conector de programación J2 (SWD), con sus pines GND, SWD y VDD claramente identificados para facilitar el acceso del programador ST-LINK durante las posibles hipotéticas futuras fases de desarrollo en el taller. Para la fijación mecánica al chasis del monoplaza, se disponen dos orificios de montaje circulares junto al borde superior derecho, los cuales están conectados directamente al plano de GND.

5.3.2.6 Disipación Térmica

La línea de 3,3 V de la PCB Gateway se obtiene a partir de los 12 V de la batería de LV (Low Voltage) del monoplaza mediante un regulador lineal LDO Microchip MCP1755ST-3302E/DB en encapsulado SOT-223. Al ser un regulador lineal, toda la diferencia de tensión entre entrada y salida se disipa en forma de calor en el propio dispositivo, por lo que debe verificarse que la temperatura de unión se mantiene por debajo del límite del fabricante ($T_{J,max} = 125\text{ °C}$). El análisis se desarrolla siguiendo la metodología de la nota de aplicación AN5885 de Microchip [28], a partir de cálculos sobre los parámetros del datasheet, sin medidas experimentales.

La potencia disipada por el regulador se calcula como:

$$P_D = (V_{IN} - V_{OUT}) * I_{OUT} \quad E. 2$$

Para el caso de operación del sistema $V_{IN} = 12\text{ V}$, $V_{OUT} = 3,3\text{ V}$ e $I_{OUT} \approx 100\text{ mA}$ estimada para el conjunto de electrónica digital de la placa, la potencia disipada resulta $P_D \approx 0,87\text{ W}$, valor térmicamente significativo para un SOT-223.

A partir de la potencia disipada, la temperatura de unión se obtiene como

$$T_J = T_{amb} + P_D \cdot \theta_{JA} \quad E. 3$$

donde θ_{JA} es la resistencia térmica unión-ambiente del encapsulado. Este valor depende fuertemente del cobre disponible en la PCB para evacuar el calor [28], por lo que se consideran dos escenarios: un escenario conservador con $\theta_{JA} = 62\text{ °C/W}$, correspondiente al valor de referencia del datasheet, y un escenario favorable con $\theta_{JA} \approx 45\text{ °C/W}$, estimado para el layout de la PCB Gateway al disponer de plano de masa interno, zona de cobre en cara inferior y cobre adicional en la cara superior conectado al tab del SOT-223.

La Tabla 16 recoge la temperatura de unión resultante en ambos escenarios para distintas temperaturas ambiente representativas, desde laboratorio (25 °C) hasta condiciones desfavorables bajo carrocería en pista (60 °C).

<i>Tamb</i>	<i>TJ</i> ($\theta_{JA}=62\text{ }^{\circ}\text{C/W}$)	<i>TJ</i> ($\theta_{JA}=45\text{ }^{\circ}\text{C/W}$)
25 °C	$\approx 79\text{ }^{\circ}\text{C}$	$\approx 65\text{ }^{\circ}\text{C}$
40 °C	$\approx 94\text{ }^{\circ}\text{C}$	$\approx 80\text{ }^{\circ}\text{C}$
60 °C	$\approx 114\text{ }^{\circ}\text{C}$	$\approx 100\text{ }^{\circ}\text{C}$

Tabla 16: Temperatura de unión estimada del MCP1755ST-3302E/DB.

En todos los casos la temperatura de unión se mantiene por debajo de $T_{J,max}$, por lo que el regulador opera dentro del rango seguro. El caso más exigente corresponde al escenario conservador a 60 °C de ambiente, con un margen de aproximadamente 11 °C respecto al límite. Para aproximar el comportamiento real al escenario favorable, el layout incorpora un plano de masa continuo conectado al tab del encapsulado, un área de cobre de unos 800–1200 mm² alrededor del regulador y vías térmicas bajo el tab que conducen el calor hacia las capas inferiores.[28]

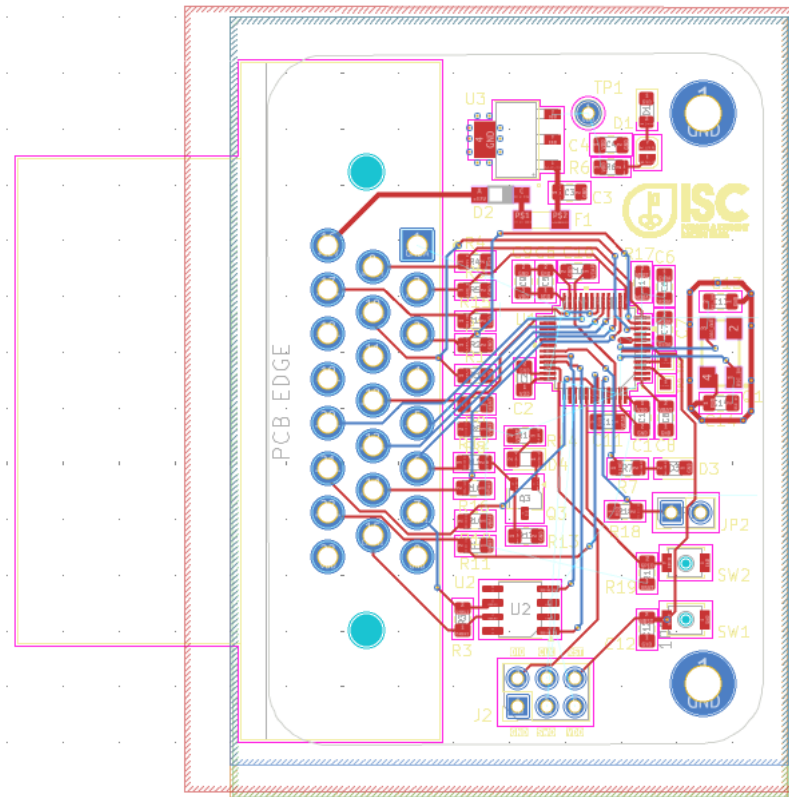


Figura 27: Layout KiCAD PCB Gateway

5.3.3 MODELO 3D

Una vez completado el diseño del esquemático y el enrutado de la PCB, se generó el modelo tridimensional de la placa a partir de la herramienta de visualización 3D de KiCad, que permite comprobar la disposición física de los componentes y detectar posibles interferencias mecánicas antes de la fabricación. En la Figura 25 se muestra la vista frontal del modelo, donde se aprecia la ubicación del microcontrolador, el transceptor CAN, la etapa de alimentación y los conectores de la placa. La **¡Error! No se encuentra el origen de la referencia.** recoge la vista posterior, que permite visualizar los componentes situados en la cara inferior.

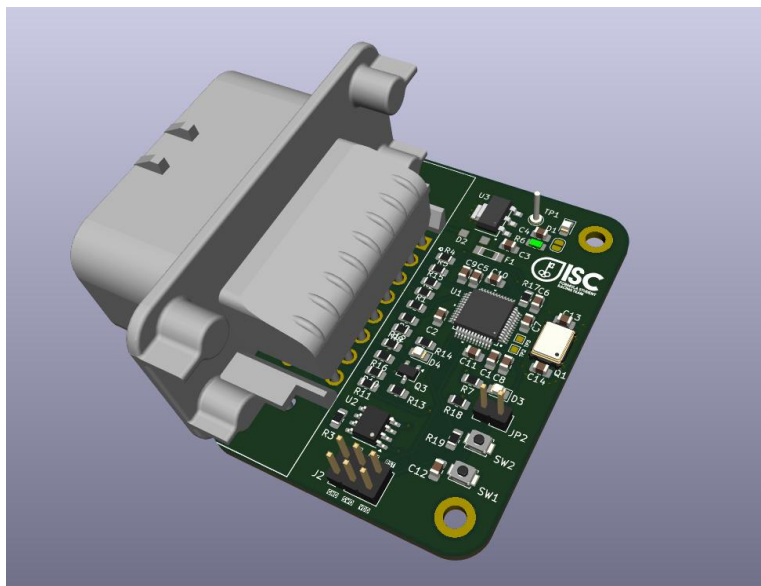


Figura 28: Vista tridimensional frontal del modelo CAD de la PCB Gateway

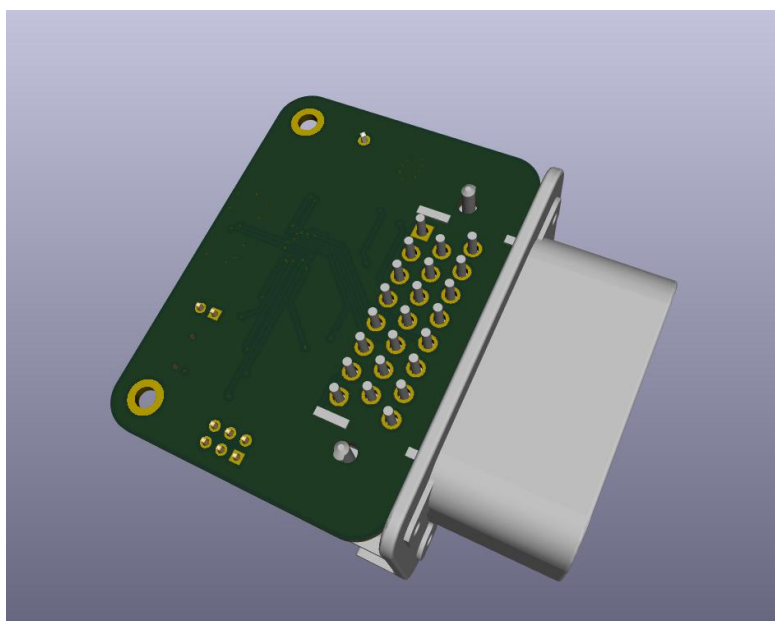


Figura 29: Vista tridimensional trasera del modelo CAD de la PCB Gateway

Capítulo 6. ANÁLISIS DE RESULTADOS

6.1 INTRODUCCIÓN Y CRITERIOS DE VALIDACIÓN

Una vez diseñado el firmware de adquisición y comunicación y definida la arquitectura de la PCB Gateway, este capítulo recoge los resultados obtenidos en su validación y analiza en qué medida la solución desarrollada cumple los objetivos planteados al inicio del proyecto.

La validación se ha estructurado en dos planos complementarios. En primer lugar, una validación funcional del firmware, realizada sobre la placa de desarrollo NUCLEO-H533RE. En segundo lugar, una validación del diseño hardware, centrada en la verificación eléctrica del esquemático y la placa mediante las herramientas de comprobación de reglas de KiCad, así como en la coherencia del diseño con las recomendaciones del fabricante.

Para llevar a cabo estas pruebas se han empleado los siguientes recursos de medida y diagnóstico: el entorno STM32CubeIDE, cuya función Live Expressions permite observar en tiempo real el valor de las variables asociadas a cada sensor durante la ejecución del firmware; y un osciloscopio, utilizado para capturar y analizar las señales eléctricas de los distintos buses de comunicación.

El criterio de aceptación seguido en cada prueba ha sido el mismo: contrastar el resultado medido con el comportamiento esperado según los requisitos del proyecto y la documentación técnica de cada componente, evaluando no solo la correcta recepción del dato, sino también aspectos como la integridad de las tramas y la coherencia de los valores adquiridos.

6.2 VALIDACIÓN FUNCIONAL DEL FIRMWARE

La validación funcional tiene por objeto comprobar que el firmware desarrollado adquiere correctamente las señales de los sensores y que podría transmitir de forma fiable.

Las pruebas se organizan siguiendo el flujo natural de la información dentro de la PCB Gateway: primero, la adquisición de las señales analógicas mediante el conversor analógico-digital (ADC); a continuación, la lectura de los sensores digitales a través de los buses SPI e I²C; y, por último, la transmisión de los datos ya procesados mediante el bus CAN FD. De esta manera, la secuencia de apartados reproduce el recorrido completo de la señal, desde su captación en el frontal del monoplaza hasta su envío hacia la unidad de control trasera.

6.2.1 ADQUISICIÓN ANALÓGICA (ADC)

El objetivo de esta prueba es comprobar que el ADC de 12 bits del STM32H523CET6, implementado sobre la plataforma de validación Nucleo-H533RE, convierte correctamente las tensiones procedentes de los sensores analógicos del frontal y que los valores digitalizados se corresponden con la entrada física aplicada.

Para ello se conectaron los sensores reales, los potenciómetros ELPM-75-POP del acelerador (APPS_1, APPS_2) y de la suspensión delantera (SUSP_FL, SUSP_FR), y una simulación con fuente de la salida de PRSS_BRK a los canales del ADC, recorriendo su rango mecánico de extremo a extremo. El valor convertido se observó en tiempo real mediante la función Live Expressions de STM32CubeIDE, que muestra el contenido de las variables del firmware durante la ejecución sin necesidad de detenerlo.

Los valores leídos evolucionaron de forma monótona con la posición del sensor, recorriendo el rango entre los códigos próximos a 0 y a 4095, que se corresponde con los 4096 niveles esperados de una resolución de 12 bits sobre la referencia de 3,3 V. Se confirma así la correcta digitalización de los cuatro canales analógicos a la frecuencia de muestreo de 100 Hz fijada en el scheduler.

Name	Type	Value
v_brake_adc	float	1.94213903
brake_x10	uint16_t	625
▼ dSusp	uint8_t [4]	0x20043fd0
dSusp[0]	uint8_t	8 '\b'
dSusp[1]	uint8_t	0 '\0'
dSusp[2]	uint8_t	8 '\b'
dSusp[3]	uint8_t	0 '\0'
now	uint32_t	30000
v_brake	float	3.00160694
p_brake	float	62.5401688
▼ dApps	uint8_t [4]	0x20043fd4
dApps[0]	uint8_t	4 '\004'
dApps[1]	uint8_t	217 'Ü'
dApps[2]	uint8_t	4 '\004'
dApps[3]	uint8_t	217 'Ü'
▼ dBrake	uint8_t [2]	0x20043fcc
dBrake[0]	uint8_t	2 '\002'
dBrake[1]	uint8_t	113 'q'

Figura 30: Captura terminal LiveExpression con valores del ADC para canales analógicos

6.2.2 COMUNICACIÓN SPI

El objetivo de esta prueba es validar la capa de comunicación SPI del microcontrolador y la decodificación en firmware de la palabra de 16 bits que entrega el MAX6675, módulo encargado de la lectura del termopar tipo K instalado en el disco de freno (TEMP_BRK).

El MAX6675 entrega en cada lectura una palabra de 16 bits cuya estructura, según el datasheet del fabricante, contiene la temperatura del termopar en los bits D14–D3 con una resolución de 0,25 °C, un bit de detección de termopar desconectado (D2) y bits auxiliares. El firmware activa por GPIO la línea de selección de esclavo (CS), realiza una recepción de dos bytes mediante HAL_SPI_Receive y desactiva CS al finalizar la transacción; los dos bytes recibidos se recomponen como una palabra de 16 bits sobre la que se aplican el desplazamiento y el factor de escala correspondientes para obtener la temperatura en grados Celsius. La configuración del periférico SPI2 emplea CPOL=0 y CPHA=0, modo requerido por el MAX6675, y un prescaler que sitúa la frecuencia de SCK por debajo del máximo admitido por el dispositivo (4,3 MHz).

Para la validación, dado que en esta fase del proyecto no se disponía del montaje físico del termopar y el módulo MAX6675 sobre la PCB, se ha optado por sustituir el módulo por una segunda placa Nucleo-H533RE configurada como esclavo SPI, conectada al microcontrolador maestro a través de las líneas del bus (SCK, MISO, MOSI, CS). Esta placa esclava se ha programado para responder a cada activación de CS con una palabra de 16 bits prefijada, equivalente a la que devolvería un MAX6675 ante una temperatura concreta. Como valor de prueba se eligió `spi_raw = 0x3E80`, palabra que, interpretada bajo el formato del MAX6675, se corresponde con una temperatura de 500 °C.

Este enfoque permite validar dos elementos clave del subsistema, la integridad eléctrica del bus SPI y la corrección del algoritmo de decodificación implementado en el firmware del maestro, de forma independiente del comportamiento físico del sensor.

Durante la prueba se capturaron simultáneamente con osciloscopio las tres líneas del bus: reloj (SCK) señal azul, datos del esclavo (MISO) señal verde y selección de esclavo (CS) señal amarilla, durante una transacción completa.

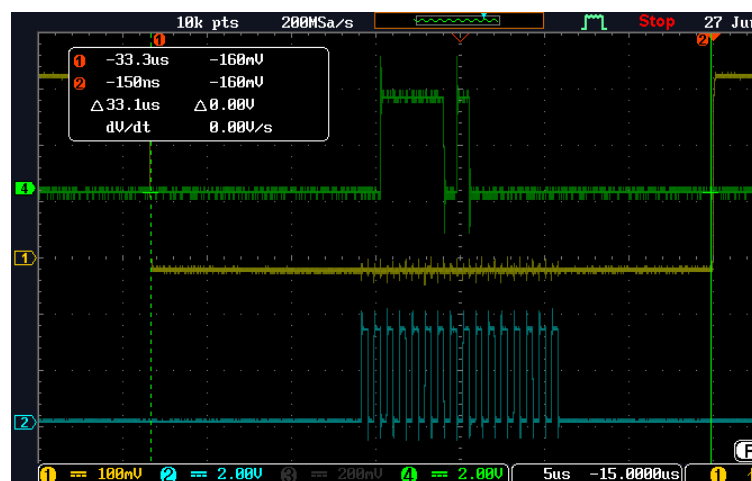


Figura 31: Captura de osciloscopio de las líneas SCK(azul), MISO(verde) y CS(amarillo) del bus SPI2 durante una lectura, con el esclavo emulado en una segunda Nucleo-H533RE.

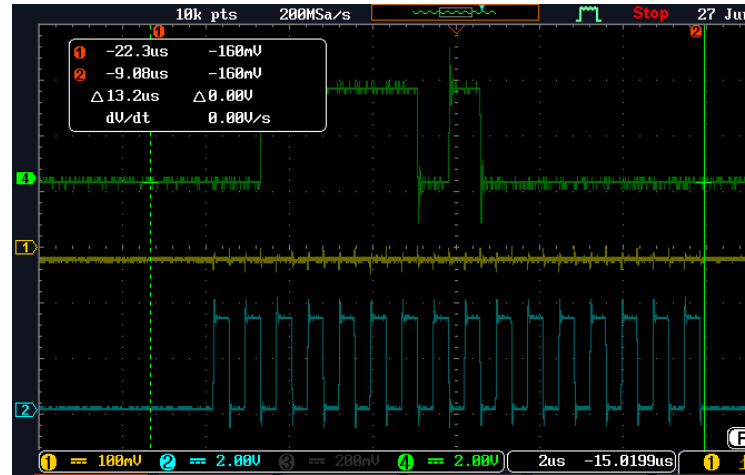


Figura 32: Zoom Captura de osciloscopio de las líneas SCK, MISO y CS del bus SPI2 durante una lectura, con el esclavo emulado en una segunda Nucleo-H533RE.

La captura confirma que la línea CS se activa a nivel bajo durante la lectura y vuelve a nivel alto al finalizar, que durante la activación de CS se genera el tren de pulsos de SCK previsto para la transferencia de 16 bits, y que la temporización entre CS y SCK es coherente con los requisitos del datasheet del MAX6675. En cuanto al plano funcional, el firmware del maestro recibió la palabra `spi_raw = 0x3E80` enviada por el esclavo emulado.

$$code = (spi_raw \gg 3) \& 0x0FFF$$

$$T = code \cdot 0,25 \text{ }^{\circ}\text{C}$$

$$code = (0x3E80 \gg 3) \& 0x0FFF = 0x07D0 = 2000$$

$$T = 2000 \cdot 0,25 \text{ }^{\circ}\text{C} = 500 \text{ }^{\circ}\text{C}$$

El resultado, 500 °C, coincide con el valor prefijado en la placa esclava, lo que confirma que la decodificación implementada en el firmware del maestro produce, a partir de los dos bytes recibidos por el bus, el valor de temperatura previsto bajo el formato del MAX6675.

La validación realizada presenta dos limitaciones que se recogen como trabajo futuro en el Capítulo 7. En primer lugar, al haber sustituido el módulo MAX6675 por una segunda Nucleo-H533RE programada como esclavo, no se ha validado la respuesta del propio MAX6675 sobre el bus tiempo de conversión, formato exacto de la trama emitida por el dispositivo y comportamiento de los bits auxiliares, que queda pendiente de verificación una vez integrado el módulo sobre la PCB Gateway definitiva. En segundo lugar, al no haberse empleado un termopar real sometido a una temperatura conocida, la lectura obtenida no permite evaluar la precisión absoluta del subsistema TEMP_BRK frente a un patrón térmico, y no se ha verificado el camino de detección de termopar desconectado.

6.2.3 COMUNICACIÓN I2C

El objetivo de esta prueba es validar la capa de comunicación I2C entre el microcontrolador y los sensores de temperatura sin contacto MLX90614 destinados a la lectura de temperatura de los neumáticos delanteros (TYRE_FL, TYRE_FR), cada uno conectado a un bus I2C independiente del microcontrolador (I2C1 e I2C2). La validación realizada en esta fase es parcial, limitada a la verificación del comportamiento eléctrico del bus durante la emisión de la dirección del esclavo por parte del maestro.

El firmware utiliza la función HAL_I2C_Mem_Read de la librería HAL para leer el registro de temperatura de objeto (TOBJ1, dirección 0x07) del sensor MLX90614, cuya dirección por defecto en el bus es 0x5A. Esta función encadena de forma transparente las fases de generación de la condición de START, transmisión de la dirección del esclavo con el bit R/W, escritura del puntero al registro a leer, repeated START, recepción de los dos bytes de datos y condición de STOP.

Para la validación se capturó con osciloscopio el comportamiento de las líneas del bus reloj (SCL, canal verde) y datos (SDA, canal morado) en Figura 33, durante la fase inicial de una transacción correspondiente a la emisión de la dirección del esclavo MLX90614 por parte del periférico I2C1 del microcontrolador. Las resistencias de pull-up empleadas durante la prueba fueron las internas del propio microcontrolador.

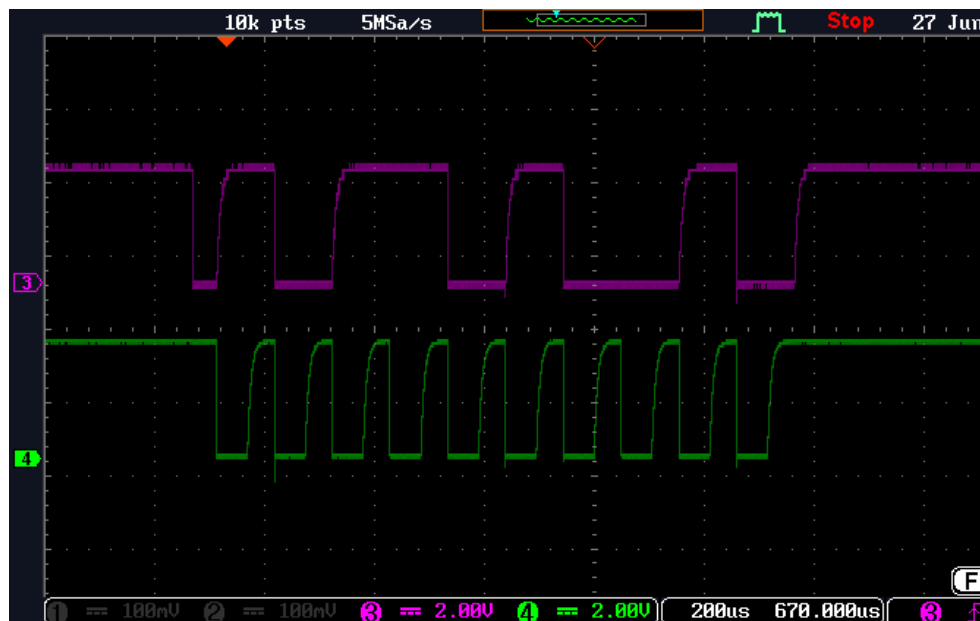


Figura 33: Captura de osciloscopio de las líneas SCL y SDA del bus I²C1 durante la emisión de la dirección del esclavo MLX90614

La captura confirma que el periférico I2C genera transiciones en SCL y SDA con niveles lógicos coherentes con la alimentación de 3,3 V del bus, y que la secuencia observada es compatible con la fase de direccionamiento I2C: condición de START seguida del envío de la dirección de 7 bits del esclavo y del bit R/W. Esto valida que el periférico está configurado correctamente y que arranca la transacción según el protocolo.

La inspección de los flancos de subida de ambas líneas en la captura muestra una pendiente apreciablemente suave, característica de un bus con resistencias de pull-up de valor elevado. Esto es consistente con el uso de las resistencias de pull-up internas del microcontrolador (del orden de decenas de k Ω), valor adecuado para entradas digitales pero superior al recomendado por la especificación I2C, que sitúa el rango habitual entre 2,2 k Ω y 10 k Ω en función de la frecuencia de operación. Esta observación se traslada al diseño de la PCB Gateway definitiva, en el que se prevé la inclusión de resistencias de pull-up externas dimensionadas conforme a la especificación I2C en ambos buses, recogida en el apartado correspondiente del Capítulo 5.

6.2.4 TRANSMISIÓN POR CAN FD

El objetivo de esta prueba es validar la configuración del periférico FDCAN del microcontrolador, el empaquetado de las tramas y los flags propios del estándar CAN FD, sin abordar la comunicación entre nodos sobre un bus físico, que queda fuera del alcance del trabajo realizado y se recoge como trabajo futuro.

La validación se ha realizado mediante una prueba preliminar específica del periférico FDCAN, ejecutada sobre la Nucleo-H533RE con un programa dedicado independiente del firmware integrado. Esta prueba se realizó en una fase previa del desarrollo y su resultado constituyó la base a partir de la cual se diseñó posteriormente la transmisión CAN FD del firmware integrado descrito en el Capítulo 5, en el que las tramas se generan a partir de los datos reales adquiridos por los sensores.

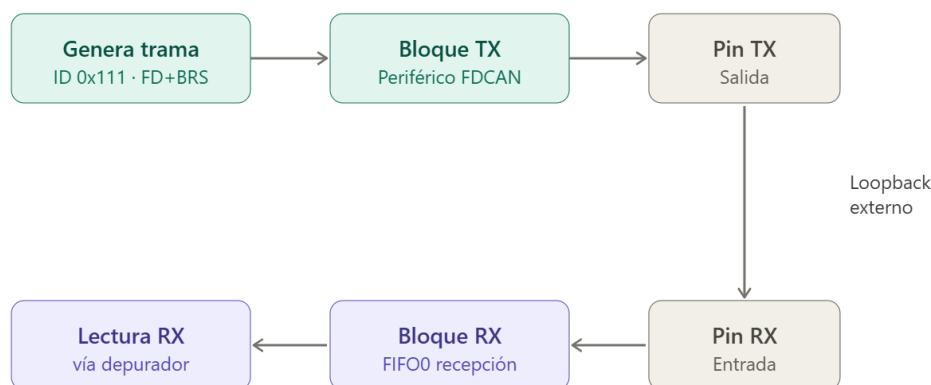


Figura 34: Esquema de la prueba del periférico FDCAN en modo external loopback. La trama sale por el pin TX y retorna al pin RX mediante conexión de oopback,

El programa de prueba configura el periférico FDCAN en modo external loopback. En este modo, las tramas transmitidas salen al pin TX del microcontrolador y vuelven por el pin RX, siendo recibidas internamente por el propio periférico sin necesidad de un segundo nodo en

el bus tal como se ilustra en la Figura 34. Esto permite validar la cadena completa del periférico de forma autocontenida, generación de la trama, salida al pin, retorno por el pin de recepción y procesado por el bloque RX, pero no la comunicación entre nodos sobre un bus físico, que requiere transceptor, terminaciones y un segundo nodo que genere el bit de acknowledge.

El periférico se configura con formato de trama CAN FD con bit rate switch (FDCAN_FRAME_FD_BRS), un filtro de aceptación para el identificador estándar 0x111 dirigido a la FIFO0 de recepción, y unos parámetros de bit timing nominal y de datos coherentes con los bitrates definidos para la red CAN FD del monoplaza. El programa emite una trama de prueba con dicho identificador, DLC de 12 bytes, longitud no posible en CAN clásico, limitado a 8 bytes, lo que evidencia el funcionamiento en formato CAN FD, y un patrón de datos conocido. Tras la transmisión, el programa espera a que la FIFO0 de recepción contenga al menos una trama y la lee mediante HAL_FDCAN_GetRxMessage, almacenando los datos recibidos y la cabecera RX en estructuras observables desde el depurador.

Durante la prueba se verificó, mediante inspección en Live Expressions de STM32CubeIDE, que la FIFO0 de recepción contenía la trama transmitida tras la operación de envío, que los doce bytes recibidos coincidían con los transmitidos, y que la cabecera de recepción mostraba activos los campos FDFormat y BitRateSwitch, lo que confirma que la trama se transmitió y recibió en formato CAN FD con conmutación de velocidad en la fase de datos. La ausencia de errores de bit, form o stuffing durante las sucesivas ejecuciones de la prueba evidencia además la corrección del bit timing configurado sobre los bitrates programados.

Esta validación preliminar confirma la corrección de la configuración del periférico FDCAN y del empaquetado de las tramas en formato CAN FD, y proporcionó la base validada sobre la que se construyó la implementación CAN FD del firmware integrado descrito en el Capítulo 5, donde se emiten cuatro tramas con identificadores diferenciados para cada grupo de sensores (APPS, suspensión, freno y temperaturas).

6.3 VALIDACIÓN DEL DISEÑO HARDWARE.

Esta validación se ha abordado en dos niveles: la verificación automática del esquemático y del rutado mediante las herramientas de comprobación de reglas de KiCad, y la comprobación de la coherencia del diseño con las recomendaciones del fabricante recogidas en la documentación técnica del microcontrolador.

6.3.1 VERIFICACIÓN ELÉCTRICA DEL ESQUEMÁTICO Y LA PCB (ERC Y DRC)

El software de diseño KiCad incorpora dos herramientas de comprobación automática que permiten detectar errores antes de la fabricación. El Electrical Rules Check (ERC) analiza el esquemático en busca de incoherencias eléctricas, pines sin conectar, conflictos entre salidas, etiquetas de red sin asignar o alimentaciones no definidas, mientras que el Design Rules Check (DRC) verifica el rutado de la PCB frente a las reglas de fabricación establecidas, comprobando aspectos como las distancias mínimas entre pistas, el ancho de las mismas, los solapamientos o las conexiones incompletas.

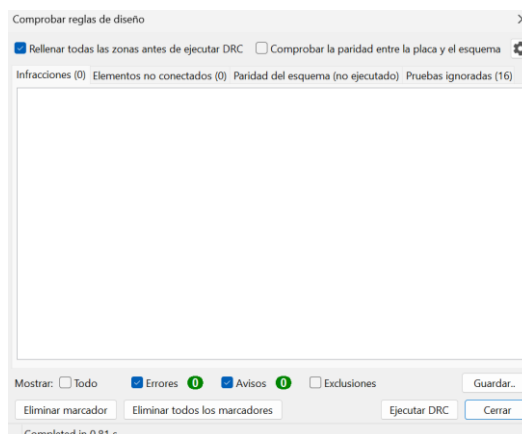


Figura 35: Resultado del Design Rules Check (DRC) de la PCB Gateway en KiCad.

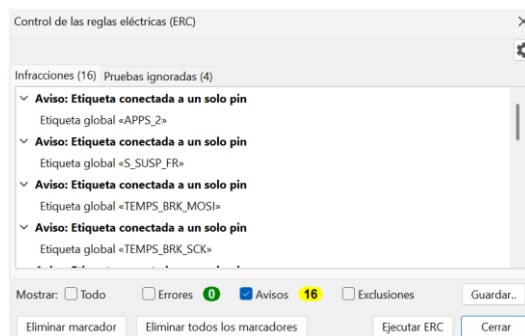


Figura 36: Resultado del Electrical Rules Check (ERC) del esquemático de la PCB Gateway en KiCad.

El resultado final de ambas comprobaciones como se puede ver en Figura 35 y Figura 36 no presenta errores, lo que confirma la validez eléctrica del esquemático y el cumplimiento de las reglas de fabricación por parte del diseño de la placa. No obstante, las comprobaciones sí generan algunos avisos ‘warnings’, visibles en las figuras, que no corresponden a fallos del diseño, sino al etiquetado de las redes en el esquemático. Se trata de advertencias de carácter formal, derivadas de la forma en que se han nombrado y organizado las etiquetas de señal, que no afectan a la conectividad ni a la integridad eléctrica del circuito, por lo que no comprometen la validez del diseño ni el cumplimiento de las reglas de fabricación.

6.3.2 COHERENCIA CON LA DOCUMENTACIÓN TÉCNICA DEL MICROCONTROLADOR

Más allá de la verificación automática, se ha comprobado que la asignación de pines y la circuitería asociada al microcontrolador STM32H523CET6 respetan las recomendaciones recogidas en su hoja de características. En particular, se han revisado la distribución de los pines de alimentación y referencia, las redes de desacoplo, el condensador del regulador interno (VCAP), la configuración de arranque (BOOT0) y el circuito de reloj, así como la correcta asignación de cada periférico a los pines correspondientes. Todos estos aspectos se justificaron en detalle a lo largo de los apartados del 5.3, durante el desarrollo del esquemático, por lo que en esta sección no se repite dicha justificación, sino que se verifica que el diseño resultante es coherente con esas decisiones y con la documentación del fabricante.

Capítulo 7. CONCLUSIONES Y TRABAJOS FUTUROS

El presente Trabajo de Fin de Grado ha abordado el diseño, desarrollo y validación preliminar de una PCB Gateway situada en el frontal del monoplaza del ISC Racing Team, concebida para centralizar las señales de los sensores del eje delantero, acondicionarlas y transmitir las por CAN FD hacia la VCU trasera. A continuación, se recogen las principales conclusiones del trabajo, articuladas en torno al grado de cumplimiento de los objetivos planteados en el apartado 4.2 y a las aportaciones realizadas al equipo.

7.1 CUMPLIMIENTO DE LOS OBJETIVOS PLANTEADOS

El objetivo general del proyecto era diseñar, desarrollar, fabricar y validar una PCB Gateway capaz de adquirir las señales analógicas y digitales del frontal del monoplaza y transmitir las mediante CAN FD a la VCU trasera. Este objetivo se ha alcanzado en lo relativo al diseño completo de la placa y a la validación funcional del firmware sobre la plataforma de desarrollo Nucleo-H533RE. La fabricación física de la PCB y su validación e integración sobre el monoplaza no han podido completarse dentro del periodo del trabajo: por motivos de plazos, la placa fabricada y montada no llegó a recibirse a tiempo, encontrándose actualmente en proceso de fabricación. Estas tareas, condicionadas por limitaciones de hardware ajenas al desarrollo técnico, quedan recogidas como trabajo futuro.

El primer objetivo específico, *estudio y definición de los requisitos técnicos de la placa*, se ha cumplido íntegramente: se ha caracterizado el conjunto de ocho señales a centralizar (cuatro analógicas de potenciómetros, una analógica de presión de freno, una digital SPI de temperatura de disco y dos digitales I²C de temperatura de neumáticos), se han definido las frecuencias de muestreo de cada grupo de sensores y se ha seleccionado el microcontrolador STM32H523CET6 dentro de la familia STM32H5, coherente con el microcontrolador de la VCU trasera y con su soporte nativo de CAN FD.

El segundo objetivo, *desarrollar y validar el firmware de adquisición y comunicación*, se ha cumplido parcialmente, con un alcance que se detalla a continuación. Se ha implementado el firmware completo de adquisición y empaquetado para los cinco canales analógicos, la lectura SPI del módulo MAX6675, la lectura I²C de los dos sensores MLX90614 sobre buses independientes, el *scheduler* de muestreos a 100 Hz para las señales rápidas y 4 Hz para las térmicas, y la emisión por CAN FD de cuatro tramas diferenciadas por grupo de sensores. La validación experimental sobre la Nucleo-H533RE ha cubierto: la decodificación del MAX6675 mediante una segunda placa Nucleo-H533RE programada como esclavo SPI emulado, que reproduce el formato de palabra de 16 bits del dispositivo; la capa eléctrica del bus I²C con un sensor MLX90614 físicamente conectado; y la configuración del periférico FDCAN, el empaquetado de tramas y los flags FDF/BRS mediante una prueba específica en modo *external loopback*. La validación del ADC multicanal sobre la Nucleo y la validación funcional completa de los sensores I²C frente a referencia térmica han quedado fuera del alcance experimental alcanzado en esta fase, según se detalla en el apartado 7.2.

El tercer objetivo, *diseñar y desarrollar la PCB Gateway*, se ha cumplido en cuanto al diseño esquemático y de enrutado. La placa incorpora el microcontrolador STM32H523CET6, el transceptor TCAN330 para la interfaz CAN FD, los circuitos de acondicionamiento de señal y las protecciones eléctricas necesarias, y ha superado las comprobaciones automáticas de KiCad *Electrical Rules Check* sobre el esquemático y *Design Rules Check* sobre el ruteo, sin errores. La fabricación física de la PCB se encuentra actualmente en proceso; por motivos de plazos no ha llegado a completarse a tiempo para su inclusión en esta memoria, por lo que su validación física e integración sobre el monoplaza se trasladan como trabajo futuro.

El cuarto objetivo, *proponer un plan de integración de la PCB Gateway en el monoplaza*, se ha cumplido en su dimensión de diseño: se ha definido la disposición física de la placa en el frontal del vehículo, el conexionado con los sensores y con el bus CAN FD existente, y se ha dejado el diseño completo y preparado para su fabricación e integración en una iteración futura del prototipo.

7.2 APORTACIONES DEL TRABAJO AL ISC RACING TEAM

Más allá del cumplimiento estricto de los objetivos, el trabajo realizado deja al equipo varias aportaciones de valor.

La primera y más directa es la transición desde una arquitectura analógica punto a punto, en la que las señales del frontal viajaban sin conversión digital hasta la VCU trasera a través de aproximadamente uno a un metro y medio de cableado, hacia una arquitectura de nodo Gateway que digitaliza las señales en el propio frontal y las transmite por un único bus CAN FD. Esta transición elimina la susceptibilidad al ruido electromagnético propia de las señales analógicas de largo recorrido y reduce significativamente la cantidad de cableado punto a punto en el frontal del monoplaza.

La segunda aportación es la adopción de CAN FD como protocolo de comunicación entre el frontal y la VCU, en coherencia con la arquitectura electrónica del resto del monoplaza, y la verificación experimental de la viabilidad de esta elección sobre la familia STM32H5. La prueba en *loopback* del periférico FDCAN constituye una base validada sobre la que el equipo puede construir, en iteraciones posteriores, la red CAN FD distribuida del vehículo completo.

La tercera aportación es la documentación generada durante el proyecto memoria, esquemático, enrutado y firmware comentado, que queda a disposición del equipo para la fabricación de la placa y para futuras iteraciones del sistema. Este conocimiento técnico transferible, no alcanzable con una solución comercial cerrada, era uno de los argumentos centrales del apartado 4.1.3 y se materializa con la entrega de este trabajo.

Finalmente, el propio proceso de desarrollo ha dejado al equipo un conjunto de hallazgos de diseño concretos entre otros, la necesidad de incorporar resistencias de pull-up externas dimensionadas conforme a la especificación I²C en los buses de los sensores MLX90614, o la necesidad de incorporar el divisor de tensión para el sensor de presión EPT1400 cuya salida de hasta 4,5 V excede la referencia del ADC de 3,3 V que se trasladan al diseño de la PCB Gateway definitiva.

7.3 TABAJOS FUTUROS

El alcance del presente TFG ha quedado deliberadamente acotado al diseño y a la validación funcional sobre la plataforma de desarrollo Nucleo-H533RE. Las líneas de trabajo futuro que se identifican como continuación natural del proyecto se agrupan en cuatro bloques.

7.3.1 PRUEBAS SOBRE EL PROTOTIPO E INTEGRACIÓN FÍSICA DE LA PCB GATEWAY

La línea de trabajo más inmediata es la realización de pruebas sobre la PCB Gateway diseñada, una vez que se reciba ensamblada y su integración física sobre el frontal del monoplaza. Esto incluye la puesta en marcha del firmware integrado sobre el microcontrolador STM32H523CET6 montado en la placa propia, en sustitución de la Nucleo-H533RE empleada durante el desarrollo, así como la verificación de que las restricciones eléctricas y mecánicas del montaje real son coherentes con las consideraciones del diseño.

7.3.2 COMPLETAR LA VALIDACIÓN EXPERIMENTAL DE LOS SUBSISTEMAS DE ADQUISICIÓN

Varias pruebas funcionales han quedado parcialmente completadas y deberán abordarse en una fase posterior:

En el subsistema analógico (ADC), debe completarse la validación de los cinco canales de adquisición con los sensores reales conectados y barriendo su rango operativo completo. En particular, el canal del sensor de presión EPT1400 (PRSS_BRK) requiere la incorporación previa del divisor de tensión al esquemático, dado que la salida nominal del sensor (0,5–4,5 V) excede la referencia del ADC (3,3 V).

En el subsistema SPI (MAX6675), una vez disponible el módulo físico sobre la PCB Gateway definitiva, debe validarse la respuesta del dispositivo real sobre el bus en particular su tiempo de conversión interno y la coincidencia exacta de su trama con el formato emulado en las pruebas realizadas, así como verificar la precisión del subsistema mediante contraste

contra un patrón térmico conocido y el camino de detección de termopar desconectado del firmware (max6675_fault).

En el subsistema P²C (MLX90614), queda pendiente la verificación experimental del bit *acknowledge* del sensor, la lectura efectiva del registro de temperatura, la decodificación del valor a grados Celsius y el contraste contra una referencia térmica. Asimismo, debe validarse experimentalmente el segundo bus P²C del sistema funcionalmente equivalente al primero según el firmware y la operación simultánea de ambos buses con los dos sensores instalados sobre la PCB definitiva. Como hallazgo concreto del trabajo, deben incorporarse al esquemático resistencias de pull-up externas en ambos buses, dimensionadas conforme a la especificación P²C (del orden de 4,7 k Ω para 100 kHz).

7.3.3 VALIDACIÓN DE LA COMUNICACIÓN CAN FD ENTRE NODOS SOBRE BUS FÍSICO

La validación del periférico FDCAN realizada en *loopback* deja como trabajo futuro la verificación de la comunicación sobre un bus físico CAN FD entre la PCB Gateway y la VCU trasera. Esta línea de trabajo abarca: la verificación del comportamiento del transceptor TCAN330 sobre la placa fabricada; la integración de las terminaciones de 120 Ω en los extremos del bus; la verificación de la generación del bit de *acknowledge* por la VCU como segundo nodo activo; la comprobación de la integridad de señal sobre el cableado real del monoplaza; y la verificación de la operación simultánea de los cuatro identificadores de trama del firmware integrado en el conjunto del sistema en funcionamiento.

7.3.4 MEJORAS DE DISEÑO Y LÍNEAS DE EVOLUCIÓN DEL SISTEMA

A medio plazo, se identifican varias líneas de evolución que exceden el alcance de la presente memoria pero que cabe mencionar como continuación natural del trabajo. Entre ellas, la incorporación de mecanismos de diagnóstico en línea de la propia PCB Gateway monitorización del estado de los buses, detección de sensores desconectados, etc., la ampliación del número de canales para acomodar nuevos sensores en iteraciones futuras del monoplaza sin rediseño de la electrónica, y la generalización del enfoque adoptado en este

TFG a una arquitectura distribuida con nodos Gateway adicionales en otras zonas del vehículo (por ejemplo, en el tren trasero), conectados todos ellos a la VCU mediante la misma red CAN FD validada en este proyecto.

Capítulo 8. BIBLIOGRAFÍA

- [1] A. Mihailidis, Z. Samaras, I. Nerantzis, G. Fontaras, and G. Karaoglanidis, “The design of a Formula Student race car: A case study,” *Proceedings of the Institution of Mechanical Engineers, Part D: Journal of Automobile Engineering*, vol. 223, no. 6, pp. 805–814, Jun. 2009, doi: 10.1243/09544070JAUTO1080.
- [2] J. Ye and J. Lu, “Software and hardware design and implementation of vehicle controller,” in *2024 6th International Conference on Intelligent Control, Measurement and Signal Processing, ICMSP 2024*, Institute of Electrical and Electronics Engineers Inc., 2024, pp. 421–424. doi: 10.1109/ICMSP64464.2024.10866428.
- [3] F. Hartwich and R. Bosch GmbH, “CAN with Flexible Data-Rate,” 2012.
- [4] “BOSCH CAN Specification Version 2.0,” 1991.
- [5] S. Vijayalakshmi Asst, “Vehicle control system implementation Using CAN protocol,” 2013. [Online]. Available: www.ijareeie.com
- [6] A. Salunkhe, P. Kamble, and R. Jadhav, “Design and implementation of CAN bus protocol for monitoring vehicle parameters,” Jun. 2016, pp. 301–304. doi: 10.1109/RTEICT.2016.7807831.
- [7] “RM0481 Reference manual STM32H523/33xx, STM32H562/63xx, and STM32H573xx Arm ®-based 32-bit MCUs • STM32 Cortex ®-M33 MCUs programming manual.” [Online]. Available: <http://infocenter.arm.com>.
- [8] STMicroelectronics, “STM32 Nucleo-64 boards NUCLEO-H533RE Data brief.” [Online]. Available: www.st.com

- [9] STMicroelectronics, “STM32H523xx DataSheet,” 2026. [Online]. Available: www.st.com
- [10] EuroSensor Farnell, “ELPM-75-POP LINEAR POSITION SENSOR DataSheet.” doi: 10.0.
- [11] Analog Devices and Maxim Integrated, “MAX6675 Cold-Junction-Compensated K- Thermocouple- to-Digital Converter - Datasheet.” [Online]. Available: www.maximintegrated.com
- [12] Melexis, “MLX90614 Single and dual zone IR sensor in TO39 Datasheet General.” [Online]. Available: www.melexis.com/technical-inquiry
- [13] STMicroelectronics, “UM2609-STM32CubeIDE user guide.” [Online]. Available: www.st.com/content/st_com/en/support/support-home.html.
- [14] STMicroelectronics, “Description of STM32H5 HAL and low-layer drivers.” Accessed: Jun. 09, 2026. [Online]. Available: https://www.st.com/resource/en/application_note/an5925-stm32cube-mcu-package-examples-for-stm32h5-series-stmicroelectronics.pdf
- [15] AiM, “AiM EVO4s Logger Datasheet.” [Online]. Available: www.aimshop.com
- [16] MoTeC, “C125-Display Logger MoTeC C125 User Manual.” Accessed: Jun. 10, 2026. [Online]. Available: <https://www.motec.com.au/products/C125?catId=26>
- [17] “Data & Control Systems | Cosworth.” Accessed: Jun. 25, 2026. [Online]. Available: <https://www.cosworth.com/data-control-systems/>
- [18] S. R. Prasath, V. Sanjeev, R. Sanjevraj, P. M. S. Ahmed, and S. Siva, “Vehicle control system implementation using CAN protocol,” *AIP Conf. Proc.*, vol. 3204, no. 1, p. 050010, Feb. 2025, doi: 10.1063/5.0247675.

- [19] R. K. Patil, S. R. Wategaonkar, K. S. Hajare, and S. A. Khot, "Precise Thermal Sensing for Electric Vehicles in Automotive Using CAN and STM32," in *2024 IEEE International Conference on Blockchain and Distributed Systems Security, ICBDS 2024*, Institute of Electrical and Electronics Engineers Inc., 2024. doi: 10.1109/ICBDS61829.2024.10837417.
- [20] T.-H. Nguyen, J. Kim, and J. Jeon, "A configurable gateway for in-vehicle networks," Jun. 2014, pp. 1–3. doi: 10.1109/ISCE.2014.6884339.
- [21] J. Ye and J. Lu, "Software and hardware design and implementation of vehicle controller," in *2024 6th International Conference on Intelligent Control, Measurement and Signal Processing (ICMSP)*, 2024, pp. 421–424. doi: 10.1109/ICMSP64464.2024.10866428.
- [22] V. Ranchev, R. Ivanov, A. R. Todorov, I. Ivanov, R. Miletiev, and R. Yordanov, "Multi-PCB Modular System Design for Vehicle Connectivity Evaluation," in *2025 60th International Scientific Conference on Information, Communication and Energy Systems and Technologies (ICEST)*, 2025, pp. 1–4. doi: 10.1109/ICEST66328.2025.11098372.
- [23] J. H. Kim, S.-H. Seo, N.-T. Hai, B. M. Cheon, Y. S. Lee, and J. W. Jeon, "Gateway Framework for In-Vehicle Networks Based on CAN, FlexRay, and Ethernet," *IEEE Trans. Veh. Technol.*, vol. 64, no. 10, pp. 4472–4486, Oct. 2015, doi: 10.1109/TVT.2014.2371470.
- [24] S. B. Oh, Y. S. Do, M. J. Lee, J. H. Kim, and J. W. Jeon, "Performance Enhancement of CAN/Ethernet Automotive Gateway with a CAN Data Reduction Algorithm," *Electronics (Basel)*, vol. 12, no. 13, 2023, doi: 10.3390/electronics12132777.
- [25] V. A. Iriciuc and A. Kotlar, "Sensor Monitoring System for Formula Student Car," in *2018 IEEE 24th International Symposium for Design and Technology in Electronic Packaging (SIITME)*, Oct. 2018, pp. 206–297. doi: 10.1109/SIITME.2018.8599259.

-
- [26] “Welcome | Vector.” Accessed: Jun. 26, 2026. [Online]. Available: <https://www.vector.com/int/en/>
- [27] STMicroelectronics, “Esquematic NucleoH533RE.” Accessed: Jun. 23, 2026. [Online]. Available: http://st.com/resource/en/schematic_pack/mb1814-h533re-c02-schematic.pdf
- [28] George-Florin Paun Microchip Technology Inc., “AN5885- Semiconductor Package Thermal Parameters Explained,” 2025.

ANEXO I: ALINEACIÓN DEL PROYECTO CON LOS ODS

Este Trabajo de Fin de Grado se enmarca en un proyecto de ingeniería electrónica de carácter técnico, orientado al diseño de una PCB Gateway para un vehículo de competición universitario, su desarrollo guarda una relación directa con varios de estos objetivos, principalmente a través de su contribución a la mejora de la eficiencia y fiabilidad de los sistemas electrónicos en vehículos eléctricos.

El sector de la movilidad eléctrica desempeña un papel central en la transición energética global, al ofrecer una alternativa con menores emisiones directas frente a los vehículos de combustión interna. Sin embargo, el rendimiento real y la competitividad de esta tecnología dependen en gran medida de la calidad de los sistemas electrónicos que gestionan la adquisición de datos, el control y la monitorización del vehículo. En este sentido, el desarrollo de soluciones de instrumentación más robustas, precisas y eficientes ,como la propuesta en este proyecto, contribuye de forma indirecta pero significativa al avance de la movilidad eléctrica como alternativa de transporte sostenible, y por extensión, al cumplimiento de varios Objetivos de Desarrollo Sostenible. A continuación, se detalla la contribución específica de este proyecto a cada uno de los ODS identificados como relevantes.

ODS N° 7: ENERGÍA ASEQUIBLE Y NO CONTAMINANTE

El Objetivo de Desarrollo Sostenible número 7 persigue garantizar el acceso a una energía asequible, fiable, sostenible y moderna para todos, promoviendo entre sus metas el incremento sustancial de la proporción de energía renovable en el conjunto energético mundial y la mejora de la eficiencia energética en todos los sectores.

El rendimiento de un vehículo eléctrico de competición, como el monoplaza del ISC Racing Team, depende en gran medida de la gestión eficiente de su energía almacenada en batería. Esta gestión, a su vez, requiere de una electrónica de control y adquisición de datos fiable, capaz de proporcionar información precisa sobre el estado de los distintos subsistemas del vehículo, posición del acelerador, comportamiento de la suspensión, temperatura de frenos y neumáticos, en tiempo real. Una adquisición de datos deficiente, basada en señales analógicas susceptibles al ruido como las empleadas en prototipos anteriores del equipo, puede traducirse en decisiones de control subóptimas, frenadas innecesarias, o estrategias de conducción menos eficientes desde el punto de vista energético.

La PCB Gateway desarrollada en este proyecto, al centralizar la adquisición de señales y transmitir las de forma robusta mediante el protocolo CAN FD, contribuye a mejorar la fiabilidad de esta cadena de información, lo que permite optimizar el aprovechamiento de la energía disponible en el vehículo y mejorar su rendimiento global. En un contexto más amplio, el avance en tecnologías de instrumentación y control aplicadas a vehículos eléctricos respalda la viabilidad y competitividad de esta tecnología frente a alternativas de combustión, favoreciendo su adopción y, con ello, la transición hacia fuentes de energía más limpias en el sector de la movilidad.

ODS N° 9: INDUSTRIA, INNOVACIÓN E INFRAESTRUCTURA

El Objetivo de Desarrollo Sostenible número 9 promueve la construcción de infraestructuras resilientes, la promoción de la industrialización inclusiva y sostenible, y el fomento de la innovación, incluyendo entre sus metas el incremento del acceso a la investigación científica y la mejora de la capacidad tecnológica de los sectores industriales.

Este proyecto constituye, en sí mismo, un ejercicio de innovación tecnológica en un contexto académico con clara proyección industrial. El diseño de la PCB Gateway se fundamenta en arquitecturas de comunicación distribuidas y en el empleo del protocolo CAN FD, un estándar ampliamente adoptado en la industria del automóvil para la transmisión de datos entre unidades de control electrónico. La adopción de estas prácticas, ya consolidadas en el sector automotriz, dentro de un proyecto universitario de Formula Student, refleja la

transferencia de conocimiento y buenas prácticas industriales hacia el ámbito formativo, contribuyendo a la capacitación de futuros ingenieros en tecnologías de relevancia real para el sector.

Asimismo, el desarrollo de una solución de hardware propia, en lugar de la adopción de soluciones comerciales cerradas, fomenta la generación de conocimiento técnico aplicable y reutilizable dentro del ISC Racing Team, sentando las bases de una infraestructura de adquisición de datos que podrá ser mantenida, ampliada y mejorada por futuras generaciones de estudiantes, fortaleciendo así la capacidad de innovación del equipo de forma sostenida en el tiempo.

ODS N° 12: PRODUCCIÓN Y CONSUMO RESPONSABLES

El Objetivo de Desarrollo Sostenible número 12 busca garantizar modalidades de consumo y producción sostenibles, promoviendo entre sus metas la gestión eficiente de los recursos naturales y la reducción sustancial de la generación de residuos mediante la prevención, la reducción, el reciclado y la reutilización.

La mejora en la calidad de la sensorización que aporta este proyecto tiene una incidencia directa en la reducción de errores de medida y en la disminución de la necesidad de repetir pruebas o ensayos sobre el monoplaza debido a datos defectuosos o poco fiables. Cada prueba física innecesaria sobre el vehículo conlleva un consumo de recursos, energía de la batería, desgaste de componentes mecánicos y electrónicos, tiempo de trabajo del equipo, que puede evitarse mediante una instrumentación más precisa y robusta desde el primer momento.

Por otro lado, el diseño modular de la PCB Gateway, concebido como un nodo independiente dentro de la arquitectura general del vehículo, facilita su reutilización y adaptación en futuras iteraciones del prototipo sin necesidad de rediseñar por completo el sistema electrónico del monoplaza. Esta capacidad de reutilización y ampliación, frente a un enfoque de usar y desechar componentes electrónicos completos en cada nueva temporada de competición,

favorece un desarrollo de hardware más responsable y alineado con los principios de economía circular aplicados al ámbito de la electrónica.

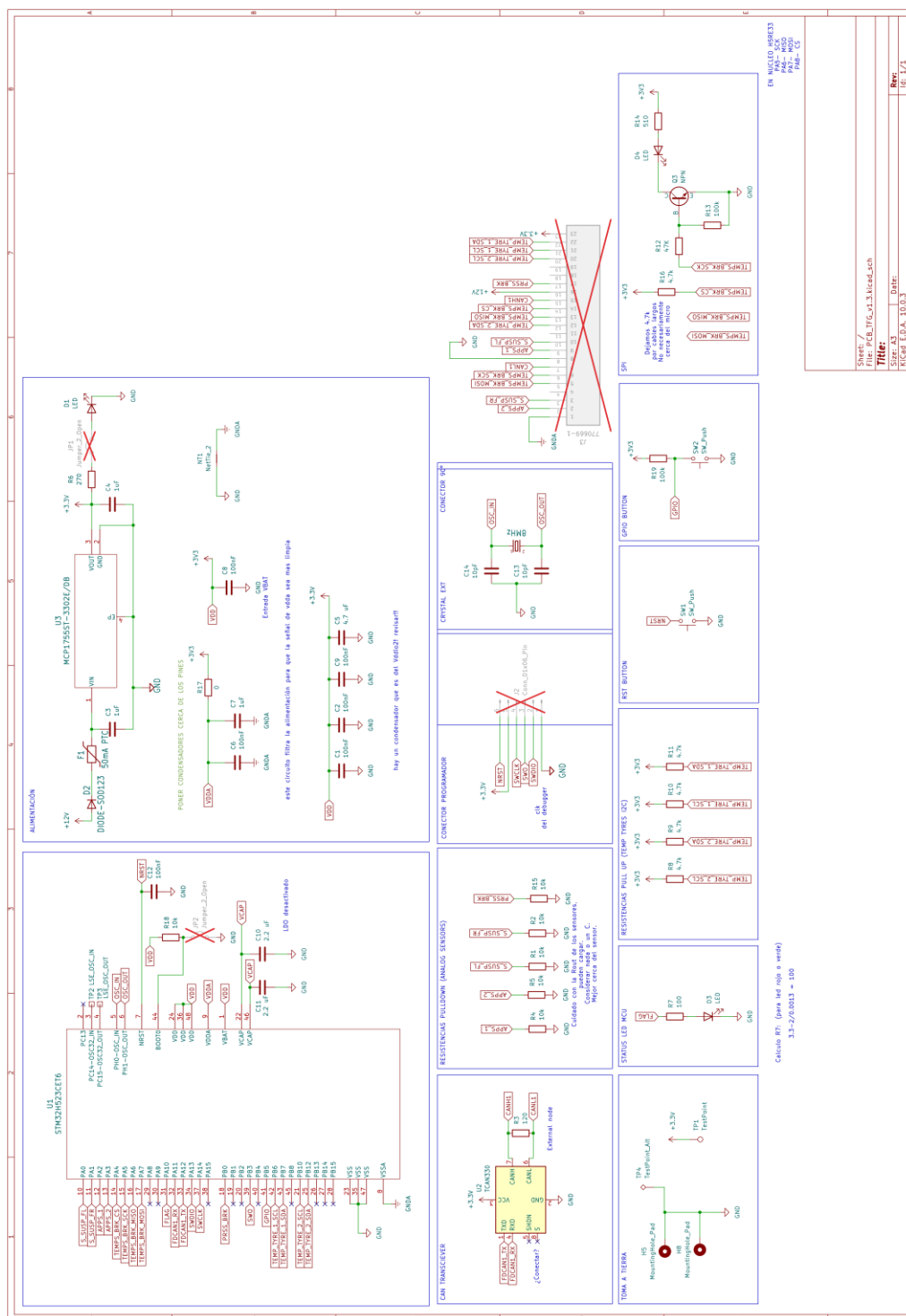
ODS N° 13: ACCIÓN POR EL CLIMA

El Objetivo de Desarrollo Sostenible número 13 insta a adoptar medidas urgentes para combatir el cambio climático y sus efectos, promoviendo entre sus metas la integración de medidas relativas al cambio climático en las políticas, estrategias y planes de los distintos sectores productivos.

El sector del transporte es uno de los principales contribuyentes a las emisiones globales de gases de efecto invernadero, y la transición hacia la movilidad eléctrica constituye una de las estrategias más relevantes para reducir su impacto ambiental. La competición Formula Student, en la que participa el ISC Racing Team, desempeña un papel formativo relevante en este contexto, al fomentar entre futuros ingenieros el desarrollo de tecnologías aplicadas a vehículos eléctricos de altas prestaciones, contribuyendo a la generación de talento especializado en un sector clave para la descarbonización del transporte.

El presente proyecto, al mejorar la fiabilidad y eficiencia de los sistemas de adquisición de datos del monoplaça, contribuye de forma indirecta a la mejora del rendimiento y la competitividad de los vehículos eléctricos de competición, reforzando su atractivo tecnológico y su capacidad de servir como plataforma de demostración de las ventajas de la electrificación frente a los vehículos de combustión interna. De este modo, el proyecto se alinea con el impulso de alternativas de transporte con menor impacto ambiental, apoyando indirectamente la reducción de emisiones asociadas al sector y el desarrollo de soluciones de movilidad más sostenibles.

ANEXO II: ESQUEMÁTICO PCB



ANEXO III: HUELLA PCB

