



**ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL**

**“PROTOTIPO A ESCALA DE ELECTRIFICACIÓN
FERROVIARIA”**

Control digital para un supercondensador

AUTOR:

Pedro Martínez-Osorio

DIRECTORES:

Dr. Ramón Rodríguez Pecharromás

Dr. Aurelio García Cerrada

Dr. Álvaro López López

COORDINADOR:

Dr. Álvaro Sánchez Miralles

MADRID

JULIO DE 2016

Agradecimientos:

*A mis directores de proyecto Ramón, Aurelio y Álvaro
por su dedicación, apoyo y todo el saber transmitido*

Declaro, bajo mi responsabilidad, que el Proyecto presentado con el título
“PROTOTIPO A ESCALA DE ELECTRIFICACIÓN FERROVIARIA”

.....
en la ETS de Ingeniería - ICAI de la Universidad Pontificia Comillas en el
curso académico 2015-2016 es de mi autoría, original e inédito y
no ha sido presentado con anterioridad a otros efectos. El Proyecto no es
plagio de otro, ni total ni parcialmente y la información que ha sido tomada
de otros documentos está debidamente referenciada.

Fdo.: Pedro Martínez Osorio

Fecha: 14/07/2016



Autorizada la entrega del proyecto

EL DIRECTOR DEL PROYECTO

Fdo.: Ramón Rodríguez Pecharromán

Fecha: 18/07/2016



Vº Bº del Coordinador de Proyectos

Fdo.: Álvaro Sánchez Miralles Fecha://

AUTORIZACIÓN PARA LA DIGITALIZACIÓN, DEPÓSITO Y DIVULGACIÓN EN RED DE PROYECTOS FIN DE GRADO, FIN DE MÁSTER, TESIS O MEMORIAS DE BACHILLERATO

1º. Declaración de la autoría y acreditación de la misma.

El autor D. PEDRO MARTÍNEZ OSORIO

DECLARA ser el titular de los derechos de propiedad intelectual de la obra: “PROTOTIPO A ESCALA DE ELECTRIFICACIÓN FERROVIARIA”, que ésta es una obra original, y que ostenta la condición de autor en el sentido que otorga la Ley de Propiedad Intelectual.

2º. Objeto y fines de la cesión.

Con el fin de dar la máxima difusión a la obra citada a través del Repositorio institucional de la Universidad, el autor **CEDE** a la Universidad Pontificia Comillas, de forma gratuita y no exclusiva, por el máximo plazo legal y con ámbito universal, los derechos de digitalización, de archivo, de reproducción, de distribución y de comunicación pública, incluido el derecho de puesta a disposición electrónica, tal y como se describen en la Ley de Propiedad Intelectual. El derecho de transformación se cede a los únicos efectos de lo dispuesto en la letra a) del apartado siguiente.

3º. Condiciones de la cesión y acceso

Sin perjuicio de la titularidad de la obra, que sigue correspondiendo a su autor, la cesión de derechos contemplada en esta licencia habilita para:

- a) Transformarla con el fin de adaptarla a cualquier tecnología que permita incorporarla a internet y hacerla accesible; incorporar metadatos para realizar el registro de la obra e incorporar “marcas de agua” o cualquier otro sistema de seguridad o de protección.
- b) Reproducirla en un soporte digital para su incorporación a una base de datos electrónica, incluyendo el derecho de reproducir y almacenar la obra en servidores, a los efectos de garantizar su seguridad, conservación y preservar el formato.
- c) Comunicarla, por defecto, a través de un archivo institucional abierto, accesible de modo libre y gratuito a través de internet.
- d) Cualquier otra forma de acceso (restringido, embargado, cerrado) deberá solicitarse expresamente y obedecer a causas justificadas.
- e) Asignar por defecto a estos trabajos una licencia Creative Commons.
- f) Asignar por defecto a estos trabajos un HANDLE (URL *persistente*).

4º. Derechos del autor.

El autor, en tanto que titular de una obra tiene derecho a:

- a) Que la Universidad identifique claramente su nombre como autor de la misma
- b) Comunicar y dar publicidad a la obra en la versión que ceda y en otras posteriores a través de cualquier medio.
- c) Solicitar la retirada de la obra del repositorio por causa justificada.
- d) Recibir notificación fehaciente de cualquier reclamación que puedan formular terceras personas en relación con la obra y, en particular, de reclamaciones relativas a los derechos de propiedad intelectual sobre ella.

5º. Deberes del autor.

El autor se compromete a:

- a) Garantizar que el compromiso que adquiere mediante el presente escrito no infringe ningún derecho de terceros, ya sean de propiedad industrial, intelectual o cualquier otro.
- b) Garantizar que el contenido de las obras no atenta contra los derechos al honor, a la intimidad y a la imagen de terceros.
- c) Asumir toda reclamación o responsabilidad, incluyendo las indemnizaciones por daños, que pudieran ejercitarse contra la Universidad por terceros que vieran infringidos sus derechos e intereses a causa de la cesión.

- d) Asumir la responsabilidad en el caso de que las instituciones fueran condenadas por infracción de derechos derivada de las obras objeto de la cesión.

6º. Fines y funcionamiento del Repositorio Institucional.

La obra se pondrá a disposición de los usuarios para que hagan de ella un uso justo y respetuoso con los derechos del autor, según lo permitido por la legislación aplicable, y con fines de estudio, investigación, o cualquier otro fin lícito. Con dicha finalidad, la Universidad asume los siguientes deberes y se reserva las siguientes facultades:

- La Universidad informará a los usuarios del archivo sobre los usos permitidos, y no garantiza ni asume responsabilidad alguna por otras formas en que los usuarios hagan un uso posterior de las obras no conforme con la legislación vigente. El uso posterior, más allá de la copia privada, requerirá que se cite la fuente y se reconozca la autoría, que no se obtenga beneficio comercial, y que no se realicen obras derivadas.
- La Universidad no revisará el contenido de las obras, que en todo caso permanecerá bajo la responsabilidad exclusiva del autor y no estará obligada a ejercitar acciones legales en nombre del autor en el supuesto de infracciones a derechos de propiedad intelectual derivados del depósito y archivo de las obras. El autor renuncia a cualquier reclamación frente a la Universidad por las formas no ajustadas a la legislación vigente en que los usuarios hagan uso de las obras.
- La Universidad adoptará las medidas necesarias para la preservación de la obra en un futuro.
- La Universidad se reserva la facultad de retirar la obra, previa notificación al autor, en supuestos suficientemente justificados, o en caso de reclamaciones de terceros.

Madrid, a 14 de julio de 2016

ACEPTA

Fdo



Motivos para solicitar el acceso restringido, cerrado o embargado del trabajo en el Repositorio Institucional:

ÍNDICE DE DOCUMENTOS

RESUMEN (EN ESPAÑOL E INGLÉS)

DOCUMENTO I: MEMORIA

Parte I: Memoria descriptiva

Parte II: Estudio económico

Parte III: Manual de usuario

Parte IV: Código fuente

Parte V: Datasheets

DOCUMENTO II: PLANOS

1: Esquemáticos PCB

2: Planos huellas PCB

DOCUMENTO III: PRESUPUESTO

Cap 1. Mediciones

Cap 2. Precios Unitarios

Cap 3. Sumas Parciales

Cap 4. Presupuesto General

“PROTOTIPO A ESCALA DE ELECTRIFICACIÓN FERROVIARIA”

CONTROL DIGITAL PARA UN SUPERCONDENSADOR

Autor: Martínez-Osorio, Pedro

Dirigido por:

Rodríguez Pecharromán, Ramón

García Cerrada, Aurelio

López López, Álvaro Jesús

ICAI – Universidad Pontificia Comillas

RESUMEN DEL PROYECTO

1. Introducción

En una sociedad donde la movilidad adquiere cada día más relevancia, y en la que millones de personas se desplazan diariamente, sea en trayectos cortos o largos, la eficiencia energética de los medios de transporte adquiere una importancia, tanto en términos económicos como ecológicos, nada desdeñable. Y esto no solo afecta al transporte de viajeros: el desarrollo del comercio también requiere soluciones eficientes para el transporte de mercancías.

El transporte por ferrocarril presenta la ventaja, frente al transporte aéreo, marítimo o por carretera, de poder alimentarse desde la red eléctrica a través de la conexión pantógrafo-catenaria. Parte de esta energía puede generarse sin usar combustibles fósiles y, en cualquier caso, se puede alejar la contaminación de los centros urbanos.

El gran volumen actual del transporte ferroviario y su consumo energético, hacen atractiva cualquier mejora de su eficiencia y en este marco se encuentra el presente proyecto, un sistema acumulador de energía (S.A.E.) basado en supercondensadores, cuyo objetivo es aprovechar la energía regenerada por los trenes al frenar.

En efecto, los trenes pueden devolver energía a la catenaria al frenar, con su motor comportándose como generador. Sin embargo, esta energía solo puede ser aprovechada si hay un tren cercano traccionando simultáneamente (*Figura 1*), o devuelta a la red en caso de electrificación en corriente alterna (o continua con subestaciones reversibles, lo cual no es habitual). En caso de no ser aprovechable se disipa en reóstatos. Es por este hecho que se considera una idea con un fuerte potencial acumular la energía regenerada.



Figura 1: Aprovechamiento simultáneo de energía regenerada

El S.A.E. implantado en este proyecto está destinado a líneas de ferrocarril metropolitano (habitualmente electrificadas en continua) y será de tipo “no embarcado”, lo cual quiere decir que irá conectado a la catenaria en una ubicación fija, en lugar de ir situado en el tren. El conjunto del sistema de electrificación se ha representado en la *Figura 2*.

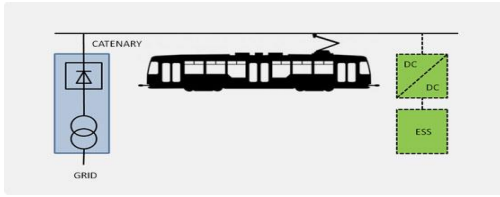


Figura 2: Sistema de electrificación con SAE no embarcado y convertidor DC-DC

2. Metodología

En este apartado se detallan brevemente los pasos seguidos para la realización del proyecto. Estando la topología del convertidor ya cerrada y el prototipo construido con control analógico, se propuso implementar un control digital flexible y eficiente mediante un *DSP* (*digital signal processor*).

La topología del convertidor *DC-DC* está compuesta por dos semipuentes de *IGBTs* con un condensador intermedio *Cdclink*. Esta topología (*Figura 3*) permite un flujo de potencia bidireccional regulado por los factores de servicio que controlan ambos semipuentes. La tecnología de acumulación escogida fueron supercondensadores.

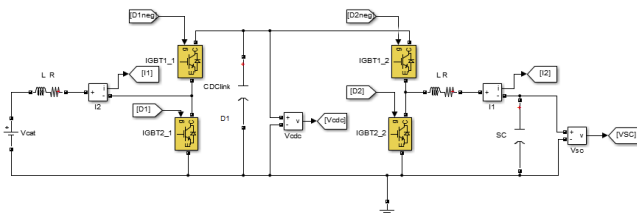


Figura 3: Topología del convertidor existente

- Diseño del hardware:

El elemento más importante del hardware del sistema implementado es el *DSP* (*digital signal processor*, *Figura 4*). Consta de una base o *Dock*, donde están situados los pines que interaccionarán con el prototipo, en concreto:

- ❖ Módulos *ADC* (*conversor analógico digital*) para el muestreo de las magnitudes del sistema.
- ❖ Módulos *PWM* (*modulación por ancho de pulso*) para controlar los dos semipuentes.

- ❖ Pines *GPIO* (*general purpose input / output*), para excitar los relés de arranque y descarga y para captar la posición de los *switches* que interactúan con el usuario.

Además, en dicho *Dock* se sitúan la alimentación del microprocesador, referencias de 5 y 3.3V, y el Jack *USB* para la descarga del programa del *DSP*, creado en *Matlab-Simulink* y “traducido” al lenguaje del microprocesador con el *IDE* (*integrated development environment*) *Code Composer Studio*. En dicho *Dock* se incrusta la tarjeta *Controlcard F28335*, en la que está situado el microprocesador. Se eligió este *DSP* por contar con herramientas de desarrollo simples para *Matlab*.

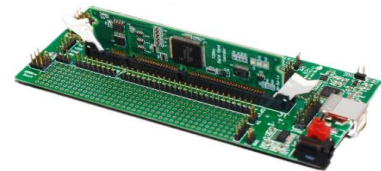


Figura 4: DSP TI F28335

Para el diseño del hardware, también se crearon tres placas de circuito impreso:

I. Placa Entradas:

Cuenta con las sondas *LEM* que miden las cuatro magnitudes principales del prototipo (I_1, I_2, V_{SC} y V_{dcl}), así como su circuito de adaptación al rango de entradas (0-3V) del microprocesador y circuitos de filtrado basados en filtros de Bessel.

II. Placa Acoplamiento a Driver

Cuenta con los optoacopladores necesarios para aislar las señales *PWM* que entrega el *DSP* y para adaptarlas al rango de tensiones que necesita el driver de los semipuentes *IGBT*.

III. Placa Relés y Switches

En ella se sitúan los relés que permiten el correcto funcionamiento de los modos de arranque y parada, así como los *switches* que permiten al usuario activar el arranque o la parada.

- Diseño del control:

Se decidió cambiar los controles PI analógicos existentes por controles por representación de estado que permitieran, además de aplicar la acción integral, compensar retardos en el filtrado (se eligieron filtros de Bessel) y en el cálculo del control. En total habrá tres controles, resumidos en la *Tabla 1*:

Control	Misión	Referencia	Medida	Salida
1	Seguir referencia $i1^*$	$i1^*$	$i1$	D1
2	Mantener Vcdclink cte	Vcdcnom	Vcde	$i2^*$
3	Seguir referencia $i2^*$	$i2^*$	$i2$	D2

Tabla 1: Resumen de controles

Del la topología del sistema (*Figura 3*) se extrajeron las relaciones (1), (2) y (3).

$$\frac{di_1}{dt} = -\frac{R_1}{L_1} \cdot i_1 + \frac{V_{CAT} - V_A}{L_1} \quad (1)$$

$$\frac{d}{dt} V_{cdclink}^2 = \frac{2}{C} (P_I - P_D) \quad (2)$$

$$\frac{di_2}{dt} = -\frac{R_2}{L_2} \cdot i_2 + \frac{V_B - V_{SC}}{L_2} \quad (3)$$

De donde se derivan los tres controles, definidos matricialmente por (4), (5) y (6).

$$\begin{bmatrix} i_1[k+1] \\ u_1[k+1] \\ I_1^f[k+1] \\ \zeta[k+1] \end{bmatrix} = \begin{bmatrix} e^{-\frac{R_1}{L_1} T_{sampl}} & \frac{L_1}{R_1} (1 - e^{-\frac{R_1}{L_1} T_{sampl}}) & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & -T_{sampl} \end{bmatrix} \begin{bmatrix} i_1[k] \\ u_1[k] \\ I_1^f[k] \\ \zeta[k] \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \cdot u_1^c[k] + \begin{bmatrix} 0 \\ 0 \\ 0 \\ T_{sampl} \end{bmatrix} \cdot I_1^{ref}[k] \quad (4)$$

$$\begin{bmatrix} V_{cdclink}^2[k+1] \\ \zeta[k+1] \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ -T_{sampl} & 1 \end{bmatrix} \cdot \begin{bmatrix} V_{cdclink}^2[k] \\ \zeta[k] \end{bmatrix} + \begin{bmatrix} T_{sampl} \\ 0 \end{bmatrix} \cdot u_2[k] + \begin{bmatrix} 0 \\ T_{sampl} \end{bmatrix} \cdot V_{cdclink}^{ref}[k] \quad (5)$$

$$\begin{bmatrix} i_2[k+1] \\ u_3[k+1] \\ I_2^f[k+1] \\ \zeta[k+1] \end{bmatrix} = \begin{bmatrix} e^{-\frac{R_2}{L_2} T_{sampl}} & \frac{L_2}{R_2} (1 - e^{-\frac{R_2}{L_2} T_{sampl}}) & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & -T_{sampl} \end{bmatrix} \begin{bmatrix} i_2[k] \\ u_3[k] \\ I_2^f[k] \\ \zeta[k] \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \cdot u_3^c[k] + \begin{bmatrix} 0 \\ 0 \\ 0 \\ T_{sampl} \end{bmatrix} \cdot I_2^{ref}[k] \quad (6)$$

Finalmente, es posible calcular $D1$, $i2ref$ y $D2$, a partir de los tres controles $u1$, $u2$ y $u3$ según descrito en (7), (8) y (9).

$$u_1 = \frac{V_{CAT} - V_A}{L_1} \rightarrow D_1 = 1 - \frac{V_A}{V_{dclink}^f} \quad (7)$$

$$u_2 = \frac{2}{C} (P_I - P_D) \rightarrow I_2^{ref} = \frac{P_D}{V_{sc}} \quad (8)$$

$$u_3 = \frac{V_B - V_{SC}}{L_2} \rightarrow D_2 = 1 - \frac{V_B}{V_{dclink}^f} \quad (9)$$

Donde los superíndices f y c representan, respectivamente, las señales filtrada y calculada. ζ , por su parte, será la acción integral, que podrá ser anulada en el diagrama de bloques de los controles para mejorar su comportamiento en caso de saturación de la salida.

En resumen, el flujo del control es el siguiente: una referencia externa $i1^*$ (que también es posible introducir internamente en el programa del *DSP*) determina la corriente que el *SAE* capta o devuelve a la catenaria y es seguida por el *Control 1*. El *Control 2* se encarga de regular la tensión del condensador intermedio generando una consigna de corriente $i2^*$ que será seguida por el *Control 3*, cargando o descargando el supercondensador.

- Estrategia de muestreo y conmutación:

Se trata de conseguir una estrategia que aproveche toda la flexibilidad que otorga un control digital. De esta manera se diseñó la estructura del programa del *DSP* de manera que fuera posible elegir cada cuántos ciclos de conmutación se muestrea (con *fswitch* múltiplo de *fsampl*).

Por otro lado, se diseñan los módulos *ePWM* del programa del *DSP* para que los flancos de la señal cuadrada no coincidan con el muestreo, puesto que introducirían ruido en la señal muestreada que podría dar lugar a errores relevantes. Para ello se sigue una lógica *up-down* con las acciones de *SET* y *CLEAR* siempre en puntos intermedios del período, nunca al inicio o al final, como se describe en la *Figura 5*.

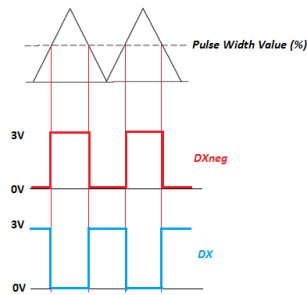


Figura 5: Estrategia señal PWM

- Máquina de estados

Se dotó al programa del DSP de una máquina de estados (Figura 6) en Stateflow para gestionar los distintos modos de funcionamiento del sistema. En general habrá tres grandes modos:

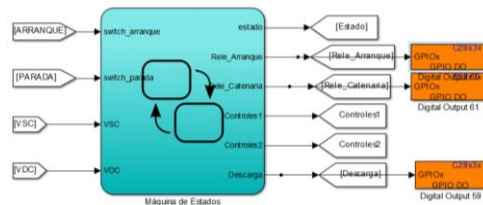


Figura 6: Máquina de estados del programa del DSP

I. Modo arranque:

Se inicia desde el estado “Standby” al actuar sobre un interruptor, y su objetivo es llevar el prototipo a sus condiciones habituales de funcionamiento, con ambos condensadores a una tensión cercana a su tensión nominal. Tendrá lugar en varias etapas: en primer lugar se cargará el condensador intermedio hasta V_{cat} a través del llamado relé de arranque, posteriormente el primer semipunto empieza a conmutar para llevarlo a una tensión superior a la de catenaria. Por último, el segundo semipunto empieza a conmutar para cargar el supercondensador, carga que será mucho más lenta por su gran capacidad.

II. Modo normal:

Es el modo habitual de funcionamiento del prototipo, en el que se sigue la referencia de corriente de catenaria iI^* . Presenta dos subestados: cuando la tensión del supercondensador sea demasiado elevada

sólo se seguirán consignas negativas, y cuando sea demasiado baja, sólo se seguirán consignas positivas. En ambos casos se dota a la máquina de histéresis para mejorar su funcionamiento.

III. Modo parada:

Se inicia desde cualquier estado al actuar sobre el interruptor de parada, o al sobrepasar umbrales muy altos de tensiones e intensidades. Cierra el relé de descarga del supercondensador y dispara el IGBT de descarga del condensador intermedio. Se trata de un modo predominante, al cual se entra desde cualquier estado y bajo cualquier condición por motivos de seguridad. Su objetivo es descargar completamente el sistema.

3. Resultados

Se obtuvieron los siguientes resultados por simulación:

➤ Arranque: en la Figura 7 y la Figura 8 se detalla el arranque del sistema hasta entrar en modo Normal.

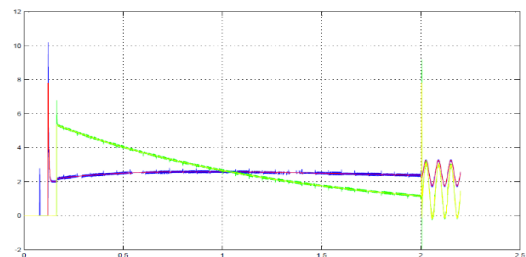


Figura 7: Corrientes en el Arranque ($i1$ en azul, $i1ref$ en rojo, $i2$ en verde, $i2ref$ en amarillo)

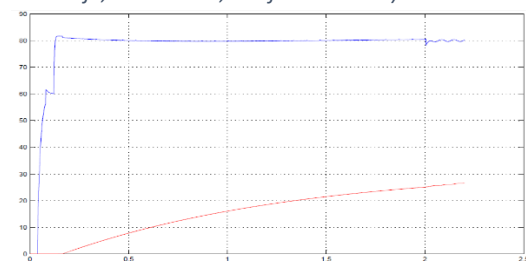


Figura 8: Tensiones en el Arranque (Vsc en rojo, Vdc en azul)

➤ Modo Normal:

En la Figura 9 se detalla el seguimiento de una referencia iI^* cuadrada, mientras que en la Figura 10 puede apreciarse cómo, en modo normal sobrecargado, sólo vuelve a

seguirse una referencia positiva (senoidal en este caso) cuando la tensión baja por debajo de cierto umbral (histéresis).

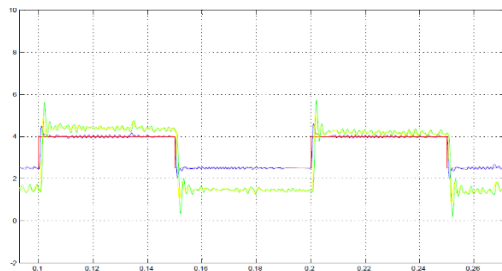


Figura 9: Corrientes en modo Normal (i_1 en azul, i_{1ref} en rojo, i_2 en verde, i_{2ref} en amarillo)

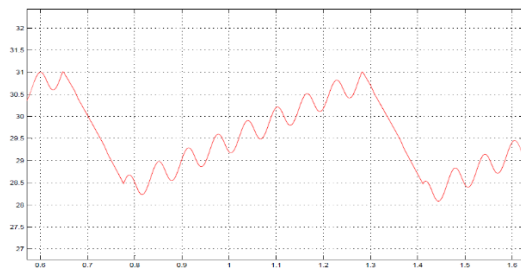


Figura 10: Tensión del Supercondensador en modo Normal Sobrecargado

➤ Descarga:

La Figura 11 detalla la parada del sistema, con $Cdclink$ descargándose rápidamente hasta alcanzar la tensión del SC. A partir de ese momento se descargan al mismo ritmo. V_{dc} no puede descargarse más que V_{sc} puesto que la corriente fluye por el diodo del IGBT superior del segundo semipunto.

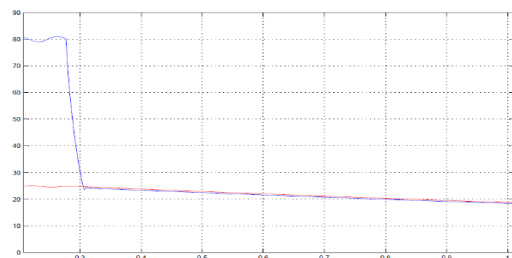


Figura 11: Evolución de las tensiones durante la descarga (V_{dc} en azul, V_{sc} en rojo)

➤ Simulación en Marcha Realista y análisis del rendimiento del sistema:

La Figura 12 representa el comportamiento del sistema siguiendo una referencia i_1^* realista de tracción y freno. La Figura 13 muestra la evolución del rendimiento del

sistema con una referencia constante, según se carga el supercondensador.

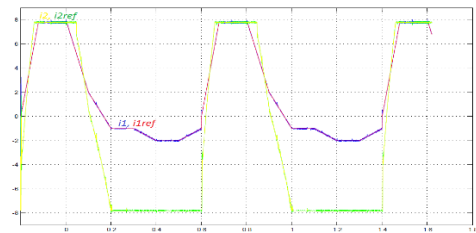


Figura 12: Simulación con i_1^* realista (i_1 en azul, i_{1ref} en rojo, i_2 en verde, i_{2ref} en amarillo)

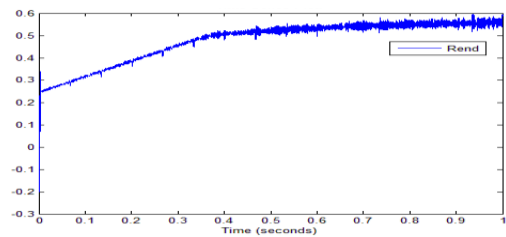


Figura 13: Evolución del rendimiento con $i_1^*=5A$, con la carga del SC

4. Conclusiones

En conclusión, se obtuvo un control del prototipo por estimación de estado que permite, no solo el flujo bidireccional de potencia entre supercondensador y catenaria, sino también una gran flexibilidad y fiabilidad por incluir compensaciones de los retardos de filtrado y cálculo, así como anulación de la acción integral, características difícilmente implantables analógicamente. La máquina de estados gestiona perfectamente el funcionamiento del prototipo y garantiza la seguridad en todas sus etapas. Se llegó a resultados coherentes por simulación, aunque por diversos motivos los ensayos reales de integración no funcionaron (aunque sí ensayos parciales).

Este prototipo presenta múltiples posibilidades de mejora, como la integración de los tres controles por representación de estado en uno solo más amplio, el análisis de otros modos de control y otras estrategias de muestreo y conmutación, la integración con otros sistemas que emulen el resto del sistema ferroviario...

“RAILWAY ELECTRIFICATION SCALED PROTOTYPE”

DIGITAL CONTROL FOR A SUPERCAPACITOR

Author: Martínez-Osorio, Pedro

Directors:

Rodríguez Pecharromán, Ramón

García Cerrada, Aurelio

López López, Álvaro Jesús

ICAI – Universidad Pontificia Comillas

ABSTRACT

1. Introduction

Mobility is crucial to today’s society, with millions of people commuting and travelling every day. In this context, the efficiency of the means of conveyance has an importance that cannot be neglected, both in economic and ecologic terms. This matter does not only concern passenger transport: commerce also requires efficient solutions for freight transport.

Rail transport has the advantage, as opposed to air, maritime or road transport, of being able to get its energy from the power grid through the catenary-pantograph connection. Part of this energy can be generated without fossil fuel and pollution can be kept out of urban centres.

The massive energetic consumption of rail systems makes any efficiency improvement extremely attractive. In such a context, the present project aims to harness braking energy from trains and store it in an E.S.S. (energy storage system) based on supercapacitors.

Trains can return energy to the catenary when they brake, with their engines behaving as a generator. However, this energy can only be used if there is a nearby train accelerating simultaneously (*Figure 1*). It can also be returned to the power grid

in AC electrification systems (or DC systems with reversible substations, which are rather uncommon). If these conditions cannot be fulfilled, energy will be dissipated in resistors: this is why storage systems for the regenerated energy have a big potential.



Figure 1: Regenerative braking energy flow

The E.S.S. implemented in this project is intended for metropolitan railways (usually electrified in DC). It will be a wayside system, which means it will be connected to the catenary in a fixed position, instead of being set on board. The entire electrification system is shown in *Figure 2*.

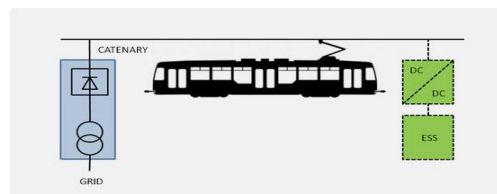


Figure 2: Electrification system with a wayside ESS and a DC-DC converter.

2. Methodology

This section deals with the main steps of the project. As the converter topology was

already defined and a prototype with analog controls had already been built, the next step was to implement a digital control based on a DSP (digital signal processor).

The DC-DC converter is made up by two IGBT half bridges, with an intermediate capacitor C_{dclink} . This topology (*Figure 3*) allows power flow in both directions, regulated by the duty cycles that control both half bridges.

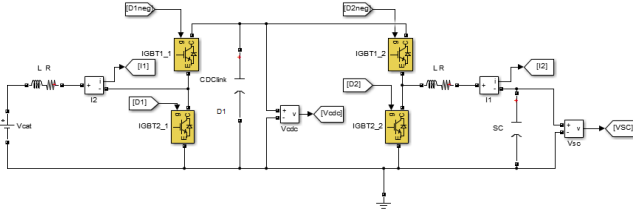


Figure 3: Topology of the DC-DC converter

- **Hardware design:**

The most important element of the control system is a DSP (digital signal processor, *Figure 4*). The pins that interact with the prototype are situated in the DSP docking station:

- ❖ ADC modules (analog-to-digital converter) to sample the system's magnitudes.
- ❖ PWM modules (pulse width modulation) to control the half bridges.
- ❖ GPIO pins (general purpose input / output), outputs to excite the start-stop relays and inputs to interact with the user through switches.

Said docking station also houses the power supply, 5 and 3.3V references, and a USB connector to download programs into the DSP. Such programs will be created with Matlab-Simulink and “translated” into the microprocessor language by an IDE (integrated development environment) called Code Composer Studio (CCS). The microprocessor is part of the *Controlcard F28335*, which is meant to be inserted in the dock. The main reason to choose this DSP were its simple development tools for Matlab.

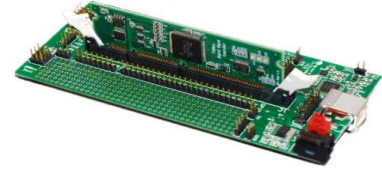


Figure 4: DSP TI F28335

As a part of the hardware design, three printed circuit boards (PCB) were created:

- I. Board “Inputs”:

It houses the LEM transducers that measure the four main magnitudes of the prototype (I_1, I_2, V_{SC} y V_{dcl}), as well as the circuit to adapt them to the ADC range (0-3V) and Bessel filtering circuits.

- II. Board “Driver Coupling”

It contains optocoupling circuits to isolate and adapt the PWM signals that control the IGBT half bridges.

- III. Board “Relays and Switches”

It houses the relays that ensure a correct start and stop of the prototype, as well as the switches that interact with the user.

- **Control design:**

The existing PI analog controls were replaced by state-representation controls that implement, as well as the integral action, compensations for filtering and control delays. There are three controls, as shown in *Table 1*:

Control	Objective	Referencie	Input	Output
1	Follow reference $i1^*$	$i1^*$	$i1$	D1
2	Keep V_{dclink} constant	V_{dclnom}	V_{dcl}	$i2^*$
3	Follow reference $i2^*$	$i2^*$	$i2$	D2

Table 1: Controls

From the system topology (*Figure 3*) relations (1), (2) and (3) can be deduced.

$$\frac{di_1}{dt} = -\frac{R_1}{L_1} \cdot i_1 + \frac{V_{CAT} - V_A}{L_1} \quad (1)$$

$$\frac{d}{dt} V_{dclink}^2 = \frac{2}{C} (P_1 - P_D) \quad (2)$$

$$\frac{di_2}{dt} = -\frac{R_2}{L_2} \cdot i_2 + \frac{V_B - V_{SC}}{L_2} \quad (3)$$

From those equations, the matrix state representation of each control is developed as shown in (4), (5) and (6).

$$\begin{bmatrix} I_1[k+1] \\ u_1[k+1] \\ I_1^f[k+1] \\ \zeta[k+1] \end{bmatrix} = \begin{bmatrix} e^{-\frac{R_1}{L_1} T_{\text{samp}}} & \frac{L_1}{R_1} \cdot (1 - e^{-\frac{R_1}{L_1} T_{\text{samp}}}) & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & -T_{\text{samp}} & 0 \end{bmatrix} \begin{bmatrix} I_1[k] \\ u_1[k] \\ I_1^f[k] \\ \zeta[k] \end{bmatrix} \quad (4)$$

$$+ \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \cdot u_1^c[k] + \begin{bmatrix} 0 \\ 0 \\ 0 \\ T_{\text{samp}} \end{bmatrix} \cdot I_1^{ref}[k]$$

$$\begin{bmatrix} V_{\text{dclink}}^z[k+1] \\ \zeta[k+1] \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ -T_{\text{samp}} & 1 \end{bmatrix} \begin{bmatrix} V_{\text{dclink}}^z[k] \\ \zeta[k] \end{bmatrix} \quad (5)$$

$$+ \begin{bmatrix} T_{\text{samp}} \\ 0 \end{bmatrix} \cdot u_2[k] + \begin{bmatrix} 0 \\ T_{\text{samp}} \end{bmatrix} \cdot V_{\text{dclink}}^{ref}[k]$$

$$\begin{bmatrix} I_2[k+1] \\ u_3[k+1] \\ I_2^f[k+1] \\ \zeta[k+1] \end{bmatrix} = \begin{bmatrix} e^{-\frac{R_2}{L_2} T_{\text{samp}}} & \frac{L_2}{R_2} \cdot (1 - e^{-\frac{R_2}{L_2} T_{\text{samp}}}) & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & -T_{\text{samp}} & 0 \end{bmatrix} \begin{bmatrix} I_2[k] \\ u_3[k] \\ I_2^f[k] \\ \zeta[k] \end{bmatrix} \quad (6)$$

$$+ \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \cdot u_3^c[k] + \begin{bmatrix} 0 \\ 0 \\ 0 \\ T_{\text{samp}} \end{bmatrix} \cdot I_2^{ref}[k]$$

Finally, $D1$, i_2^{ref} and $D2$ are calculated from controls $u1$, $u2$ y $u3$ as shown in (7), (8) and (9).

$$u_1 = \frac{V_{\text{CAT}} - V_A}{L_1} \rightarrow D_1 = 1 - \frac{V_A}{V_{\text{dclink}}^f} \quad (7)$$

$$u_2 = \frac{2}{c} (P_1 - P_D) \rightarrow I_2^{ref} = \frac{P_D}{V_{\text{SC}}} \quad (8)$$

$$u_3 = \frac{V_B - V_{\text{SC}}}{L_2} \rightarrow D_2 = 1 - \frac{V_B}{V_{\text{dclink}}^f} \quad (9)$$

Where f and c superindexes represent filtered and calculated signals. ζ represents the integral action, that can be annulated in the controls block diagrams to improve their behaviour in case of output saturation. In summary, the control works as follows: an external reference $i1^*$ (which can also be internally introduced in the DSP program) determines the current that flows between ESS and catenary. Such reference is followed by *Control 1*. *Control 2* is in charge of regulating the voltage of the intermediate capacitor, generating a current reference $i2^*$ that will be followed *Control 3*, hence charging or discharging the supercapacitor.

- Sampling and switching strategy:

Sampling and switching strategies should benefit from the flexibility that a digital

control allows. The structure of the DSP program was created in such a way that it is possible to choose the number of switching periods between samplings (f_{switch} will be a multiple of f_{samp}).

ePWM modules were designed to avoid having rising and falling edges at the instant of sampling, as this would induce undesired noise in the sampled signal. For this purpose, an *up-down* logic is followed, with SET and CLEAR actions always happening at intermediate moments of a period, never at the beginning or at the end, as shown in *Figure 5*.

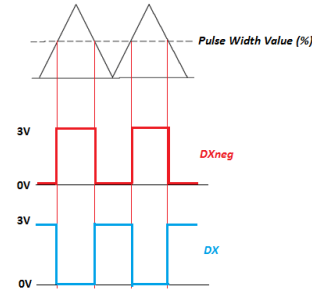


Figure 5: PWM strategy

- State Machine:

A state machine (*Figure 6*) was created on *Stateflow* to manage the different operating modes of the prototype. There will be three main modes:

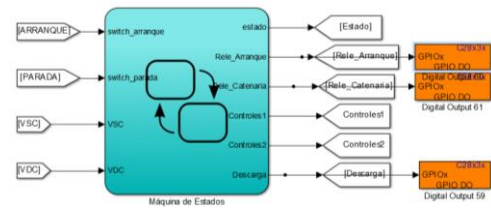


Figure 6: State Machine of the DSP program

- I. Start Mode:

Its objective is to take the prototype to its nominal conditions, with both capacitors charged, which will happen in several phases. Firstly, the intermediate capacitor will be charged up to V_{cat} through the start relay. Next, the first half bridge starts switching, aiming to take said capacitor to a higher voltage. Finally, the second half bridge starts charging the supercapacitor.

Its charging process will be much slower due to its high capacity.

II. Normal mode:

It is the usual operating mode of the prototype, where the catenary current reference $i1^*$ is followed. It has two substates: when the supercapacitor voltage is either too high or too low, only negative or positive references will be followed, to take it back to its nominal conditions. This feature includes hysteresis to improve the behavior of the prototype.

III. Stop mode:

For safety reasons, transition to this mode prevails over all other circumstances (no matter what state the system is in) when the Stop Switch is activated or extreme voltage thresholds are surpassed. Its objective is to discharge the system, through the supercapacitor's discharge relay and the intermediate capacitor's discharge IGBT.

3. Results

The following simulation results were reached:

- Start Mode: *Figure 7* and *Figure 8* show the start of the system until transition to normal mode.

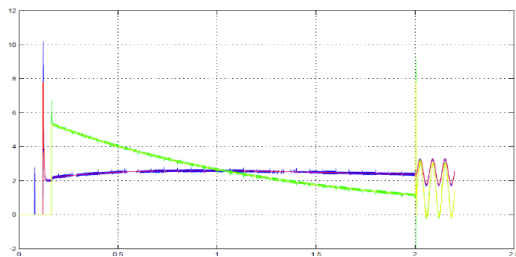


Figure 7: Currents in Start Mode ($i1$ blue, $i1ref$ red, $i2$ green, $i2ref$ yellow)

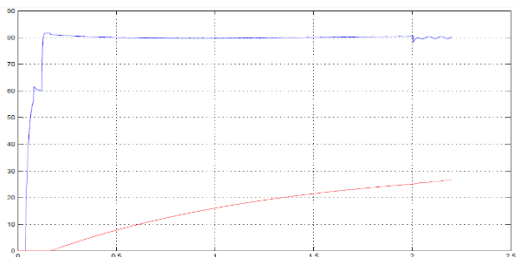


Figure 8: Voltage in Start Mode (Vsc red, $Vcdc$ blue)

- Normal Mode:

Figure 9 shows the system behaviour under a square $i1^*$ reference. *Figure 10* illustrates the overcharged mode, where the sinusoidal positive reference is only followed again once the supercapacitor's voltage falls under a certain threshold (hysteresis).

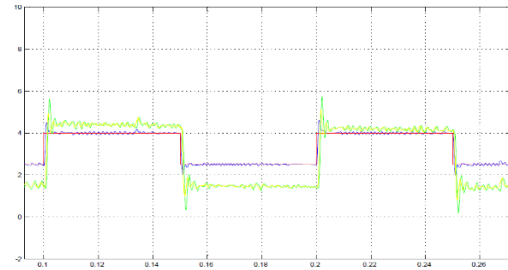


Figure 9: Currents in Normal Mode ($i1$ blue, $i1ref$ red, $i2$ green, $i2ref$ yellow)

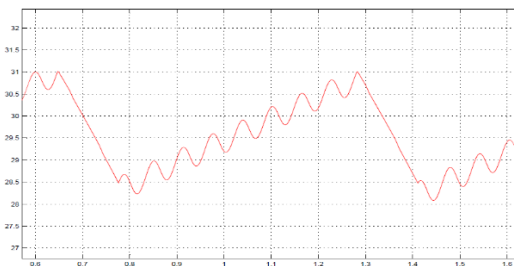


Figure 10: Supercapacitor Voltage in Normal Mode (overcharged)

- Stop mode:

Figure 11 illustrates the system discharge, where $Cdlink$ falls rapidly down to Vsc . From that moment on, they discharge at the same pace, since $Vcdc$ cannot fall under Vsc as current would flow through the diode in the upper IGBT of the second half bridge.

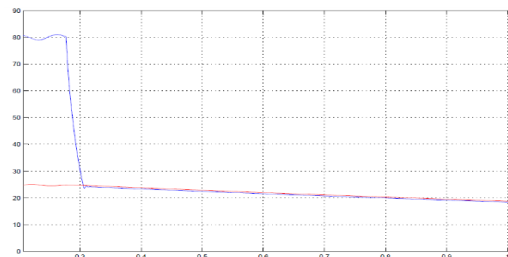


Figure 11: Voltages in Stop Mode ($Vcdc$ blue, Vsc red)

- Simulation with realistic reference and system efficiency analysis:

Figure 12 shows the evolution of the system when it follows a realistic $i1^*$

reference. *Figure 13* shows the system efficiency on a constant reference, as the supercapacitor is charged.

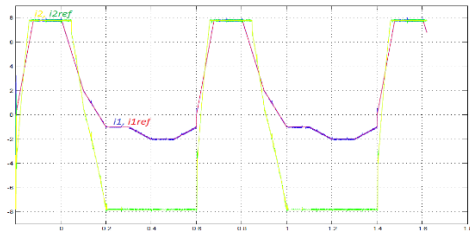


Figure 12: Simulation with a realist $i1^$ ($i1$ blue, $i1ref$ red, $i2$ green, $i2ref$ yellow)*

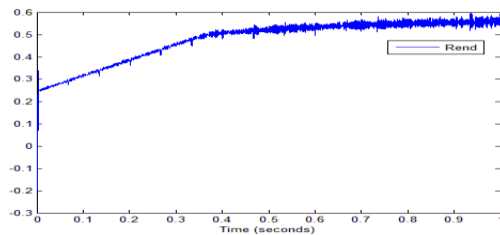


Figure 13: Efficiency with $i1^=5A$, as SC is charged*

4. Conclusions

In conclusion, the designed state representation control allows not only a bi-directional power flow between supercapacitor and catenary, but also a great flexibility and reliability for it includes compensations for filtering and control delays, features that are difficult to implement in an analog control. The designed state machine manages the prototype operation under different circumstances and through various phases, ensuring safe operation in all of them. Coherent results were reached through simulation, though for various reasons no real integration tests could be done (partial tests were made).

There is room for improvement in many ways: the three controls could be integrated into one sole (though much more complex) control representing the whole system. Other control alternatives and sampling strategies could be explored thanks to the flexibility of the DSP. Finally, this energy storage system prototype can be integrated with other prototypes that emulate the whole railway electrification system.

DOCUMENTO I

MEMORIA





UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL

ÍNDICE DE LA MEMORIA



Índice de la memoria

Parte I: MEMORIA	12
Capítulo 1 Introducción	14
1.1 Estado de la cuestión	15
1.1.1 Tecnologías de freno	16
1.1.2 Aprovechamiento de la energía regenerada	17
1.1.3 Tecnologías de aprovechamiento de energía.....	19
1.2 Motivación del proyecto	25
1.3 Objetivos	26
1.4 Metodología	26
1.5 Recursos	27
Capítulo 2 Descripción del convertidor	28
2.1 Topología	28
2.2 Controles	29
2.3 Modos de funcionamiento	31
2.3.1 Arranque	31
2.3.2 Normal	33
2.3.3 Descarga.....	34
Capítulo 3 Diseño del Hardware	36
3.1 Entradas del DSP	36
3.1.1 Circuitos de adaptación	37
3.1.1.1 Adaptación de corrientes	37
3.1.1.2 Adaptación de tensiones	39
3.1.2 Filtrado	41
3.1.3 Interruptores de arranque y parada	45
3.2 Salidas del DSP	46
3.2.1 Acoplamiento al driver del convertidor.....	47



3.3	Placas de circuito impreso	48
3.3.1	PCB Entradas	53
3.3.1.1	Pruebas PCB Entradas	55
3.3.1.1.1	Pruebas Vsc	55
3.3.1.1.2	Pruebas Vdclink.....	56
3.3.1.1.3	Pruebas i1 e i2	57
3.3.2	PCB Acoplamiento a driver (Salidas)	58
3.3.2.1	Pruebas PCB Acoplamiento a driver – Salidas.....	59
3.3.3	PCB Relés y switches.....	62
3.3.3.1	Pruebas PCB Relés y switches	65
Capítulo 4	<i>Diseño del control.....</i>	68
4.1	Estrategia de muestreo y conmutación del PWM.....	68
4.2	Estrategia de control	75
4.2.1	Descripción de un control por representación de estado	76
4.2.2	Control 1: Control de Corriente i1	79
4.2.3	Control 2: Control de Tensión VCDclink.....	84
4.2.4	Control 3: Control de Corriente i2	87
4.2.5	Anulación de la acción integral	91
4.3	Modelo en Matlab/Simulink	92
4.3.1	Modelo eléctrico	92
4.3.2	Máquina de estados	94
4.3.3	Controles	98
4.4	Programa del DSP	100
4.4.1	Entradas.....	100
4.4.2	Máquina de estados	102
4.4.3	Controles	102
Capítulo 5	<i>Resultados de Simulación</i>	104
5.1	Modo Arranque	104
5.2	Modo Normal.....	108
5.3	Modo Descarga	112
Capítulo 6	<i>Análisis del Rendimiento.....</i>	114
Capítulo 7	<i>Simulación en Marcha Real</i>	122



<i>Capítulo 8</i>	<i>Conclusiones y Futuros Desarrollos.....</i>	<i>126</i>
<i>Capítulo 9</i>	<i>Bibliografía.....</i>	<i>128</i>
<i>Parte II</i>	<i>Estudio económico.....</i>	<i>130</i>
<i>Parte III</i>	<i>Manual de usuario</i>	<i>138</i>
<i>Parte IV</i>	<i>Código fuente.....</i>	<i>142</i>
<i>Capítulo 1</i>	<i>Código fuente pruebas Bessel</i>	<i>144</i>
<i>Capítulo 2</i>	<i>Código fuente CONTROLES.....</i>	<i>146</i>
<i>Parte V</i>	<i>Datasheets.....</i>	<i>150</i>
<i>Capítulo 1</i>	<i>Datasheet Bessel.....</i>	<i>152</i>
<i>Capítulo 2</i>	<i>Datasheet OP-AMP.....</i>	<i>153</i>
<i>Capítulo 3</i>	<i>Datasheet Optoacoplador.....</i>	<i>154</i>
<i>Capítulo 4</i>	<i>Datasheet Sonda LEM Tensión.....</i>	<i>155</i>
<i>Capítulo 5</i>	<i>Datasheet Sonda LEM Corriente.....</i>	<i>156</i>
<i>Capítulo 6</i>	<i>Datasheet Referencia de Tensión.....</i>	<i>157</i>
<i>Capítulo 7</i>	<i>Datasheet Semipuente IGBTs.....</i>	<i>158</i>
<i>Capítulo 8</i>	<i>Datasheet IGBT Descarga Cdclink.....</i>	<i>159</i>
<i>Capítulo 9</i>	<i>Datasheet Relés.....</i>	<i>160</i>
<i>Capítulo 10</i>	<i>Datasheet Driver Semipuentes.....</i>	<i>161</i>
<i>Capítulo 11</i>	<i>Datasheet Driver IGBT Descarga Cdclink.....</i>	<i>162</i>



Índice de figuras

Figura 1: Aprovechamiento simultáneo de la energía de frenado [3].....	17
Figura 2: Sistema acumulador de energía <i>Alstom</i> basado en <i>flywheels</i>	19
Figura 3: Supercondensador[6].....	21
Figura 4: Sistema HES de Siemens [5].....	22
Figura 5: Comparativa de formas de acumulación.[7].....	23
Figura 6: Cronograma de tareas	27
Figura 7: Configuración en dos semipuentes independientes	28
Figura 8: Señal PWM y su complementaria o negada	29
Figura 9: Dead Time.....	30
Figura 10: Esquema de relés de arranque y catenaria	32
Figura 11: Esquema completo con relés e IGBTs de descarga	35
Figura 12: Circuito de adaptación de corrientes.....	37
Figura 13: Simulación del circuito de adaptación de corrientes con <i>LTSpice</i>	39
Figura 14: Circuito de adaptación de tensiones.....	40
Figura 15: Simulación del circuito de adaptación de tensiones con <i>LTSpice</i>	41
Figura 16: Circuito del filtro de Bessel	42
Figura 17: Modelo <i>SIMULINK</i> de pruebas de filtros de Bessel.....	43
Figura 18: Características de frecuencias de corte y de retardo de grupo de un filtro de Bessel de orden 4.....	43
Figura 19: Retardo de los distintos filtros de Bessel analizados	44
Figura 20: Esquema de interruptores de arranque/parada	46
Figura 21: Esquema de acoplamiento de la señal PWM del microprocesador al driver del semipuerto de IGBTs.....	48
Figura 22: Flujo de trabajo con Kicad.....	49



Figura 23: Módulos pequeña señal del control analógico existente.....	51
Figura 24: Complejidad del cableado del control analógico.....	51
Figura 25: Prototipo con la nueva disposición	52
Figura 26: Nueva disposición con solo 3 PCB y el DSP.....	52
Figura 27: PCB Entradas en 3D	54
Figura 28: PCB Entradas montada	54
Figura 29: Ensayos placa entradas VSC.....	55
Figura 30: Ensayos placa entradas Vdclink	56
Figura 31: Ensayos placa entradas – corrientes.....	57
Figura 32: PCB Acoplamiento a Driver – Salidas en 3D.....	58
Figura 33: PCB Acoplamiento a Driver – Salidas montado	59
Figura 34: Esquema eléctrico pruebas PCB Salidas	60
Figura 35: Modelo en Simulink del programa del DSP pruebas PCB Salidas.....	60
Figura 36: Resultados del ensayo conmutación con distintos factores de servicio	61
Figura 37: Esquema del relé de arranque	62
Figura 38: Esquema del relé de catenaria.....	63
Figura 39: Esquema relé descarga SC	63
Figura 40: Esquema del circuito de descarga de <i>Cdclink</i>	64
Figura 41: PCB Relés y Switches en 3D.....	64
Figura 42: PCB Relés y Switches montado.....	65
Figura 43: Modelo en <i>Simulink</i> del programa del DSP para pruebas PCB Relés y switches	65
Figura 44: Esquema eléctrico de ensayos de los relés.....	66
Figura 45: Mediciones de ensayo de excitación de los relés.....	66
Figura 46: Detalle del bloque ePWM que permite activar el muestreo del ADC cada 1, 2 o 3 ciclos de conmutación.	68
Figura 47: Interrupción Hardware del DSP según su reloj interno	69



Figura 48: Bloque “Subsistema ADC ePWM”, destinado a flexibilizar la elección del periodo de muestreo	69
Figura 49: Diagrama de bloques para pruebas de la estrategia de muestreo.....	70
Figura 50: Pruebas de muestreo: cada 10 ciclos de conmutación	70
Figura 51: Pruebas de muestreo: cada 4 ciclos de conmutación	71
Figura 52: Alternativas de estrategias de conmutación.....	72
Figura 53: Estrategia PWM Up-Down.....	73
Figura 54: Selección de módulo ePWM, período y tipo de cuenta.....	74
Figura 55: Acciones CLEAR y SET definitorias de la señal PWM (a)	75
Figura 56: Sistema dinámico a controlar por representación de estado	76
Figura 57: Esquema de control por realimentación de estado.....	78
Figura 58: Esquema de control por realimentación de estado (2).....	79
Figura 59: Esquema control 1	80
Figura 60: Modelo en <i>Simulink</i> de corriente i_1	83
Figura 61: Modelo <i>Simulink</i> del control de tensión V_{cdlink}	86
Figura 62: Esquema control 3	87
Figura 63: Modelo <i>Simulink</i> del control de corriente i_2	90
Figura 64: Anulación de la acción integral en el control 1 (similar al 3).....	91
Figura 65: Anulación de la acción integral en el control 2	91
Figura 66: Visión global del modelo en <i>Simulink</i>	92
Figura 67: Modelo eléctrico en <i>Simulink</i> (primer semipunto).....	92
Figura 68: Modelo eléctrico en <i>Simulink</i> (segundo semipunto)	93
Figura 69: Visión exterior de la máquina de estados	94
Figura 70: Diagrama de estados	95
Figura 71: Control 1 en <i>Simulink</i> . Seguimiento de referencia según estado.....	98
Figura 72: Controles 2 y 3 en <i>Simulink</i> . Seguimiento de referencia según estado	99
Figura 73: Visión global del programa del DSP	100



Figura 74: Programa del DSP: entradas	101
Figura 75: Programa DSP: Máquina de estados.....	102
Figura 76: Programa DSP: Controles.....	103
Figura 77: Simulación Arranque: Corrientes (A).....	104
Figura 78: Simulación Arranque: Tensiones (V)	105
Figura 79: Simulación Arranque (detalle): Corrientes (A)	106
Figura 80: Simulación Arranque (detalle): Tensiones (V).....	106
Figura 81: Simulación paso Arranque – Normal: Corrientes (A)	107
Figura 82: Simulación paso Arranque-Normal: Tensiones (V)	107
Figura 83: Simulación en Modo Normal: seguimiento de referencia en onda cuadrada. Corrientes (A)	108
Figura 84: Simulación en Modo Normal: seguimiento de referencia de onda cuadrada. Tensión de Cdclink (V).....	108
Figura 85: Simulación en Modo Normal: seguimiento de referencia de onda cuadrada. Tensión de Csc (V)	109
Figura 86: Simulación en Modo Normal Sobrecargado: Corrientes (A)	109
Figura 87: Simulación en Modo Normal Sobrecargado: tensión del SC (V).....	110
Figura 88: Simulación en Modo Normal Descargado: Corrientes (A)	110
Figura 89: Simulación en Modo Normal Descargado: Tensión del SC (V)	111
Figura 90: Simulación en Modo Descarga: Corrientes (A).....	112
Figura 91: Simulación en Modo Descarga: Tensiones (V)	112
Figura 92: Análisis de Rendimiento con $i_l^*=5$ Amperios: Tensiones	114
Figura 93: Análisis de Rendimiento con $i_l^*=5$ Amperios: Corrientes.....	115
Figura 94: Análisis de Rendimiento con $i_l^*=5$ Amperios: Potencias	115
Figura 95: Análisis de Rendimiento con $i_l^*=5$ Amperios: Rendimiento.....	116
Figura 96: Análisis de Rendimiento con $i_l^*=5$ Amperios sin saturación: Tensiones	117
Figura 97: Análisis Rendimiento con $i_l^*=5$ A sin saturación: Corrientes.....	117



Figura 98: Análisis Rendimiento con $iI^*=5$ A sin saturación: Potencias.....	118
Figura 99: Análisis de Rendimiento con $iI^*=5$ A sin saturación: Rendimiento. .	118
Figura 100: Análisis de Rendimiento con iI^* de 10 a 0 A: Corrientes.....	119
Figura 101: Análisis de Rendimiento con iI^* de 10 a 0 A: Potencias	119
Figura 102: Análisis de Rendimiento con iI^* de 0 a 10 A: Rendimiento.....	120
Figura 103: Gráfica velocidad – espacio de la línea	122
Figura 104: Potencia de frenado a lo largo del tiempo.....	123
Figura 105: Potencia de tracción a lo largo del tiempo.	123
Figura 106: Referencia realista de corriente de catenaria iI^*	124
Figura 107: Resultados con referencia realista (corrientes)	124
Figura 108: Resultados con referencia realista (Tensiones).....	125
Figura 109: Integración del Sistema Acumulador de Energía en un sistema de electrificación ferroviaria más amplio [7].....	126
Figura 110: Línea T3 de tranvía de París, en pruebas con un SAE embarcado a base de supercondensadores [5].....	132
Figura 111: Mejora de consumo energético con supercondensadores embarcados (Tranvía T3, París) [5].	133
Figura 112: Intensidad absorbida de la red con y sin sistema embarcado [15], .	134
Figura 113: Cofre de Supercondensadores STEEM de Alstom [5].....	134



Índice de ecuaciones

Ecuación 1: Representación de estado. Control 1.	81
Ecuación 2: Representación de estado. Control 2.	84
Ecuación 3: Representación de estado. Control 3.	88



Índice de tablas

Tabla 1: Resumen de controles	30
Tabla 2: Entradas del DSP.....	36
Tabla 3: Salidas del DSP	46
Tabla 4: Ensayos placa entradas VSC	55
Tabla 5: Ensayos placa entradas Vdclink.....	56
Tabla 6: Ensayos placa entradas - corrientes.....	57
Tabla 7: NPV del proyecto.....	135



Parte I: MEMORIA



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Capítulo 1 INTRODUCCIÓN

En una sociedad donde la movilidad adquiere cada día más relevancia, y en la que millones de personas se desplazan diariamente, sea en trayectos cortos o largos, la eficiencia energética de los medios de transporte tiene una importancia, tanto en términos económicos como ecológicos, nada desdeñable. Y esto no solo afecta al transporte de viajeros: el desarrollo del comercio también requiere soluciones eficientes para el transporte de mercancías.

El transporte por ferrocarril presenta la ventaja, frente al transporte aéreo, marítimo o por carretera, de poder alimentarse desde la red eléctrica a través de la conexión pantógrafo-catenaria. Esto permite reducir en gran medida su impacto ecológico. Si bien los nuevos vehículos eléctricos también emplean la energía eléctrica, requieren el uso de baterías que limitan en cierta medida su autonomía.

El ferrocarril es adecuado tanto para transporte de masas dentro de ciudades (cercanías, metropolitanos), donde compite con el vehículo privado y el autobús; como para grandes distancias y alta velocidad, donde puede competir también con el avión. Permite transportar, además de pasajeros, grandes cantidades de mercancías de todo tipo, pudiendo alcanzar mejores rendimientos energéticos que otros medios de transporte. En este aspecto, su principal desventaja es la falta de flexibilidad: está condicionado a la existencia de unas instalaciones más o menos complejas (vías, electrificación, sistemas de protección) y su movimiento está limitado a un grado de libertad, frente a los dos del transporte marítimo o los tres del aéreo.

Las emisiones del sector del transporte por carretera (tanto interurbano como urbano) suponen el 22,6% de las emisiones de dióxido de carbono (CO₂), y el 37%



de óxidos de nitrógeno (NO_x) en nuestro país, lo cual representa en torno a un 90% del conjunto del sector del transporte. Las mejoras tecnológicas previstas hacen que pueda preverse una disminución significativa en las emisiones nocivas, sobre todo de NO_x. Sin embargo, la evolución tecnológica no puede corregir el aumento de emisiones de CO₂, que se encuentran acopladas al consumo de combustibles fósiles y obligan a otro tipo de estrategias: es necesario que se produzca un cambio hacia medios de transporte que no usen combustibles fósiles como fuente de energía. Potenciar el transporte por ferrocarril tendría un efecto muy positivo en el medio ambiente, en la calidad del aire en las ciudades (ligada a muchas enfermedades) e incluso en la seguridad en el transporte de viajeros y mercancías [1].

Sin embargo, que sea un medio de transporte relativamente poco contaminante no es motivo para no buscar aumentar su eficiencia energética. El volumen anual del tráfico (a nivel mundial) y las cantidades de energía implicadas en los sistemas ferroviarios son tan grandes que cualquier mejora, por pequeña que sea, puede tener un gran impacto económico y medioambiental. El progresivo aumento del precio de la energía eléctrica hace que una reducción en el consumo tenga un fuerte impacto monetario.

Este proyecto se desarrollará dentro de este ámbito: se empleará un sistema de acumulación de energía basado en supercondensadores para almacenar aquella energía producida por el frenado regenerativo de los trenes. En concreto, se controlará la electrónica de potencia de un prototipo ya existente mediante un procesador digital de señales (DSP).

1.1 ESTADO DE LA CUESTIÓN

En aras de mejorar la eficiencia energética del sistema ferroviario, actualmente se desarrollan innovaciones en diversos campos. Por un lado, se tratan de reducir la



carga aerodinámica, la masa y los consumos de sistemas auxiliares el material rodante. En el campo de la programación y la explotación del sistema, los mayores ahorros se consiguen optimizando rutas y horarios y, sobre todo, mediante técnicas de conducción ecológica o “eco-driving” que optimizan la estrategia de conducción (tracción y freno) para reducir al máximo el consumo [2].

1.1.1 TECNOLOGÍAS DE FRENO

Este proyecto, no obstante, se centra en el ahorro conseguido gracias a la energía que un tren puede devolver a la catenaria mediante el frenado regenerativo. En un simple análisis de tipos de frenado en trenes se encuentran:

→Freno mecánico: es el método más tradicional, se reduce la velocidad del tren por simple fricción. Debe existir siempre, aunque sea coexistiendo con el otro tipo de freno, pues es más fiable y puede emplearse en casos de emergencia.

→Freno dinámico: los motores eléctricos de tracción son empleados como freno para producir energía eléctrica: las ruedas hacen girar los rotores del motor, que se comporta como un generador si el estator está excitado con un campo electromagnético, lo cual crea una oposición al movimiento del rotor (y de las ruedas) a la vez que genera energía eléctrica. Reduce en gran medida el desgaste de los componentes y permite unos ahorros teóricos de entre el 30 y el 40%, que en la práctica son menores por el efecto Joule. Con este tipo de freno, pueden darse:

- Frenado reostático: la energía eléctrica se disipa en forma de calor en bancos de resistencias.



- Frenado regenerativo: se devuelve a la línea de alimentación o se acumula para un uso posterior.

A menudo se utiliza un sistema que combina reostático y regenerativo: si la línea es incapaz de absorber la corriente durante el frenado, la energía se disipa en resistencias. En este proyecto se modela un sistema que impide esta pérdida de energía, almacenando la energía que la línea es incapaz de absorber. [2]

1.1.2 APROVECHAMIENTO DE LA ENERGÍA REGENERADA

La energía regenerada puede emplearse para alimentar sistemas auxiliares del tren (iluminación, climatización). También puede devolverse a la catenaria para que un tren próximo la utilice. Esta solución se utiliza ampliamente por su sencillez, pero presenta el inconveniente de que es necesario que un tren traccione y otro frene simultáneamente a una distancia reducida, lo cual es relativamente infrecuente en líneas de largo recorrido (en líneas metropolitanas es más habitual). De este modo, si no hay ningún tren traccionando en el mismo instante de tiempo, una parte de la energía regenerada no podrá devolverse a la catenaria (puesto que provocaría una sobretensión de ésta) y en su lugar será disipada en reóstatos, bajando pues la eficiencia energética del sistema.

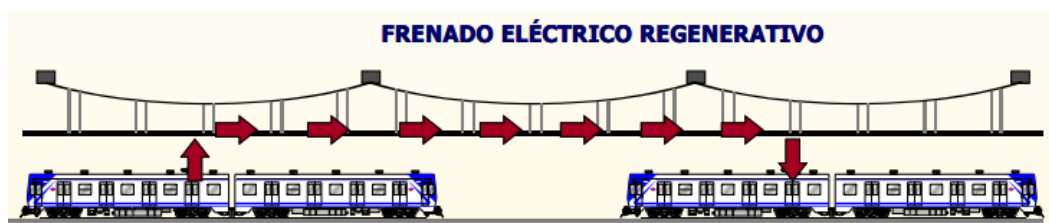


Figura 1: Aprovechamiento simultáneo de la energía de frenado [3]

Este problema podría solucionarse devolviendo energía a la red eléctrica desde la catenaria. Esto es posible en sistemas alimentados en AC, ya que los



transformadores permiten flujo en ambos sentidos. Sin embargo, en sistemas alimentados en DC esta solución es más complicada debido a que la mayoría de subestaciones instaladas cuentan con rectificadores (convertidores AC-DC) unidireccionales. Es posible (y en algunos casos se está llevando a cabo) instalar rectificadores bidireccionales, pero su coste es más elevado. Cabe destacar que la red ferroviaria convencional española está electrificada a 3kV DC y solamente las líneas de alta velocidad (LAV) están electrificadas en 25kV AC. En cuanto a líneas metropolitanas, el hecho de no estar interconectadas hace que se adopten soluciones más dispares: incluso dentro de una misma red de metro encontramos formas de electrificación diferentes según la línea. En el metro de Madrid, encontramos 600V DC en líneas previas a 1999, 1500V DC en líneas nuevas y 750V DC en líneas de metro ligero.

Para solventar el contratiempo del flujo unidireccional, se propone el empleo de sistemas acumuladores de energía (SAE); que permiten almacenar la energía “sobrante” regenerada por un tren que no puede ser consumida por otros trenes ni devuelta a la red eléctrica por dificultades técnicas. Esto permitiría aprovechar la práctica totalidad de la energía recuperada, aumentando la eficiencia. Con los SAE no solo aumenta la receptividad de energía, sino que se pueden dimensionar las subestaciones de tracción de manera más ajustada; ya que el SAE puede entregar los picos de potencia necesarios durante el arranque, suavizando el perfil de carga. Esto, además de reducir la inversión necesaria, produce un aumento de la eficiencia de las propias subestaciones.

Otra utilidad en la aplicación de un SAE en un sistema ferroviario es la de estabilizar el voltaje de la catenaria en los puntos más débiles de la red. De esta manera, se reducen las fluctuaciones del voltaje de la línea, tan perjudiciales para el rendimiento de los motores de CA que se emplean en la mayoría de sistemas ferroviarios.



1.1.3 TECNOLOGÍAS DE APROVECHAMIENTO DE ENERGÍA

A continuación se analizan las diferentes tecnologías empleadas para almacenar energía en los SAE ([7], [4]):

✓ Volantes de inercia:

También llamados “Flywheels”, se trata de ruedas o cilindros de radio grande y una masa importante que almacenan energía al rotar sobre su eje principal de inercia a elevadas velocidades angulares. En estos sistemas, la energía eléctrica recuperada se almacena en forma de energía cinética de rotación. Cuando se frena, la energía cinética del material rodante se transforma un aumento de la velocidad de rotación del volante de inercia. Análogamente, cuando se tracciona, la energía mecánica almacenada en el volante será empleada para acelerar el vehículo.

Este tipo de sistemas permiten almacenar gran cantidad de energía con respecto a su masa (alta densidad de energía) y tienen una larga vida media. Sin embargo, es muy complicado reducir las pérdidas mecánicas de rotación del volante hasta niveles aceptables. Presentan además problemas en cuanto a seguridad, autodescarga (en torno a 170 min) y precio. En cuanto a sus aspectos positivos, son reciclables y tienen una larga vida útil. Este tipo de sistema ha sido probado embarcado por *Alstom* en el tranvía de Rotterdam durante 18 meses [5]:



Figura 2: Sistema acumulador de energía *Alstom* basado en *flywheels*



✓ Almacenamiento de energía magnética por superconducción:

Se almacena la energía al inducirse un campo magnético cuando una intensidad de CC atraviesa una bobina superconductora (con $R_L \approx 0$). Estos SAE presentan una alta eficiencia y una respuesta extremadamente rápida. No obstante, una baja densidad de energía y un alto coste debido al mantenimiento del sistema de refrigeración, necesario para mantener la bobina en estado superconductor, dificultan la implementación de esta tecnología.

✓ Baterías:

Las baterías electroquímicas están compuestas por una o varias celdas con dos electrodos (ánodo y cátodo) y electrolitos que permiten el movimiento de iones entre ellos. Mediante las reacciones de tipo redox que se producen se puede almacenar energía química que se podrá transformar posteriormente en energía eléctrica. Al cargar la batería se produce oxidación en el electrodo positivo o ánodo y reducción en el negativo o cátodo, mientras que durante la descarga se produce lo contrario.

Las baterías están ampliamente probadas en multitud de campos, con densidades de energía bastante altas. Desgraciadamente, no soportan muchos ciclos de carga-descarga (los electrodos se degradan con las reacciones de oxidación) y son altamente contaminantes debido a los ácidos del electrolito, por lo que deben ser tratadas con especial atención. La profundidad de la descarga es limitada, así como su potencia. Esto hace que se usen a menudo como reserva para modos degradados. Tranvías como el de Niza embarcan estos tipos de acumuladores, con una autonomía de en torno a 3km [5].

✓ Supercondensadores o Ultracapacidades:

Los supercondensadores (SC) electroquímicos de doble capa (ECDL) tienen el mismo principio de funcionamiento que los condensadores comunes. La

diferencia entre ambos radica en la capacitancia, siendo la de los supercondensadores más de 10.000 veces mayor llegando a alcanzar valores de miles de faradios. Ello se logra aumentando la superficie efectiva y disminuyendo la separación entre los conductores, manteniendo la constante dieléctrica del material aislante.

La clave de su funcionamiento radica en la utilización de electrodos hechos de materiales con elevada porosidad (generalmente de carbono) sumergidos en un electrolito. Esta elevada porosidad permite que la superficie efectiva de los electrodos se vea altamente incrementada. Además, al aplicar una diferencia de potencial entre los electrodos, se crea una distribución de cargas de signo opuesto formando la doble capa eléctrica que da nombre a esta tecnología. De esta manera se consigue que distancia entre cargas de signo contrario sea de tamaño molecular.

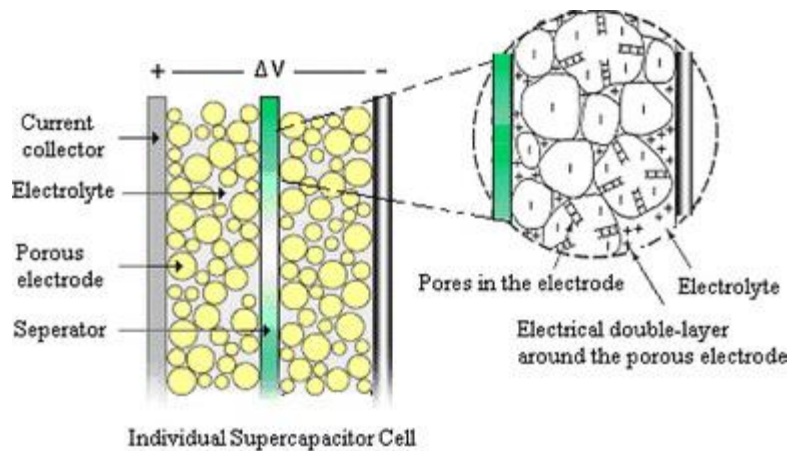


Figura 3: Supercondensador[6]

En cuanto a la ventajas de estos dispositivos cabe destacar su elevada densidad de potencia (permiten ciclos de carga/descarga de pocos segundos) y una considerable densidad de energía, especialmente si se comparan con los condensadores tradicionales y las baterías. Estas características les hacen idóneos para aplicaciones de SAE en los que se necesita almacenar gran

cantidad de energía en pocos segundos, como es el caso de los sistemas ferroviarios.

Otras ventajas tales podrían ser su alta eficiencia (pueden llegar a devolver hasta el 98% de la energía que se les aporta), capacidad de soportar numerosos ciclos de carga/descarga (500.000 ciclos, mientras que las baterías apenas llegan a los 5.000), baja resistencia serie y facilidad para estimar la carga midiendo el voltaje entre los terminales.

Su principal inconveniente es que las baterías presentan mayores densidades de energía (en torno a 10 veces más). La solución actual pasa por conectar varios módulos de SC en paralelo de manera que aumente su capacitancia. Sin embargo, la tecnología de los SC es relativamente reciente y se espera que a medio plazo estos dispositivos alcancen valores de densidad de energía próximos a las baterías. Otro inconveniente es el voltaje de las celdas que forman los SC. Este problema se resuelve fácilmente conectando varias celdas en serie tal y como se especifica en la mayoría de módulos que se encuentran actualmente en el mercado.

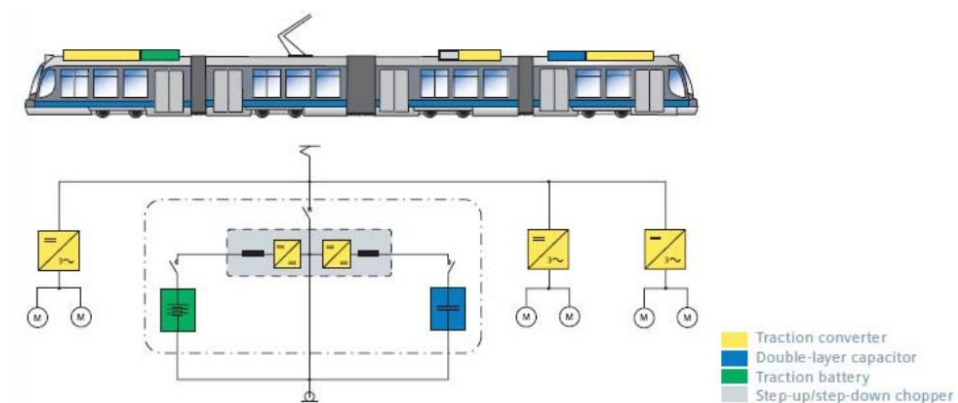


Figura 4: Sistema HES de Siemens [5].

La mayoría de grandes fabricantes está apostando por esta tecnología, como Alstom con el sistema *Steem*, Bombardier con *Mitrac* o CAF con *ACR*, que

actualmente funciona en Sevilla y está siendo implantado en Granada. Siemens posee el sistema *HES*, que combina baterías para equipos auxiliares y supercondensadores para altas necesidades de potencia (tracción) [5].

La *Figura 5* establece una comparativa entre las distintas tecnologías tratadas atendiendo a los criterios de densidad de energía y de potencia:

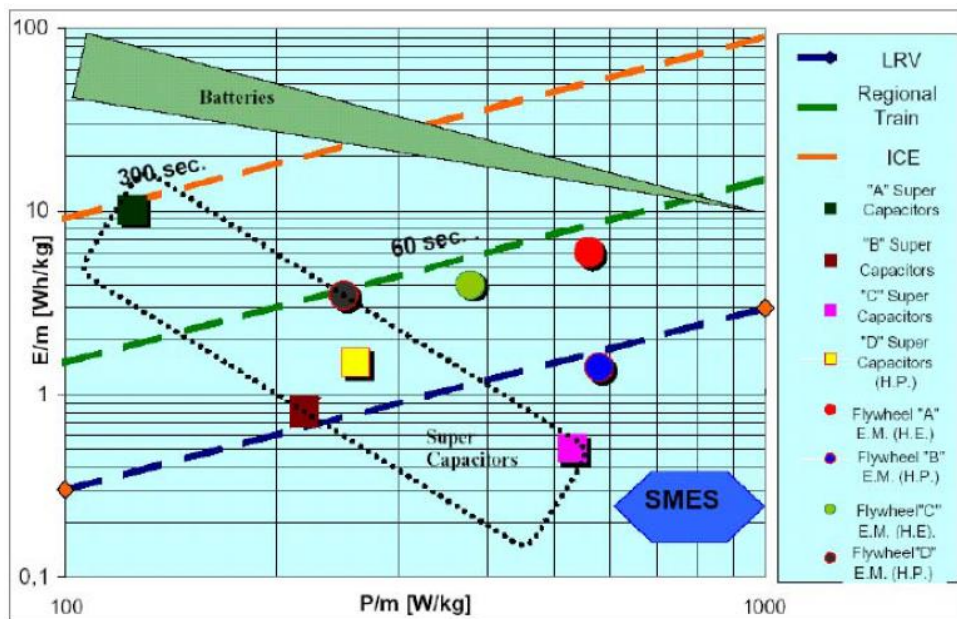


Figura 5: Comparativa de formas de acumulación.[7]

Una segunda clasificación de los SAE se basa en el lugar en el que se ubican:

- ✓ Sistemas embarcados o “On-Board Energy Storage Systems”:

El SAE se encuentra en el propio tren. Tienen el inconveniente de que toda la masa y el volumen del SAE se transportan dentro de éste. Sin embargo, presenta ventajas como la reducción de las pérdidas en transportar la energía hasta el SAE o el poder alimentar los servicios auxiliares del tren desde el acumulador. Además, gracias a llevar el SAE dentro del tren se puede llegar a circular por zonas desprovistas de catenaria, lo cual se está llevando a cabo en los centros



históricos de algunas ciudades. Incluso en algunas líneas más innovadoras no se coloca catenaria y se sustituye por dispositivos que cargan el acumulador durante las paradas intermedias.

✓ Sistemas no embarcados o “Stationary/Wayside Energy Storage Systems”:

El SAE se encuentra a lo largo de la catenaria en los puntos más débiles o en las propias subestaciones de tracción. En este caso la energía del SAE fluye entre distintos trenes, lo cual resulta más eficiente. El peso y el volumen del SAE no resultan un problema, pero se producen pérdidas en el transporte de la energía entre los trenes y el SAE.

En lo que se refiere a los diferentes métodos de control, podemos hablar de controles analógicos y digitales. En un control analógico (el empleado en el prototipo existente), los diferentes módulos del circuito de pequeña señal se implementan de manera física. Se trata de un tipo de control rápido y visual, pero en algunos aspectos poco flexible y engorroso.

Por otro lado, encontramos controles de tipo digital, que permiten una flexibilidad mucho mayor para realizar cambios en la estrategia de control, además de todas las posibilidades que la conexión con un ordenador ofrece. Un DSP (*digital signal processor*) es un sistema basado en un microprocesador que posee un conjunto de instrucciones, un hardware y un software optimizados para aplicaciones que requieran operaciones numéricas a muy alta velocidad. Debido a esto, es especialmente útil para procesar señales analógicas en tiempo real, recibiendo muestras desde un conversor analógico-digital (ADC). También efectúa la operación inversa mediante conversores digital-analógicos (DCA). En el curso de este proyecto serán de especial utilidad los generadores de señales PWM (*pulse-width modulation*).



1.2 MOTIVACIÓN DEL PROYECTO

Debido a las ventajas de implantar un sistema almacenador de energía en aquellas instalaciones ferroviarias en las que no se puede haber un flujo bidireccional con la red de la compañía eléctrica, el Instituto de Investigaciones Tecnológicas de la Universidad Pontificia de Comillas (IIT) se encuentra en la actualidad realizando distintas investigaciones en este campo con el objetivo de aumentar la eficiencia energética de los sistemas ferroviarios. De aquí surgió la necesidad de disponer de un prototipo con el que realizar distintos ensayos.

Un prototipo para controlar la carga y descarga de un condensador perfectamente funcional [8] fue construido en un proyecto anterior, en el que el circuito de potencia es controlado de manera analógica. De aquí surge la necesidad de mejorar el prototipo dotándolo de un control digital, que permita avanzar en el diseño del mismo, haciendo su control más flexible y fiable.

La selección del DSP de Texas Instruments es debida, principalmente, a la posibilidad de integración con el entorno de *Matlab* y *Simulink*, que posee drivers para el pack del que se dispone, lo cual facilitará el desarrollo del proyecto. Se trata, además, de un pack que cuenta con entradas ADC y salidas PWM específicas, que nos serán de gran utilidad.

Podrían considerarse otras opciones para implementar el control digital, como la plataforma *Zynq*, que es sin embargo mucho más compleja que la adoptada. Cuenta con más de un microprocesador e incorpora, además del DSP, arquitectura de tipo ARM. La adquisición de las entradas y el gobierno de los PWM se realizan a través de un FPGA. Esta opción es desechada por la complejidad innecesaria que añadiría al proyecto, así como la posible indisponibilidad de ciertas herramientas de desarrollo.



La elección de realizar el SAE a partir de un módulo de supercondensadores se realizó en el proyecto anterior, teniendo en cuenta las características detalladas de las distintas alternativas, principalmente su facilidad de instalación, mantenimiento y sus elevadas condiciones de seguridad.

Este prototipo podrá formar parte en un futuro de un sistema más complejo, donde se integre con otros prototipos que modelen la alimentación y las cargas del sistema (trenes traccionando o regenerando).

1.3 OBJETIVOS

El principal objetivo y fin último de este proyecto será la obtención del prototipo a escala de un sistema almacenador de energía, que será controlado de forma digital con un DSP.

Para cumplir con este objetivo principal se deberán cumplir a su vez los siguientes objetivos parciales:

- ✓ Obtener un control digital flexible y fiable.
- ✓ Adaptación del hardware para adquisición de señales y comunicación con el microprocesador.
- ✓ Determinar el rendimiento del sistema.
- ✓ Analizar las prestaciones en ciclos de carga y descarga realistas.

1.4 METODOLOGÍA

El método a seguir para alcanzar dichos objetivos se desglosa en una serie de tareas, no necesariamente consecutivas ni independientes entre sí:

1. Control del prototipo mediante DSP:
 - 1.1. Conexión de señales de entrada (medidas). Filtrado. Interfaz con el usuario.
 - 1.2. Conexión de señales de salida (PWM para el gobierno del prototipo).



- 1.3. Máquina de estados (gobierno de los modos de funcionamiento del prototipo).
- 1.4. Implementación digital del control.
2. Diseño del PCB.
3. Puesta en marcha del equipo. Pruebas.
4. Análisis del funcionamiento real y posibles mejoras.
5. Redacción de la Memoria del Proyecto.

A continuación, se detalla un cronograma en el que se especifican los plazos en los que se espera realizar estas tareas:

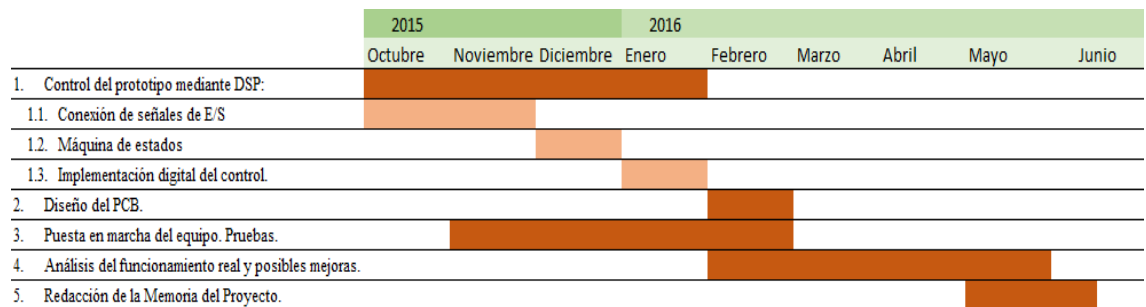


Figura 6: Cronograma de tareas

1.5 RECURSOS

Los recursos que se emplearon en el desarrollo de este proyecto se detallan a continuación:

- ✓ Ordenador personal para realizar las labores de búsqueda, simulación, desarrollo de los PCB...
- ✓ Software Matlab-Simulink
- ✓ Software Code Composer Studio, IDE de Texas Instruments para el DSP.
- ✓ Pack TMDSDOCK28335 de Texas Instruments para la implementación del DSP.
- ✓ Kicad, software de diseño de PCBs.
- ✓ Software LTSPICE para simulaciones de circuitos eléctricos/electrónicos.
- ✓ Laboratorio de I+D de la Universidad Pontificia Comillas (ICAI)

Capítulo 2 DESCRIPCIÓN DEL CONVERTIDOR

2.1 TOPOLOGÍA

El prototipo de convertidor DC-DC del que se dispone está formado por dos semipuentes de IGBTs independientes (*half-bridge*).

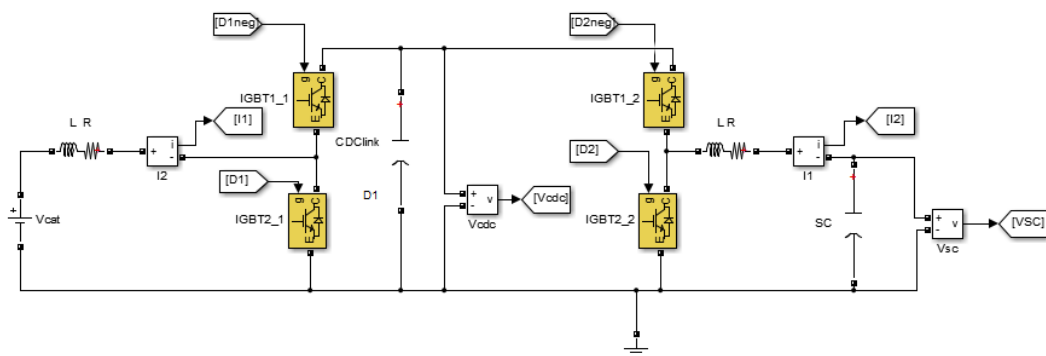


Figura 7: configuración en dos semipuentes independientes

En este esquema, V_{cat} correspondería a la tensión de la catenaria. Esta tensión en nuestro prototipo a escala será de 60V. Nótese que en la red convencional española, la tensión es de 3kV DC.

El prototipo dispone también de dos bobinas iguales a la entrada y a la salida del convertidor DC-DC, que tienen una inductancia de $L=1$ mH y $R=0.5$ Ohm. SC se corresponde con el supercondensador que almacenará la energía, con una capacidad de $C_{sc}=26$ F.

Por último, y en este aspecto reside la gran ventaja de esta configuración, se dispone de un condensador DCLink de 1mF entre los dos semipuentes independientes. Esto



permite independizar catenaria y supercondensador, para regular más fácilmente el flujo de potencia entre ellos. La configuración existente permite asimismo cargar el supercondensador desde una tensión superior a la de catenaria.

2.2 CONTROLES

El prototipo se controlará a través de los factores de servicio D1 y D2 de las señales PWM (*pulse width modulation*) que gobernarán el disparo de los IGBTs que conforman los semipuentes. El primer semipuerto estará gobernado por la señal D1 y su complementaria, mientras que el segundo semipuerto estará gobernado por una señal D2 y su complementaria.

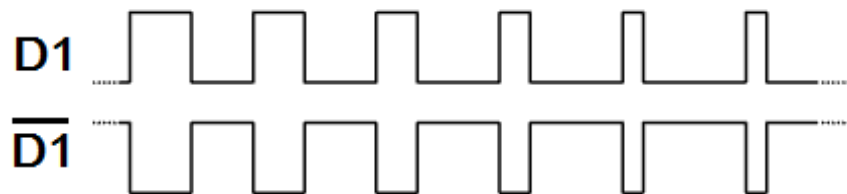


Figura 8: señal PWM y su complementaria o negada

Para el correcto funcionamiento de los semipuentes, evitando errores en el disparo que den lugar a cortocircuitos, es vital que cada señal y su negada estén perfectamente sincronizadas, de manera que cuando en el instante exacto en que en D1 se produce un flanco ascendente, en D1neg se produzca uno descendente y viceversa. Lo mismo aplica a la señal D2 y su negada. Nótese que, aunque es necesario que las dos señales que gobiernan un semipuerto estén sincronizadas, no hace falta ningún tipo de sincronización entre los disparos de los dos semipuentes. Esto se debe a que se trata de dos *half-bridge* independientes, y no de un *full-bridge*.

Téngase en cuenta también que la sincronización ha de ser lo más perfecta posible, ya que de otra manera el driver empleado (ver *Datasheet Driver Semipuentes*) entra



en modo “ERROR” para proteger al sistema de cortocircuitos, modo del que no sale hasta que no se pongan las dos señales PWM a 0, lo que en la práctica interrumpe la conmutación del S.A.E. Como medida adicional de seguridad, el driver retrasa un cierto tiempo, el llamado Dead Time (en torno a 10 microsegundos), el flanco positivo de las señales PWM. Esto aparece representado en la *Figura 9*.

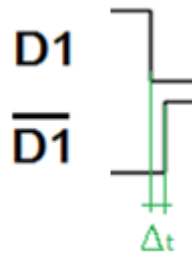


Figura 9: Dead Time

El sistema contará con tres controles, uno que regule el factor de servicio del primer semipunto (D1) en función de la referencia de corriente de catenaria ($i1^*$) introducida de manera externa, otro que genere una referencia interna de corriente ($i2^*$) al supercondensador tratando de mantener la tensión del condensador intermedio (V_{cdlink}) constante, y un último control que regule el factor de servicio del segundo semipunto (D2) en función de esta referencia interna de corriente $i2^*$.

En resumen:

Tabla 1: resumen de controles

Control	Misión	Referencia	Medida	Salida
1	Seguir referencia externa $i1^*$	$i1^*$	$i1$	D1
2	Mantener V_{cdlink} constante	V_{cdc} nominal	V_{cdc}	$i2^*$
3	Seguir referencia interna $i2^*$	$i2^*$	$i2$	D2



Aprovechando la versatilidad que ofrece el uso de un control digital por DSP, se realizará un control por representación de estado. Como se verá más adelante (ver *Capítulo 4*), este tipo de control es especialmente interesante puesto que permite compensar retardos en el control y en el filtrado, notablemente si la acción del filtro en la banda de paso equivale a un múltiplo de retardo puro, como es el caso de los filtros de Bessel que posteriormente se emplearán.

2.3 MODOS DE FUNCIONAMIENTO

El prototipo dispondrá de tres modos de funcionamiento, que serán implementados en el programa del DSP a través de una máquina de estados creada en *Simulink* con *Stateflow*, que se detalla en el apartado 4.3.2. Estos modos son los siguientes:

2.3.1 ARRANQUE

Su objetivo es llevar el prototipo a sus condiciones normales de funcionamiento, es decir, con el condensador intermedio C_{dlink} y el supercondensador SC en torno a su tensión nominal (80 y 25V, respectivamente). Para llegar a estas condiciones, se seguirán una serie de etapas que se corresponderán con los estados implementados en *Stateflow*.

Con el prototipo en modo *Standby*, se activará la carga a través de un interruptor. En una primera etapa, se procederá a cargar directamente el condensador intermedio a través de un relé llamado Relé de Arranque, mientras que el llamado Relé de Catenaria permanecerá abierto. Esto se hace indispensable debido a que en un principio la tensión del condensador intermedio es muy baja. Si se aplicara la tensión de catenaria ($V_{cat}=60V$) a una resistencia tan baja como la de la bobina (del

orden de 0.5Ω), la intensidad sería del orden de 120 Amperios, cuando la corriente nominal de estas bobinas es de tan solo 7.8 Amperios.

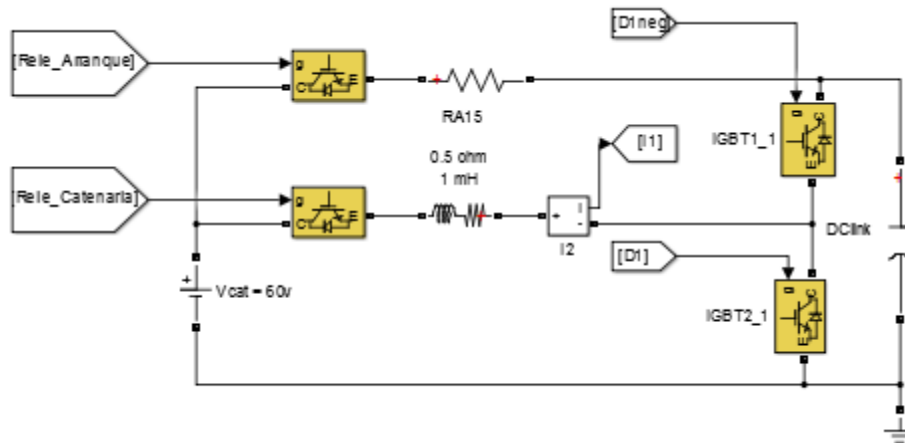


Figura 10: esquema de relés de arranque y catenaria

Nótese que en esta primera etapa solo se carga el condensador intermedio, permaneciendo los controles que permiten cargar el supercondensador (el segundo semipunto) desactivados. También lo estarán los del primer semipunto, de manera que la carga se realizará de manera “directa” por el camino superior.

Al cargar *Cdlink* a través de una resistencia de arranque de 15Ω , la intensidad de arranque será del orden de 4 Amperios, mucho menor que los 120 Amperios obtenidos anteriormente y asumible por los dos condensadores electrolíticos de aluminio que componen *Cdlink*.

Cuando *Vcdlink* alcanza los 56V, cercanos a los 60V de la catenaria, se abre el relé de arranque, que ya habrá cumplido su cometido y se cierra el de catenaria, que será el utilizado para el resto del ensayo. Esto puede hacerse debido a que con una diferencia de potencial de 4V ya no es peligroso cargar *Cdlink* a través de una resistencia tan baja. Es entonces cuando termina de cargarse *Cdlink* hasta los 60V a través del diodo del IGBT superior. Al alcanzar la tensión de catenaria, se activan



los controles del primer semipunto, que seguirán una referencia de corriente $i1^*$ dada por un control proporcional de $Vdlink$.

Cuando alcance los 75V se considerará $Cdlink$ ya cargado y ha de empezar a cargarse el supercondensador. En ese momento se activan los controles del segundo semipunto, que seguirán una consigna de corriente $i2^*$ dada por un control proporcional de Vsc . mientras que $i1^*$ continúa siendo dada por un control proporcional de $Vdlink$.

De esta manera, es la tensión del supercondensador la que guía el sistema: para cargarse, ha de recibir potencia del condensador intermedio $Cdlink$, que se descargaría de no contar con un control proporcional que le inyecta corriente desde la catenaria.

La carga del supercondensador será mucho más lenta que la del condensador intermedio debido a su gran capacidad. Al alcanzar los 25V, se considera ya que el prototipo está en condiciones normales de funcionamiento y se pasa automáticamente al modo normal.

La evolución deseada de las distintas magnitudes del prototipo durante el periodo de arranque puede observarse en el apartado 5.1.

2.3.2 NORMAL

Se trata de la situación habitual de funcionamiento del prototipo, con los tres controles activos. En el modo normal, se seguirá la referencia externa de corriente



de catenaria (iI^*). No obstante, no en todos los casos interesa seguir esa referencia de corriente:

- Cuando la tensión del supercondensador baje por debajo de 9V, sólo se seguirán referencias positivas, para volver a cargar el supercondensador. Cuando vuelva a alcanzar 11V, se vuelve a seguir cualquier referencia. Se ha diseñado la máquina de estados con este funcionamiento a modo histéresis que permite al sistema volver a un límite aceptable de tensión. Esto se debe a que funcionar por debajo del 30% de su tensión nominal daña el supercondensador.
- Cuando la tensión del supercondensador llegue a 31.5V, cerca de su tensión máxima de 32V, sólo se seguirán referencias negativas. Volverán a seguirse referencias positivas cuando la tensión haya bajado hasta los 29.5V.

Este funcionamiento de este modo aparece detallado en 5.2

2.3.3 DESCARGA

El modo de descarga es imprescindible para desconectar el prototipo de la catenaria, para ponerlo fuera de servicio por motivos que pueden ser diversos (mantenimiento, etc). Para realizar la parada, se dispondrá de un relé de descarga del supercondensador y de un IGBT con su driver correspondiente para descargar el condensador intermedio.

Se entra en este modo activando un interruptor conectado al DSP (al igual que en el arranque), siendo un modo predominante por motivos de seguridad. Esto quiere decir que no importa en qué modo se esté, ni la posición del interruptor de arranque: si se activa la parada, el prototipo entrará en modo descarga.

En este modo, los controles de ambos semipuentes están desactivados, mientras que el relé y el IGBT de descarga de SC y $Cdclink$, respectivamente, estarán activos. El esquema completo, con los relés de arranque y catenaria anteriormente descritos, quedaría del siguiente modo:

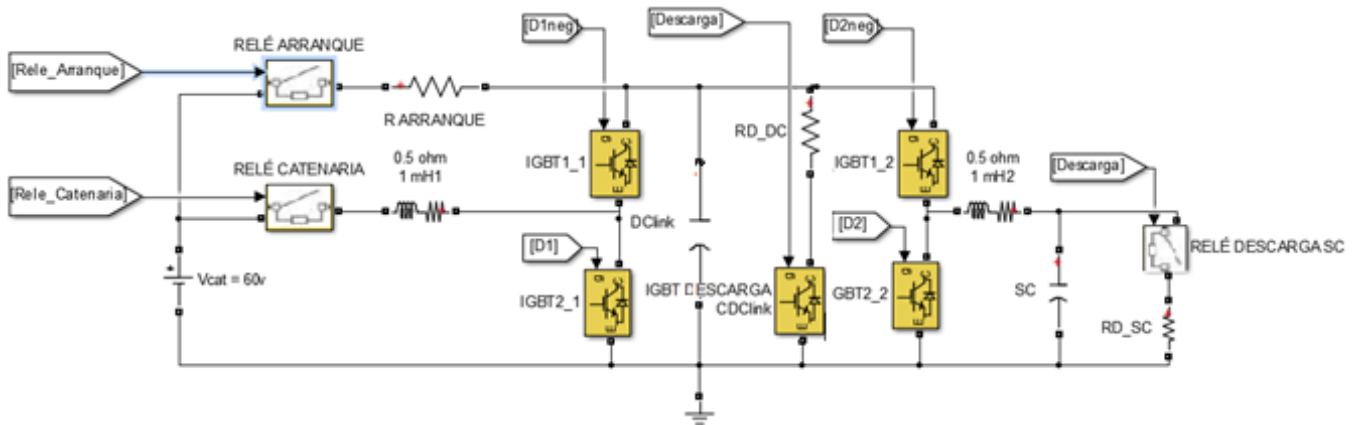


Figura 11: Esquema completo con relés e IGBTs de descarga

El funcionamiento de este modo queda descrito y explicado con modelos de simulación en el apartado en más profundidad en el apartado 5.3.



Capítulo 3 DISEÑO DEL HARDWARE

3.1 ENTRADAS DEL DSP

Tabla 2: Entradas del DSP

Entrada	Tipo	Pin empleado	Origen
$i1^*$	ADC	A0	Externo
$i1f$	ADC	A1	Placa adaptación entradas
$i2f$	ADC	A3	Placa adaptación entradas
$Vdlinkf$	ADC	A5	Placa adaptación entradas
$Vscf$	ADC	A7	Placa adaptación entradas
Switch Arranque	GPIO(I)	48	Placa relés y switches
Switch Parada	GPIO(I)	49	Placa relés y switches

El DSP necesita para ejecutar su programa dos tipos de input diferentes:

- Por un lado ha de saber el valor de la referencia externa de corriente de catenaria (aunque también existirá la posibilidad de introducirla en el programa del DSP directamente), además de los valores de las magnitudes más importantes del prototipo para ejecutar el cálculo del control ($i1$, $i2$, $Vdlink$ y Vsc). Estas cinco magnitudes las adquirirá a través de los módulos ADC (conversor analógico digital) de los que dispone, y las muestreará dándoles un valor entero entre 0 y 4095 (correspondientes a los niveles de 0 y 3V) ya que se trata de un conversor de 12 bits.

- Por otro lado, necesita conocer el estado de los interruptores de arranque/parada para el correcto funcionamiento de la máquina de estados. Al ser magnitudes binarias, no es necesario el ADC y se emplearán los pines llamados GPIO (*general purpose input/output*), en concreto el bloque de tipo *input*.

3.1.1 CIRCUITOS DE ADAPTACIÓN

La referencia de corriente de catenaria iI^* se introduce directamente entre 0 y 3V con un generador de señal (o se incluirá dentro del programa del DSP), pero $i1$, $i2$, $Vdlink$ y Vsc han de ser adaptadas a este rango de tensiones y correctamente filtradas antes de ser muestreadas.

3.1.1.1 Adaptación de corrientes

Es necesario adaptar las corrientes $i1$ e $i2$, que típicamente estarán entre -7.8 y 7.8 Amperios (corriente máxima por las bobinas). Como esta corriente máxima puede sobrepasarse en momentos puntuales, se adaptará un rango de -10 a 10 Amperios a una entrada al DSP de 0-3V. El circuito de adaptación será el siguiente, igual para ambas.

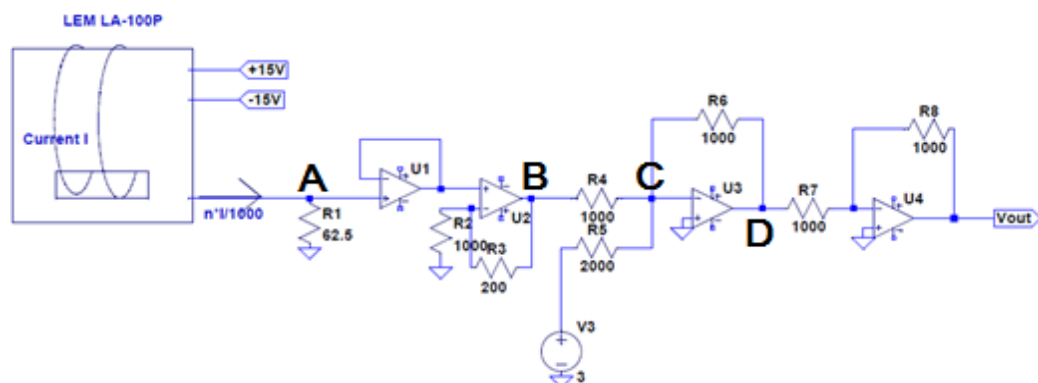


Figura 12: Circuito de adaptación de corrientes



En el *Datasheet Sonda LEM Corriente* se nos indica que el factor de conversión es de $Kn=1:1000$. Para aumentar la resolución, se pasan dos vueltas de cable, de manera que en el secundario de la sonda tendremos:

$$I_S = 2 * \frac{I_P}{1000}$$

De donde se deduce que:

$$I_S \in \left(2 \cdot \frac{-10}{1000}, 2 \cdot \frac{10}{1000} \right) = (-20, 20) \text{ mA}$$

$$V_A = R_M \cdot I_S \in 62.5\Omega \cdot (-20, 20)\text{mA} = (-1.25, 1.25)\text{V}$$

A la salida del primer operacional, que actúa de buffer, habrá la misma tensión V_A :

$$I_{R_2} = \frac{V_A}{R_2} \in (-1.25, 1.25)\text{mA}$$

Por lo que:

$$V_B = I_{R_2} * (R_2 + R_3) \in (-1.25, 1.25)\text{mA} \cdot 1.5\text{k}\Omega = (-1.5, 1.5)\text{V}$$

En la siguiente etapa se incluye un circuito sumador:

$$I_{R_6} = \frac{V_B}{R_4} + \frac{3V}{R_5} \in \left(\frac{-1.5}{1\text{k}} + \frac{3}{2\text{k}}, \frac{1.5}{1\text{k}} + \frac{3}{2\text{k}} \right) = (0, 3)\text{mA}$$

De lo que resulta:

$$V_D = -I_{R_6} * R_6 \in (0, -3)\text{V}$$

Por lo que se hace necesaria una última etapa inversora que aporta el rango de salida final deseado. Con $R_8 = R_7$:

$$V_{OUT} = -I_{R_8} * R_8 = -\frac{V_D}{R_7} * R_8 \in (0, 3)\text{V}$$

En el *Datasheet Sonda LEM Corriente* puede verse que, para un rango de medida de corriente de ± 100 Amperios, con la sonda alimentada a $\pm 15\text{V}$, la resistencia de medida R_m ha de estar entre 40 y 95 Ω , con que la escogida de 62.5 Ω es adecuada.

Este circuito de adaptación fue validado con el programa de simulación *LTSpice* previamente a la fabricación de las placas de circuito impreso, obteniendo para una intensidad senoidal entre -10 Amperios y 10 Amperios los siguientes resultados, que se corresponden con lo calculado:

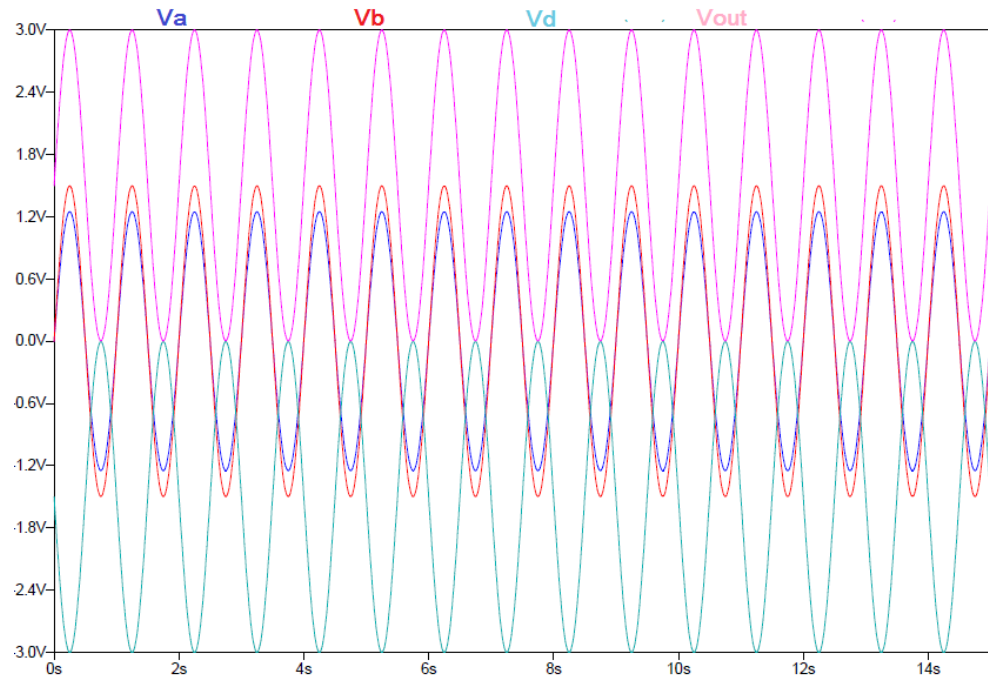


Figura 13: Simulación del circuito de adaptación de corrientes con *LTSpice*

Pueden consultarse las características del resto de componentes de este circuito en *Datasheet OP-AMP* y *Datasheet Referencia de Tensión* (para la etapa sumadora se emplea un circuito integrado que da una referencia constante de 3V).

3.1.1.2 Adaptación de tensiones

Es necesario adaptar las corrientes V_{cdc} y V_{sc} , que típicamente estarán entre 0 y 100V y entre 0 y 32V, respectivamente. Este rango de tensiones se adaptará a una entrada al DSP entre 0 y 3V. El circuito de adaptación será el siguiente:

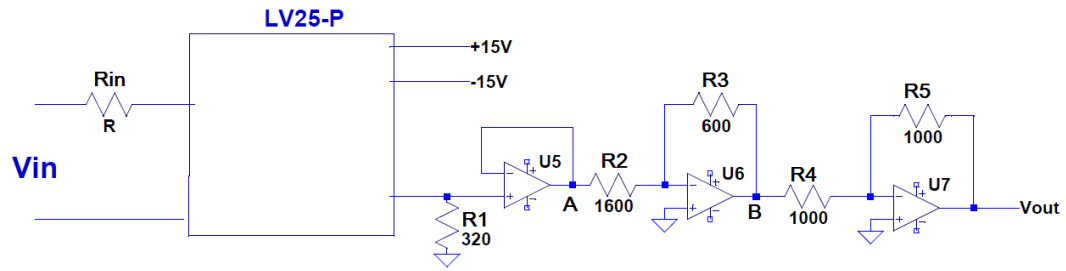


Figura 14: Circuito de adaptación de tensiones

En el *Datasheet Sonda LEM Tensión* se indica que la corriente nominal del primario de la sonda es de $I_p=10mA$, por lo que la resistencia de entrada R_{in} será distinta según la tensión que se esté adaptando:

$$R_{inV_{cdc}} = \frac{100V}{10mA} = 10k\Omega$$

$$R_{inV_{sc}} = \frac{32V}{10mA} = 3.2k\Omega$$

También se especifica que el factor de conversión es de $K=2500:1000$, por lo que:

$$V_A = I_S * R_1 = 2.5 \cdot I_P * R_1 = 2.5 \cdot 10mA * 320\Omega = 8V$$

$$V_B = -V_A \cdot \frac{R_3}{R_2} = -8 * \frac{600}{1600} = -3V$$

Con lo que, con una última etapa inversora, con $R_4 = R_5$, se alcanza el rango deseado de (0, 3V) para la entrada del microprocesador.

También en el *Datasheet Sonda LEM Tensión* puede observarse que, para una sonda alimentada a $\pm 15V$ y una corriente nominal de 10mA, la resistencia de medida ha de estar entre 100 y 350 Ω , por lo que el $R1=320\Omega$ empleado es adecuado.

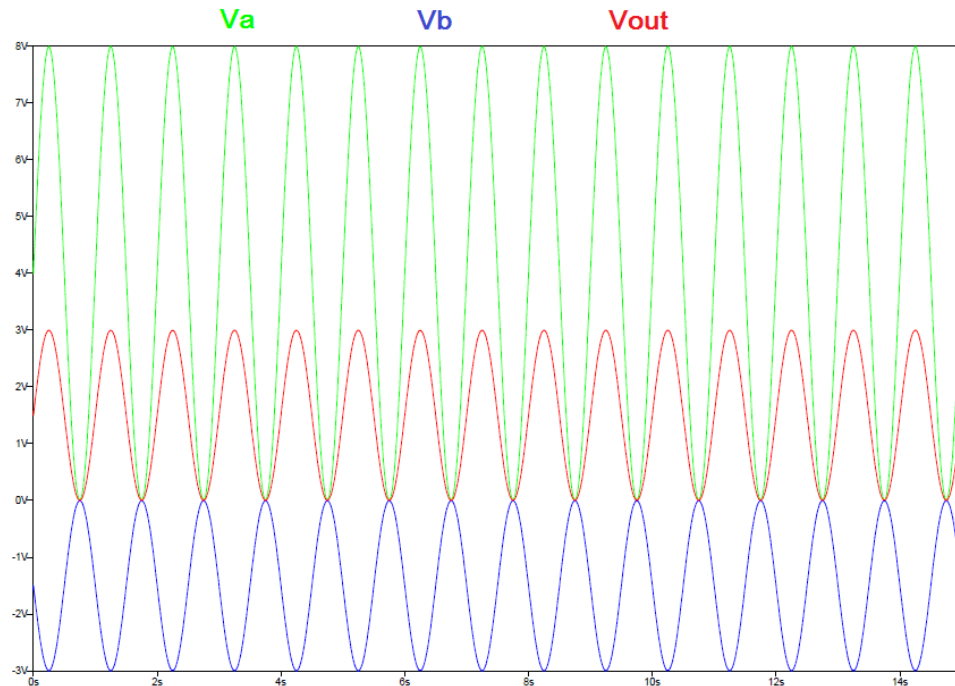


Figura 15: Simulación del circuito de adaptación de tensiones con *LTSpice*

Análogamente a la adaptación de corrientes, la simulación con *LTSpice* del circuito de adaptación, introduciendo unas tensiones V_{dc} y V_{sc} senoidales entre 0 y su valor máximo, validó los cálculos de cara a la fabricación de la placa de circuito impreso. Pueden consultarse las características de los amplificadores operacionales de este circuito en *Datasheet OP-AMP*.

3.1.2 FILTRADO

Es necesario filtrar las medidas que muestreará el DSP, para evitar tanto el aliasing que la señal se distorsione por ruido. En un prototipo como este, con presencia de IGBTs y señales PWM, es frecuente que se produzca ruido en altas frecuencias que interesa eliminar.

El tipo de filtro elegido es el filtro de Bessel. Como se verá más adelante, el uso de este filtro es de especial interés puesto que su efecto en la banda pasante equivale a un retardo puro (de un período de muestreo), que puede compensarse con una representación de estado adecuada, como la empleada en los controles de este prototipo. El componente empleado es el *LTC1065* (ver *Datasheet Bessel*), con el circuito siguiente:

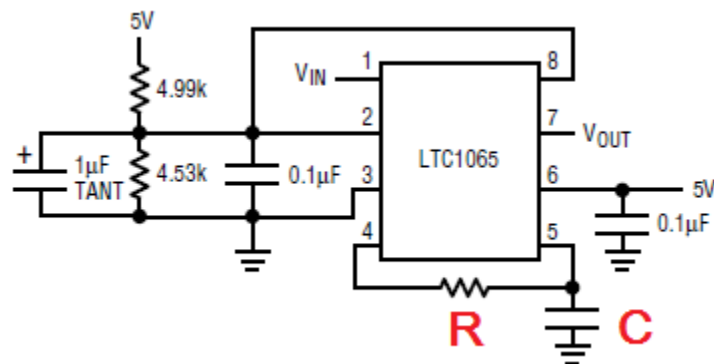


Figura 16: Circuito del filtro de Bessel

$$\text{Donde } f_{cutoff} = \frac{f_{osc}}{100} \text{ y } f_{osc} = \frac{1}{RC}.$$

El filtro de Bessel es un tipo de filtro lineal analógico que conserva la forma de onda en la banda de paso de la señal filtrada gracias a un retardo de fase plano en dicha banda. Se basa en las llamadas funciones de Bessel, desarrolladas por el matemático alemán Friedrich Bessel, adaptadas por W.E. Thomson al diseño de filtros [9].

Para analizar los retardos de distintos filtros de Bessel se creó en Matlab el siguiente modelo, con filtros con frecuencias de corte entre 1/10 y 1/4 de la frecuencia de muestreo. Las funciones de transferencia de los distintos filtros se obtuvieron con el código de *Matlab* mostrado en el apartado *Código fuente pruebas Bessel*.

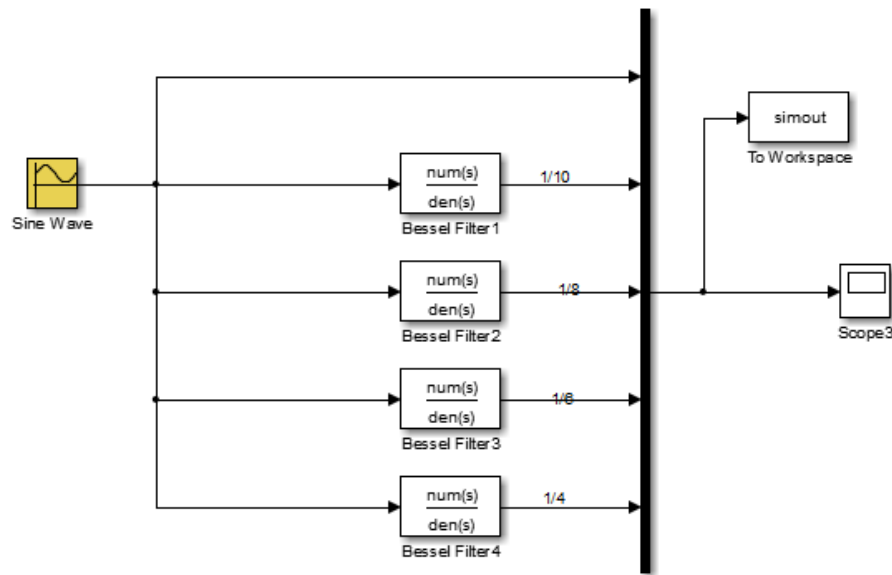


Figura 17: Modelo *SIMULINK* de pruebas de filtros de Bessel

Para interpretar el código fuente es necesario tener en cuenta que la función de *Matlab* recibe como argumento una ω que no es la pulsación de corte sino aquella a partir de la cual el retardo deja de ser puro. El cociente entre ambas frecuencias para un filtro Bessel de orden 4 es de 3, como se indica en la siguiente figura [9]:

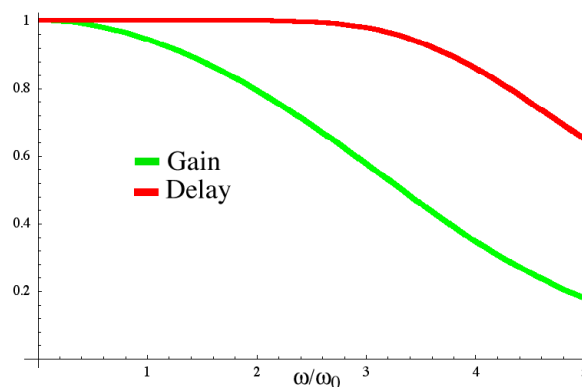


Figura 18: Características de frecuencias de corte y de retardo de grupo de un filtro de Bessel de orden 4



Como resultado de los ensayos en *Matlab*, se obtuvo una respuesta a la onda senoidal como la que sigue:

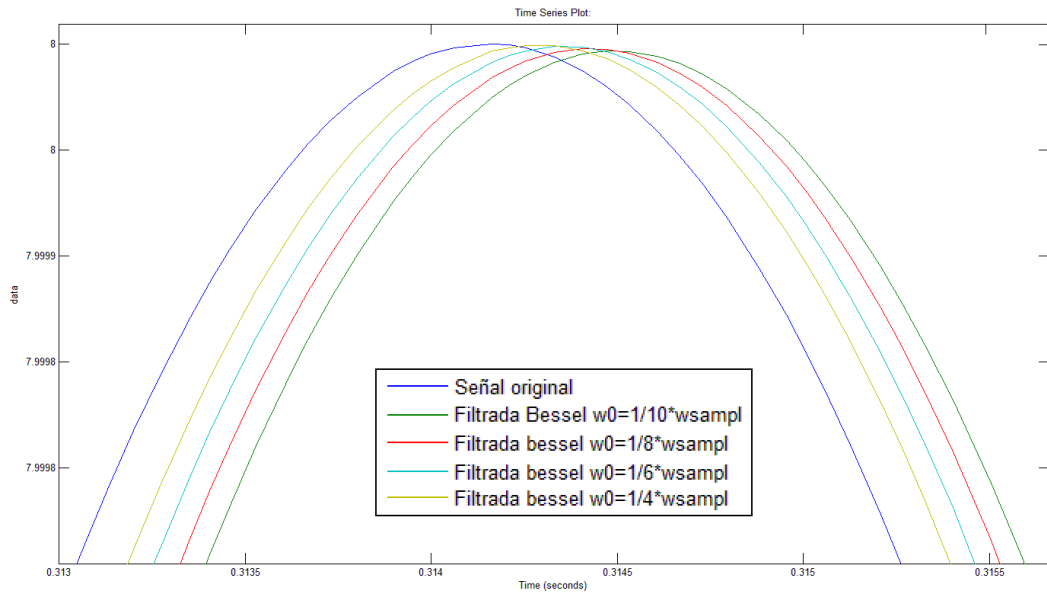


Figura 19: Retardo de los distintos filtros de Bessel analizados

Para la estrategia de muestreo y conmutación que se desarrollará posteriormente, en la que el período de muestreo es de 0.2ms, el filtro de Bessel habría de tener un retardo equivalente. De todos los filtros analizados, el que más se aproxima a esta cifra tiene una frecuencia de corte de 1/6 de la de muestreo (en azul cian en la *Figura 19*). Por lo tanto:

$$f_{osc} = 100 \cdot f_0 = 100 \cdot \frac{f_{sampl}}{6} = 100 \cdot \frac{5kHz}{6} = 83.3kHz$$

$$RC = \frac{1}{f_{osc}} = 0.012 \cdot 10^{-3}$$

Esta relación se cumpliría con, por ejemplo, los siguientes valores:

$$R = 12k\Omega$$

$$C = 1nF$$



Que serán empleados para el filtrado de las 4 señales descritas (i_1 , i_2 , $Vdclink$, Vsc) posteriormente a su adaptación.

Pueden consultarse las características técnicas del componente empleado en *Datasheet Bessel*.

3.1.3 INTERRUPTORES DE ARRANQUE Y PARADA

En la placa llamada “relés y switches” se incluyen dos interruptores SPDT (*single pole, double throw*). Uno sirve para arrancar el prototipo y otro para la descarga. La descarga, como se indicó anteriormente, es predominante, de modo que no importa el estado de la máquina de estados en que se encuentre el programa, ni el valor de cualquier otra variable del modelo: si se activa la descarga, el prototipo entrará automáticamente en modo parada. Obviamente esta decisión fue tomada por motivos de seguridad.

Se decidió no incluir un interruptor de modo normal, ya que se considera que al cargarse ambos condensadores a niveles aceptables, debe realizarse el paso a modo normal de manera automática. Posteriormente, con el fin de aumentar la seguridad en las pruebas, se decidió introducir estados intermedios de espera, para salir de los cuales hay que actuar sobre el *switch* de arranque.

Esta característica puede eliminarse con el prototipo ya funcionando, y hacer el cambio de modo automático. Los interruptores conviven en la misma placa con los relés de arranque, catenaria y descarga, así como el circuito de descarga de $Cdclink$ con un IGBT, su driver y el circuito correspondiente. El esquema de interruptores es el siguiente:

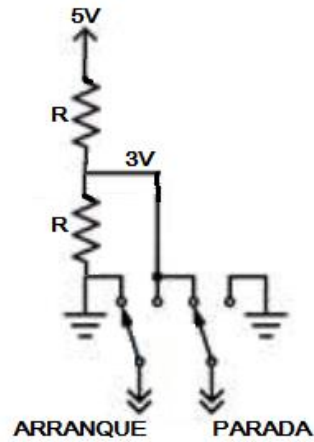


Figura 20: Esquema de interruptores de arranque/parada

3.2 SALIDAS DEL DSP

Tabla 3: Salidas del DSP

Salida	Tipo	Pin empleado	Destino
D1	ePWM1	00	Placa acoplamiento driver
D1neg	ePWM1	01	Placa acoplamiento driver
D2	ePWM3	04	Placa acoplamiento driver
D2neg	ePWM3	05	Placa acoplamiento driver
Relé Arranque	GPIO(O)	60	Placa relés y switches
Relé Catenaria	GPIO(O)	61	Placa relés y switches
Relé Descarga SC	GPIO(O)	59	Placa relés y switches



Se emplean los dos módulos ePWM (el 1 y el 3) para las señales que gobiernan el primer y el segundo semipunto. No se utilizó el 2 para evitar que los pines fueran contiguos.

También son necesarias tres señales de salida que se ocupen de abrir y cerrar los relés de arranque, catenaria y descarga. La salida del relé de descarga del supercondensador también será empleada por el IGBT de descarga de *Cdclink*.

3.2.1 ACOPLAMIENTO AL DRIVER DEL CONVERTIDOR

Para el acoplamiento de las señales PWM de salida del microprocesador al driver de los IGBTs se emplean optoacopladores, que permiten aislar circuito de potencia del microprocesador, limitar el ruido y elevar tensión de la señal PWM de 3V a los 15V requeridos por dicho driver.

Las entradas requeridas por el driver se realizan a través de cables planos, siguiendo el esquema en la *Figura 21*.

Este esquema se repite para el segundo semipunto y, juntos, constituyen el PCB llamado “PCB acoplamiento a driver”. Ha de tenerse en cuenta que, en el esquema de potencia del convertidor, se ha llamado D1 y D2 a las señales que controlan los IGBTs inferiores (*VinBOT*) y D1neg y D2neg a las que controlan los IGBTs superiores (*VinTOP*) de cada semipunto.

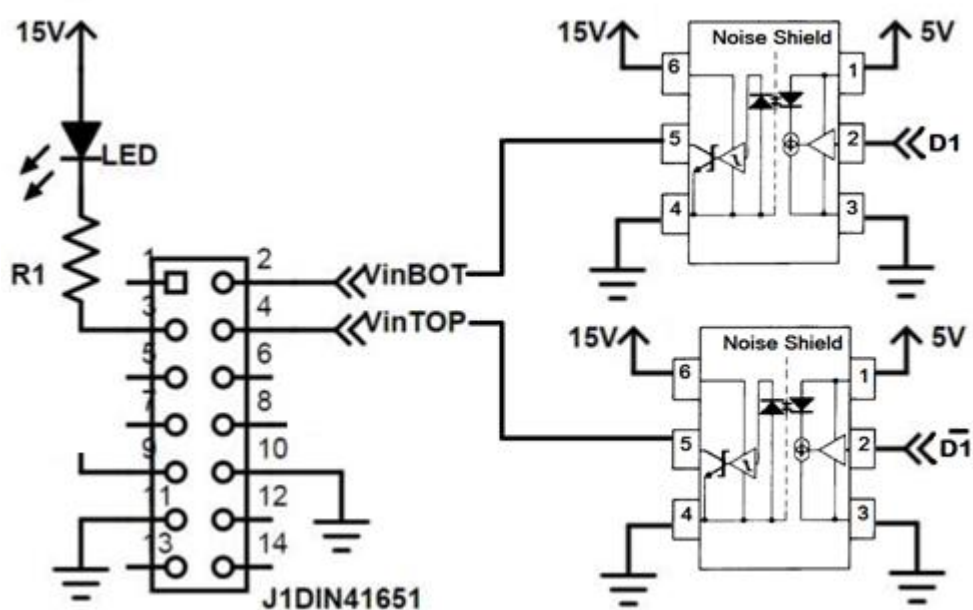


Figura 21: Esquema de acoplamiento de la señal PWM del microprocesador al driver del semipunte de IGBTs

Pueden consultarse las características de los optoacopladores y del driver de los semipuentes en *Datasheet Optoacoplador* y *Datasheet Driver Semipuentes*.

3.3 PLACAS DE CIRCUITO IMPRESO

El prototipo contará con un número de placas de circuito impreso mucho menor que el existente. El diseño se realizó mediante el programa Kicad, un software libre con características que lo hacen muy útil para la creación de placas de circuito impreso (PCB).

El flujo de trabajo con que funciona Kicad aparece detallado en la *Figura 22 [10]*.

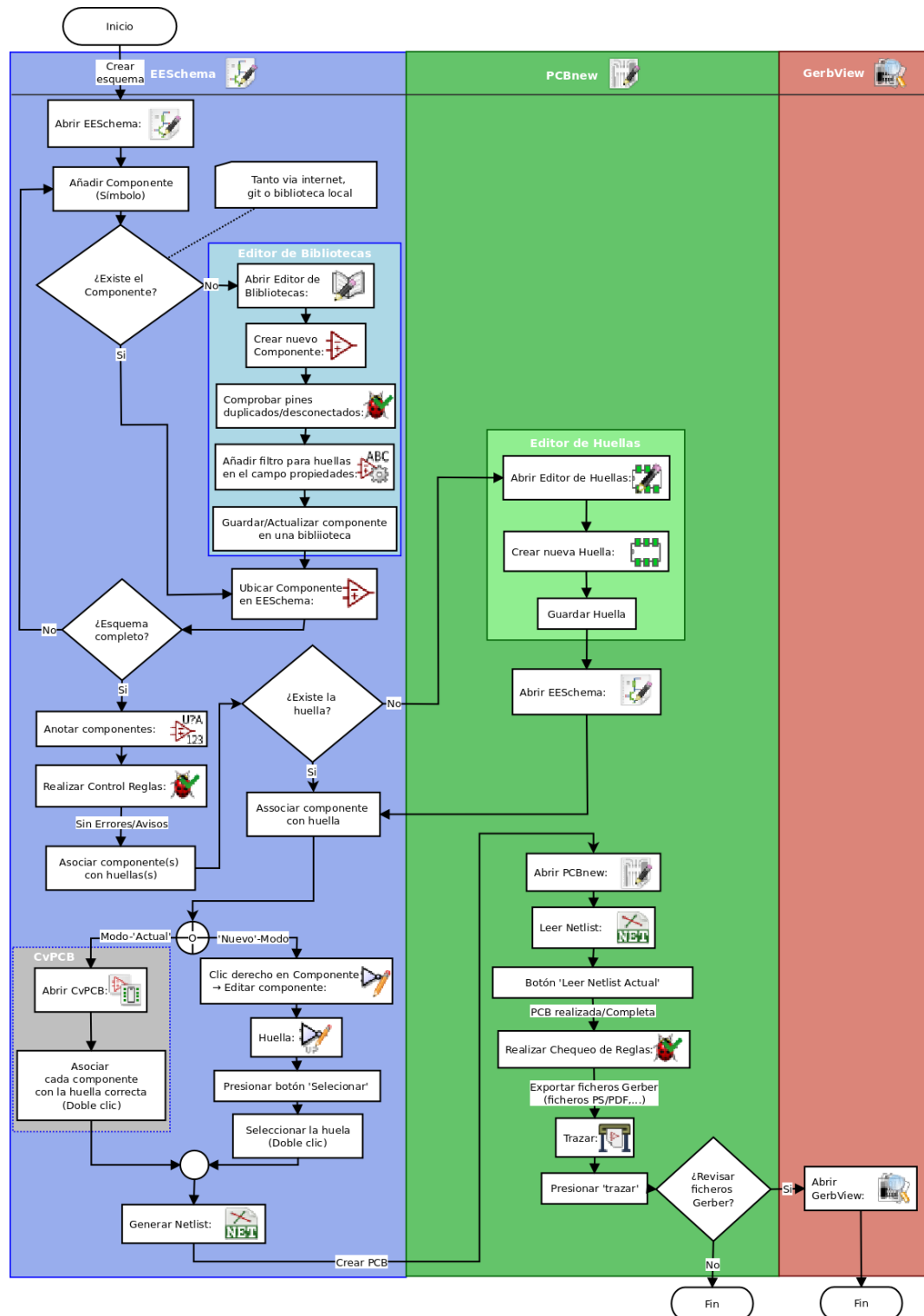


Figura 22: flujo de trabajo con Kicad



En resumidas cuentas, en primer lugar se crea un esquema eléctrico con EESchema (un “subprograma” de Kicad). Este programa cuenta con una librería de componentes habituales y con un editor que permite crear otros nuevos (como las sondas LEM, los relés, y otros componentes más “especiales”). Una vez analizado el cumplimiento de las reglas del esquema eléctrico, se asocia cada componente a una huella o *footprint* que ha de corresponderse con las dimensiones reales del componente (distancias y tamaño de pines). Las huellas pueden igualmente crearse con un editor en el caso de no existir.

Una vez creado el esquema eléctrico — que indica qué pines de qué componentes han de estar conectados — y una vez asociados componentes y huellas, se crea una *Netlist* que será leída desde el “subprograma” PCBNew. Al leerla, aparecen las huellas de los distintos componentes con una línea imaginaria entre los pines que han de estar conectados. Es el usuario el que tiene que distribuirlos sobre la superficie de una placa (tras crear sus bordes), y conectar los pines a través de pistas y vías de ancho adecuado a la corriente (según sean recorridas por señal o por alimentación) a través de las capas de cobre que sean necesarias. También permite definir planos de cobre, que serán utilizados mayoritariamente para planos de tierra (*GND*). Por último se comprueba de nuevo que se cumplen las reglas eléctricas y que las conexiones efectuadas se corresponden con el esquema antes definido.

Se emplean dos capas de cobre para las placas *Entradas y Acoplamiento a driver-Salidas* y una sola capa para la placa *Relés y Switches*.

Gracias a la digitalización del control, se consigue condensar los elementos necesarios en solo tres placas, una reducción drástica de las trece existentes. El prototipo existente contaba con los siguientes módulos de circuito impreso:

- Módulo referencia

- Módulo referencia Vdclink
- Módulo PI_1 (control 1)
- Módulo PI_2 (control 2)
- Módulo PI_V (control 3)
- Módulo PWM 1
- Módulo PWM 2
- Módulo comparadores Vdclink y enables
- Módulo acoplamiento a driver
- Módulo LEM Corriente
- Módulo LEM Tensión
- Módulo Relés
- Módulo descarga IGBTs

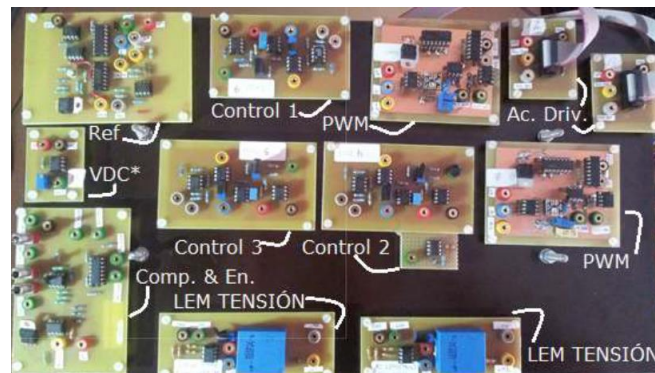


Figura 23: Módulos pequeña señal del control analógico existente

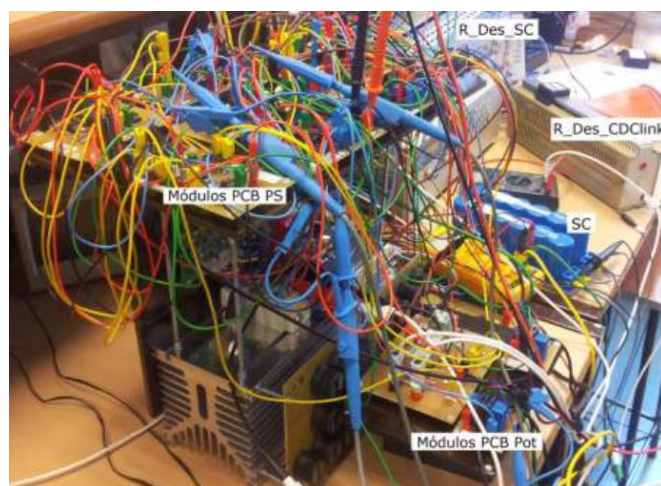


Figura 24: Complejidad del cableado del control analógico

Mientras que el diseño del prototipo con control digital contará únicamente con tres:

- PCB Entradas
- PCB Acoplamiento a driver (Salidas)
- PCB Relés y switches

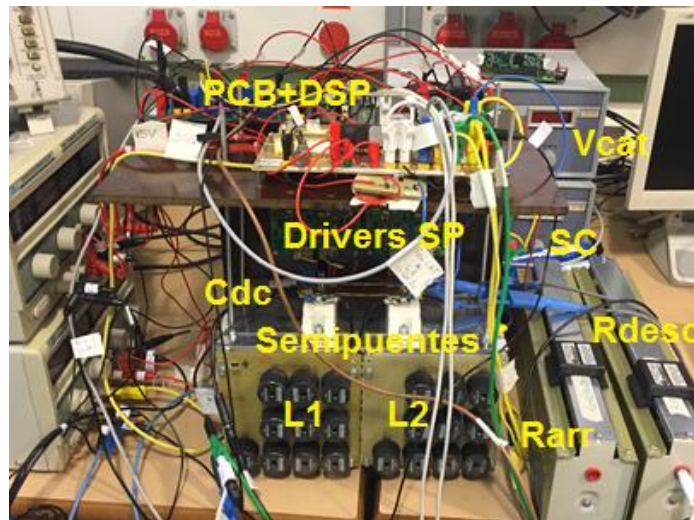


Figura 25: Prototipo con la nueva disposición

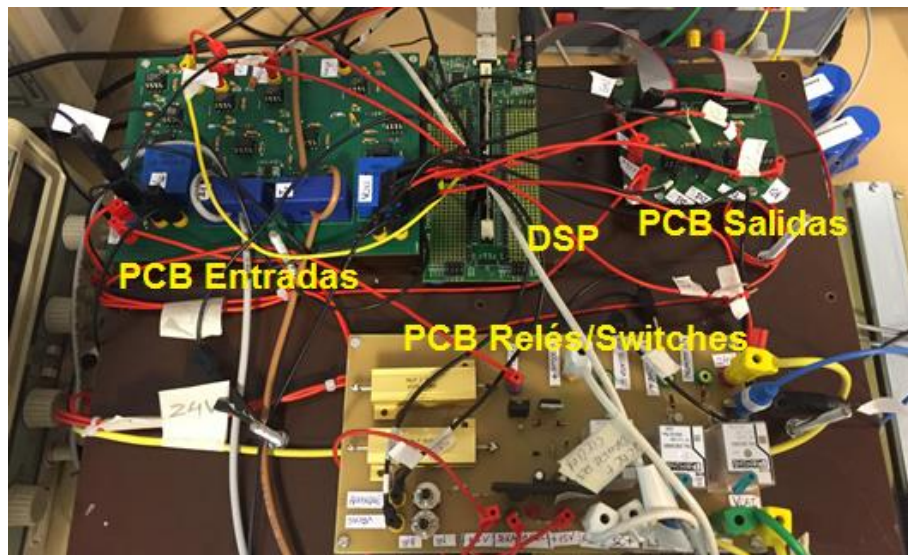


Figura 26: Nueva disposición con solo 3 PCB y el DSP



Con la consecuente disminución del número de cables y de la complejidad para comprender el funcionamiento del prototipo.

Algunos módulos, como los módulos referencia (básicamente multiplexores que seleccionaban entre distintas referencias en función del estado del sistema), los módulos PI de control, o los de módulos de comparadores, se hacen innecesarios por ser fácilmente gestionables a través del programa del DSP.

Por otro lado, todas las medidas de las sondas LEM se juntan en una sola placa *PCB Entradas*. Al ser el microprocesador quien genere las señales PWM, de dichos módulos solo se mantendrán los optoacopladores, que se juntarán con el circuito de acoplamiento a driver en la placa *PCB Acoplamiento a driver (Salidas)*. El módulo Relés, el módulo descarga IGBT y los switches de selección de modo del módulo comparadores y enables se juntan también en un solo *PCB Relés y Switches*.

3.3.1 PCB ENTRADAS

Como se ha descrito con anterioridad, el PCB Entradas contiene los circuitos de adaptación de las medidas de i_2 , i_2 , V_{dlink} y V_{sc} al rango de tensiones de entrada del DSP, así como el circuito de filtrado con filtros de Bessel de cada una de esas señales. Estos circuitos aparecen detallados en los apartados 3.1.1 y 3.1.2.

Los esquemas completos (de EESchema) y planos (de PCBNew) de esta placa aparecen detallados en el *Documento II (Planos)*. El resultado se muestra en la *Figura 27* y la *Figura 28*:

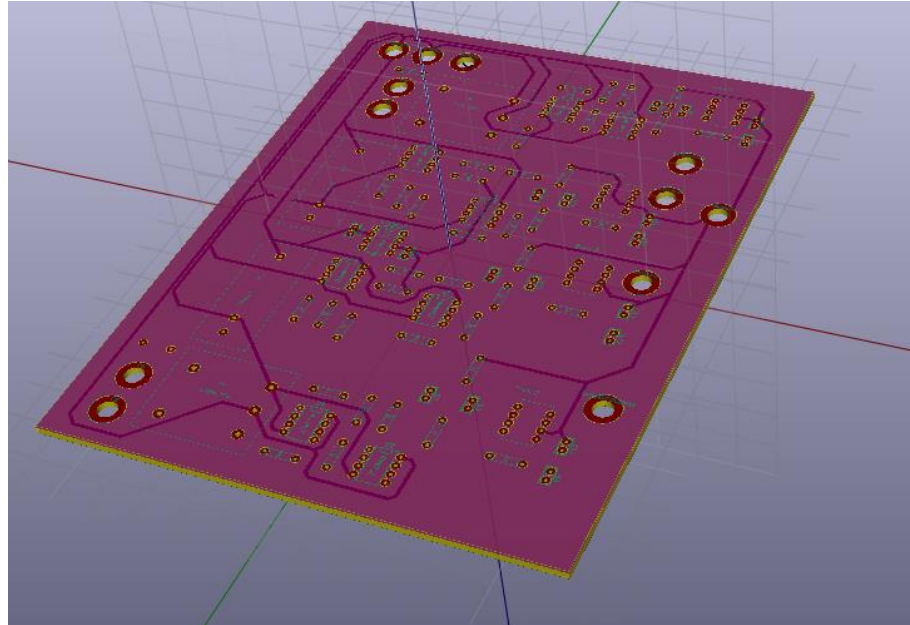


Figura 27: PCB Entradas en 3D

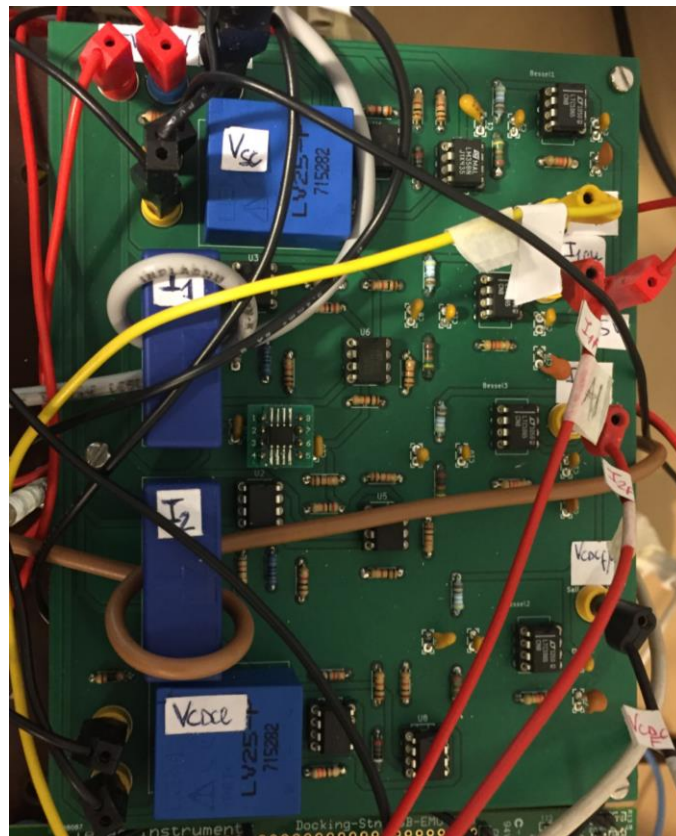


Figura 28: PCB Entradas montada



3.3.1.1 Pruebas PCB Entradas

Para comprobar el correcto funcionamiento del PCB de Entradas, una vez soldados todos sus componentes, se analizó la tensión de salida para distintas tensiones e intensidades en cada uno de los cuatro circuitos de adaptación. El resultado se muestra en *Figura 29*, *Figura 30*, *Figura 31*, *Tabla 4*, *Tabla 5* y *Tabla 6*

3.3.1.1.1 Pruebas Vsc

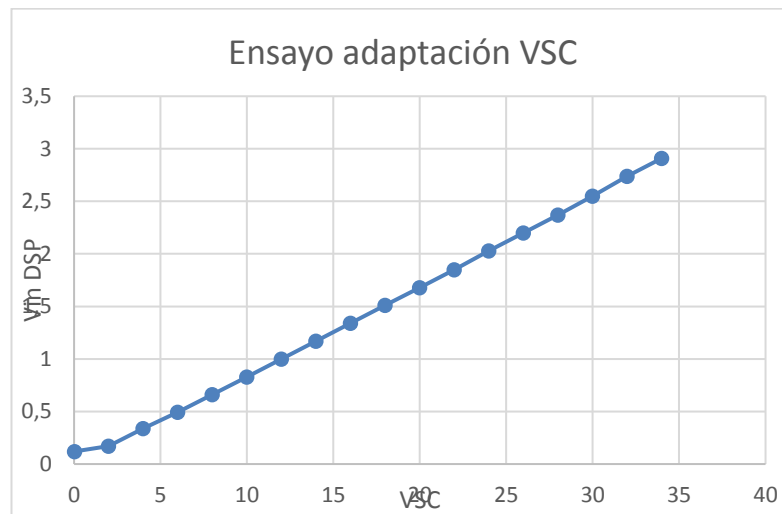


Figura 29: Ensayos placa entradas VSC

Tabla 4: Ensayos placa entradas VSC

Sonda1 - VSC (0-32V)	Vout(0-3V)
0,03	0,12
2	0,17
4	0,339
6	0,492
8	0,66
10	0,829
12	0,999
14	1,17
16	1,34
18	1,51
20	1,68
22	1,85
24	2,03
26	2,2
28	2,37
30	2,55
32	2,74
34	2,91



3.3.1.1.2 Pruebas Vdclink

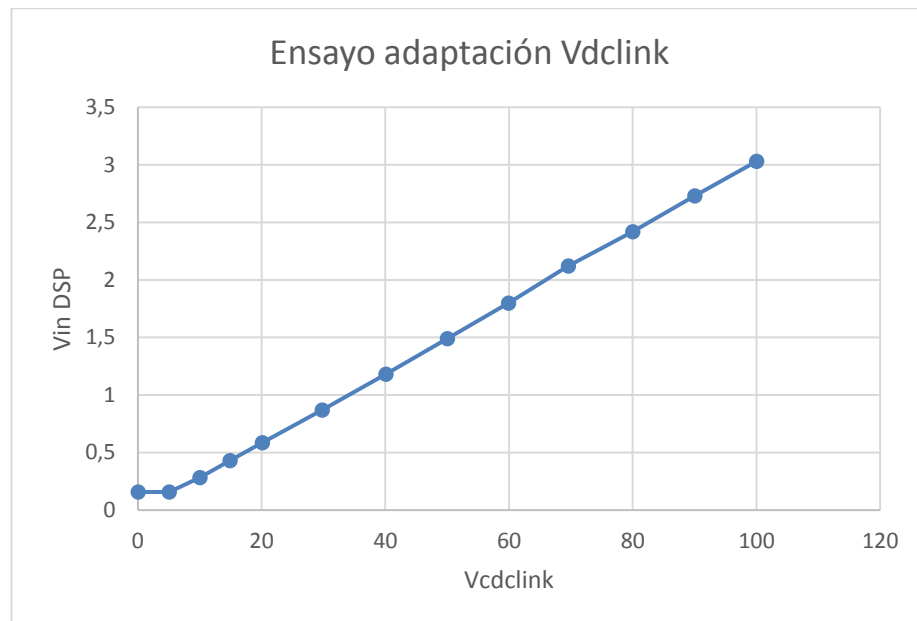


Figura 30: Ensayos placa entradas Vdclink

Tabla 5: Ensayos placa entradas Vdclink

Sonda2 - VCDClink(0-100V)	Vout(0-3V)
0,026	0,158
5,05	0,157
10	0,282
14,9	0,43
20,1	0,587
29,8	0,869
40,1	1,18
50	1,49
59,9	1,8
69,6	2,12
80	2,42
90	2,73
100	3,03



3.3.1.1.3 Pruebas i1 e i2

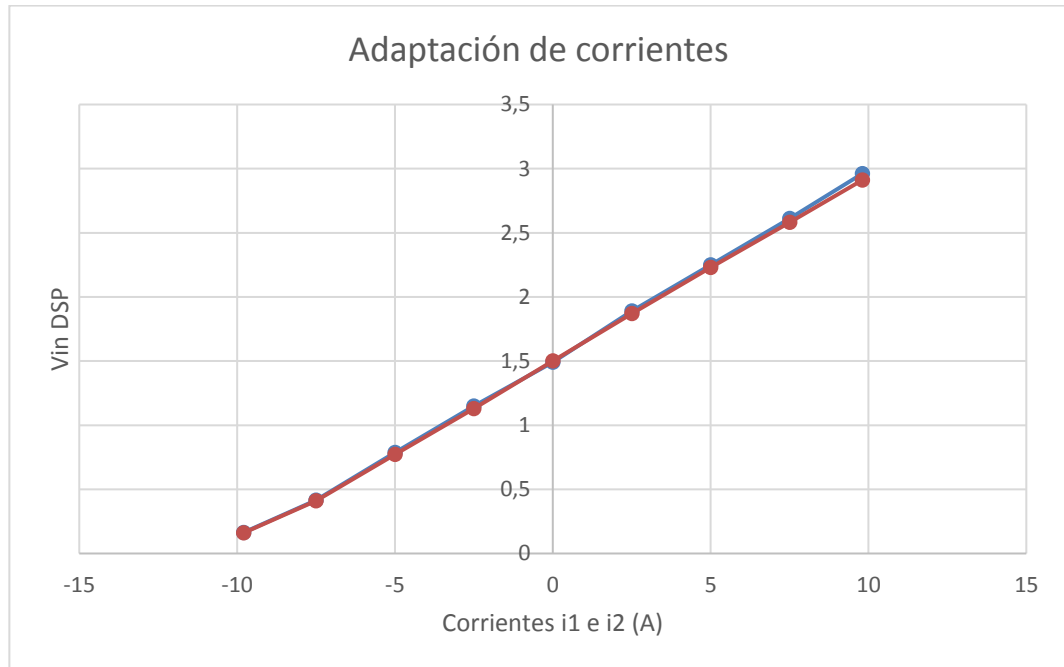


Figura 31: Ensayos placa entradas – corrientes

Tabla 6: Ensayos placa entradas - corrientes

Sonda Corriente (-10 -> 10A)	Vout1	Vout2
-9,8	0,163	0,16
-7,5	0,415	0,411
-5	0,787	0,772
-2,5	1,15	1,13
0	1,49	1,5
2,5	1,89	1,87
5	2,25	2,23
7,5	2,61	2,58
9,8	2,96	2,91

3.3.2 PCB ACOPLAMIENTO A DRIVER (SALIDAS)

Como se indicó en el apartado 3.2.1, esta placa de circuito impreso contiene tanto los optoacopladores de las 4 señales PWM que salen del DSP (D1, D2 y sus respectivas complementarias), como los dos circuitos de acoplamiento a los drivers de los semipuentes de IGBTs. El esquema se corresponde con el de la Figura 21: Esquema de acoplamiento de la señal PWM del microprocesador al driver del semipunto de IGBTs *Figura 21* repetido dos veces, para cada uno de los semipuntos.

Los esquemas completos (de EESchema) y planos (de PCBNew) de esta placa aparecen detallados en el *Documento II (Planos)*. El resultado se muestra en la *Figura 32* y la *Figura 33*.

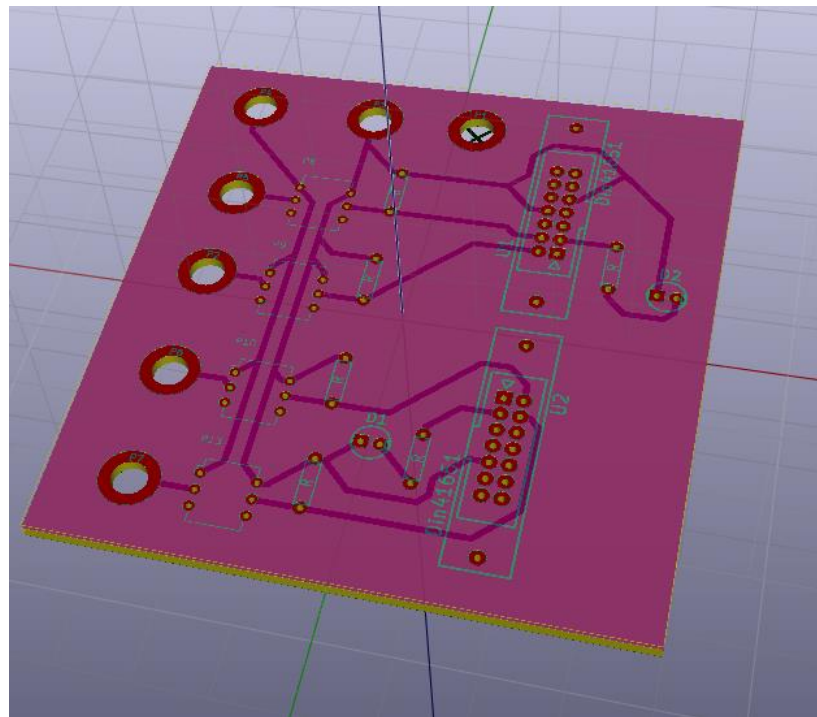


Figura 32: PCB Acoplamiento a Driver – Salidas en 3D

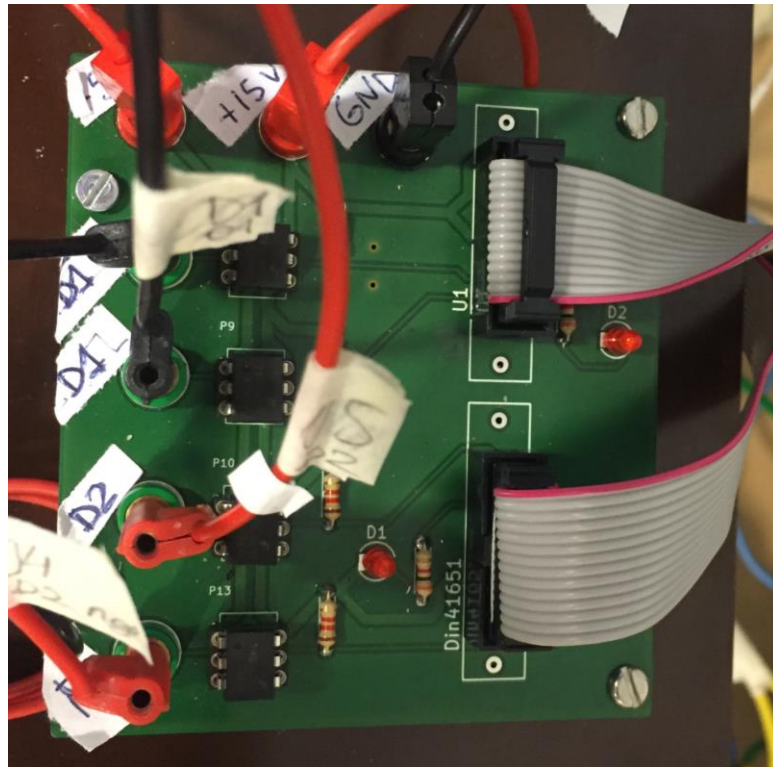


Figura 33: PCB Acoplamiento a Driver – Salidas montado

3.3.2.1 Pruebas PCB Acoplamiento a driver – Salidas

Para probar esta placa en un primer lugar se comprobó, sin conectarla al circuito de potencia, que los optoacopladores elevaban el PWM que salía del microprocesador al rango de tensiones necesario entre 0 y 15V.

Posteriormente se hizo un ensayo simple de conmutación para ambos semipuentes, con una V_{dlink} constante dada por una fuente de tensión, y una resistencia en el lugar de la catenaria, como se indica en la *Figura 34*.

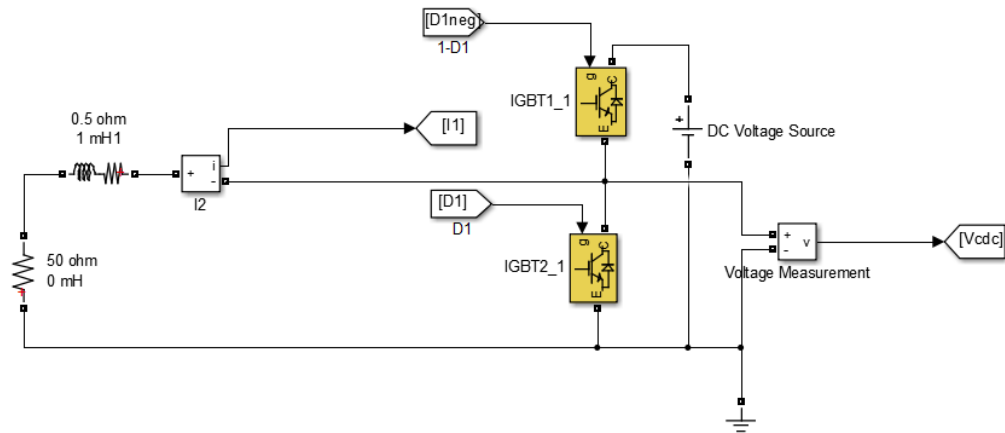


Figura 34: Esquema eléctrico pruebas PCB Salidas

El programa introducido en el DSP fue el mostado en *Figura 35* (consultar 4.1 *Estrategia de muestreo y conmutación del PWM para una mejor comprensión*):

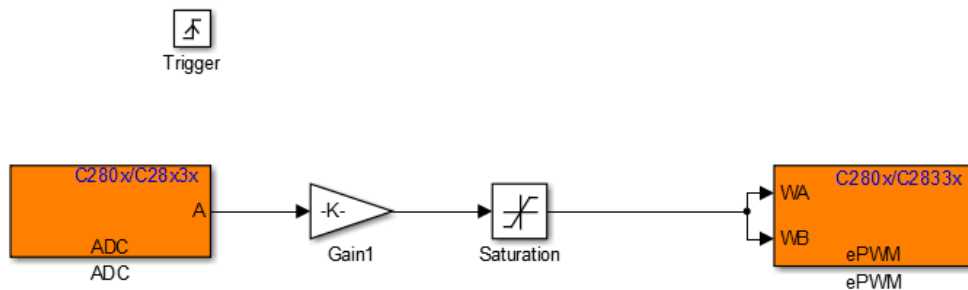


Figura 35: Modelo en Simulink del programa del DSP para pruebas PCB Salidas

Lo cual además permitió comprobar el correcto funcionamiento del conversor analógico digital (el factor de servicio era directamente proporcional a la tensión introducida). Las medidas de la tensión en bornas de la resistancia que sustituye a la catenaria (gráfica superior) y de la señal Dneg (señal de disparo del IGBT superior, en la gráfica inferior) pueden apreciarse en la *Figura 36*, para distintos factores de servicio, lo cual se corresponde con lo esperado. En ellas se puede apreciar el efecto de la inductancia en la variación de la intensidad:

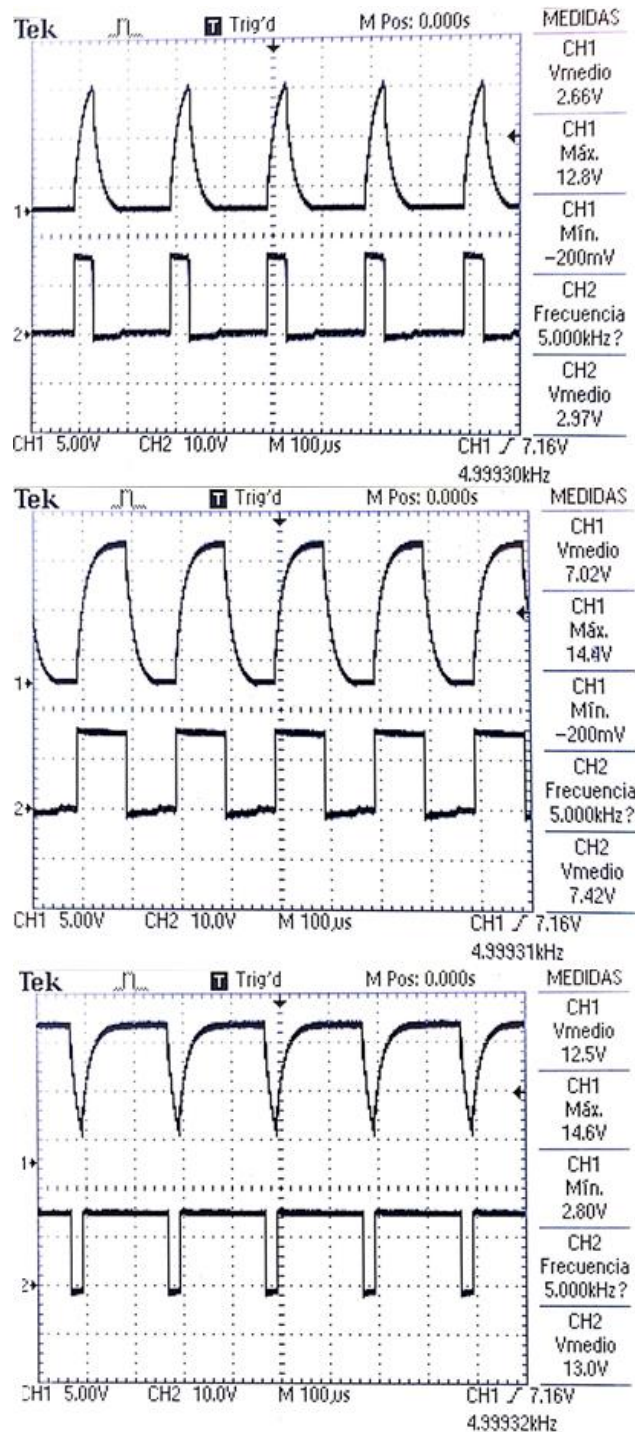


Figura 36: Resultados del ensayo de conmutación con distintos factores de servicio

En la *Figura 36*, las gráficas superiores son la tensión en bornas de la resistencia, y las inferiores el PWM *Dneg* que controla el IGBT superior del semipunte).

3.3.3 PCB RELÉS Y SWITCHES

El PCB relés y switches contiene los tres relés de arranque, catenaria y descarga del supercondensador, así como el circuito de descarga de *Cdlink* (con IGBT, su respectivo driver y resistencias de descarga) y los switches de arranque y parada.

En cuanto a los relés, se trata de tres relés de potencia *Phoenix Contact* (ver *Datasheet Relés*) alimentados a 24V. Cada uno dispone de dos módulos con un contacto NA y otro NC excitados por la misma señal de entrada, aunque solo se utilizará un contacto de uno de los módulos para cada relé. En este prototipo se decide por seguridad emplear los contactos NA, que se cerrarán bajo orden del microprocesador dependiendo del estado del sistema. Los relés empleados también disponen de indicadores LED y mecánicos que muestran cuándo está excitado. Sus circuitos serían los mostrados en *Figura 37*, *Figura 38* y *Figura 39*, introduciendo un transistor BJT en la excitación para aislarla del microprocesador, de forma que no lo sobrecargue y la corriente de excitación proceda de la fuente de tensión:

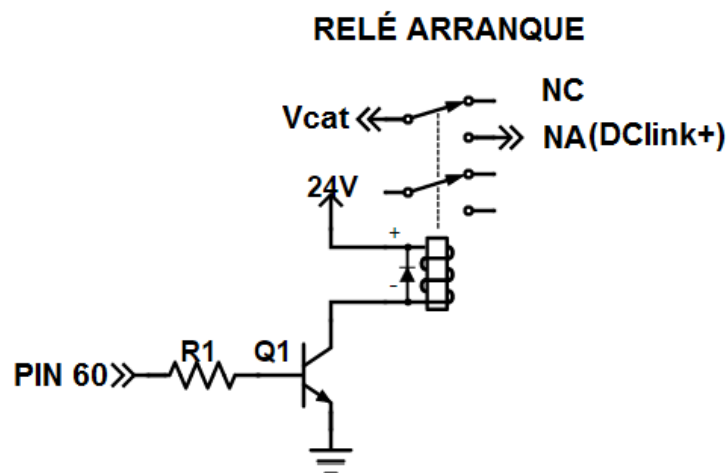


Figura 37: Esquema del relé de arranque

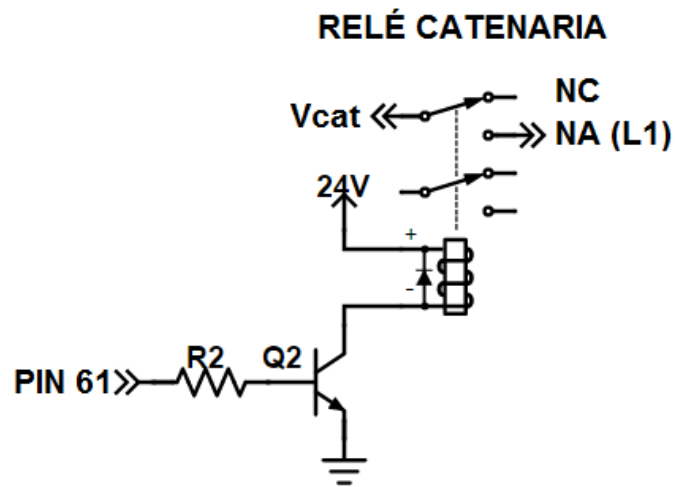


Figura 38: Esquema del relé de catenaria

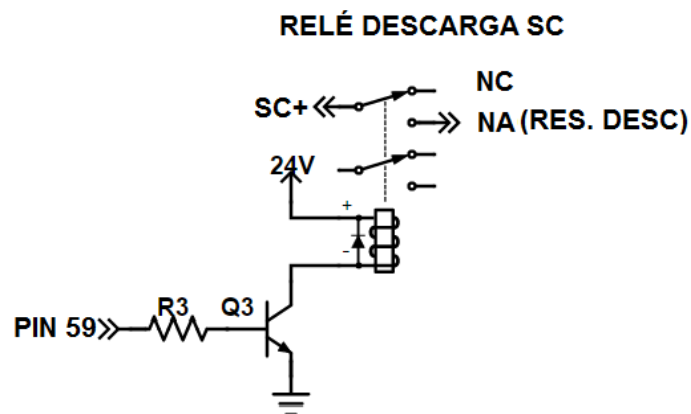


Figura 39: Esquema relé descarga SC

Esta placa de circuito impreso también cuenta con los switches de arranque y parada descritos en 3.1.3, así como del circuito de descarga de *Cdlink* a través de un IGBT, con su driver y resistencias de descarga. El esquema implantado fue el de la *Figura 40*, sugerido en el *Datasheet Driver IGBT Descarga Cdlink*.

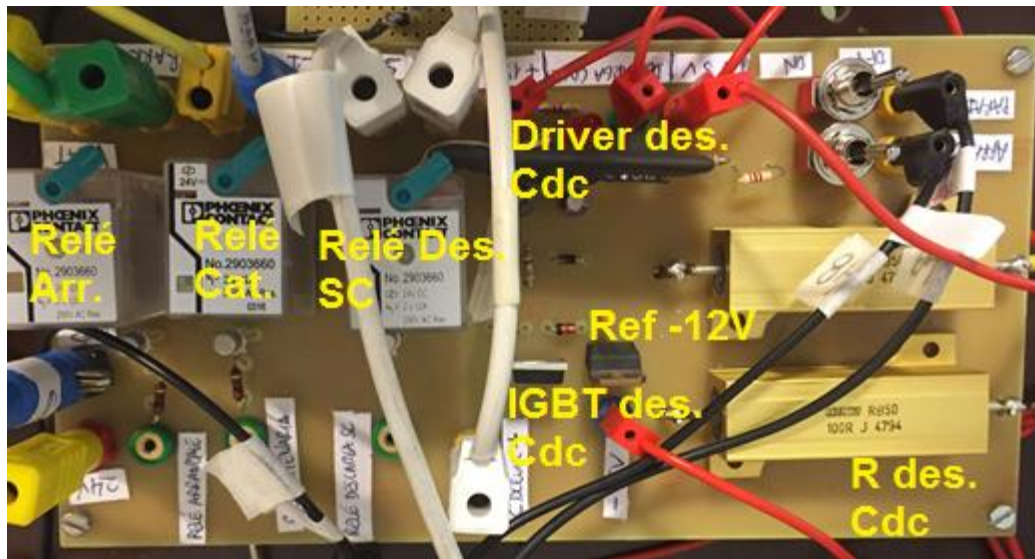


Figura 42: PCB Relés y Switches montado

3.3.3.1 Pruebas PCB Relés y switches

Esta placa se probó con un sencillo programa (*Figura 43*) del DSP que permitía excitar los relés y activar la descarga de *Cdlink* según el interruptor que se accionase. Al estar los relés y el circuito del driver de descarga de *Cdlink* provistos de un LED, la comprobación del correcto funcionamiento de todos ellos es sencilla.

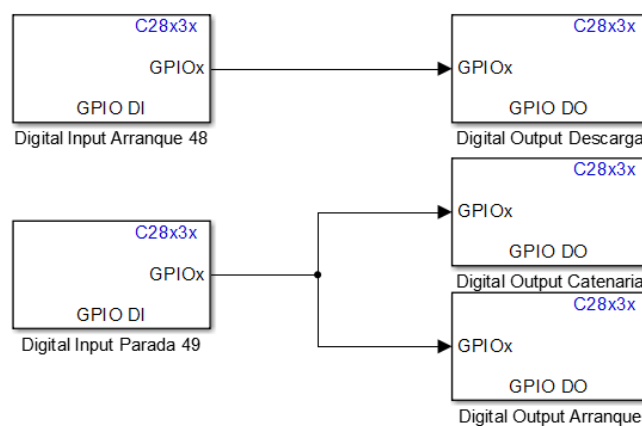


Figura 43: Modelo en *Simulink* del programa del DSP para pruebas PCB Relés y switches

No obstante se probaron conectándolos a una tensión para ver que efectivamente conducen cuando están excitados (*Figura 44*).

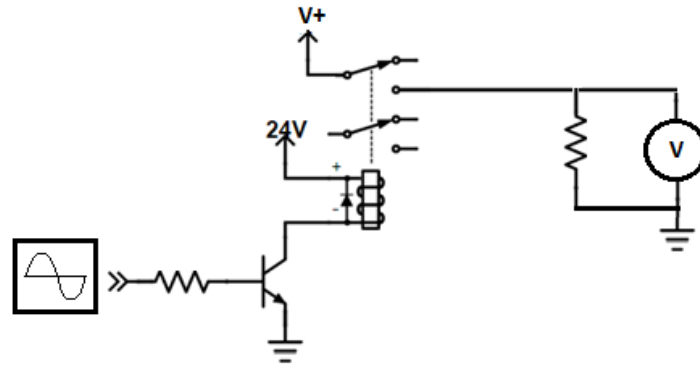


Figura 44: Esquema eléctrico de ensayos de los relés

El resultado permitió además ver qué nivel de tensión (en torno a 1V) es suficiente para excitar los relés (*Figura 45*):

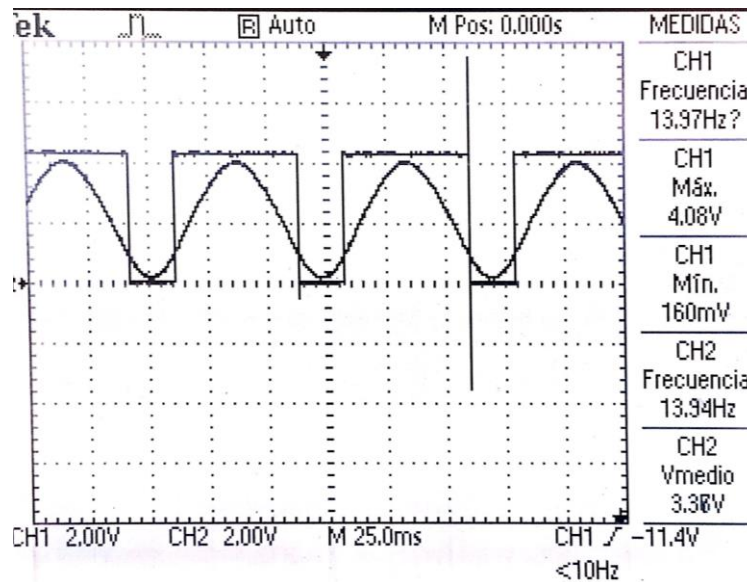


Figura 45: Mediciones de ensayo de excitación de los relés



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Capítulo 4 DISEÑO DEL CONTROL

4.1 ESTRATEGIA DE MUESTREO Y CONMUTACIÓN DEL PWM

Las estrategias de muestreo y conmutación son vitales para el correcto funcionamiento del prototipo. Una de las principales ventajas del control digital es su flexibilidad, que permite modificar de manera sencilla las frecuencias de muestreo y conmutación cambiando simplemente esas cifras en el programa del DSP. Para los ensayos realizados (y para el diseño del filtro de Bessel) se emplearon una frecuencia de conmutación f_{switch} de 15kHz y una frecuencia de muestreo f_{sampl} de 5kHz. Es conveniente que f_{switch} sea múltiplo de f_{sampl} , por simplicidad en la programación del DSP.

El programa del DSP estará compuesto por una serie de diagramas de Simulink de naturaleza discreta, con un período de muestreo T_{sample} . La gestión de las interrupciones activadas por un módulo ePWM del TI DSP Toolbox para Matlab puede configurarse (Figura 46) en dicho bloque de manera que se active el muestreo del módulo cada 1, 2 o 3 ciclos de conmutación (“*every first, second or third event*”):

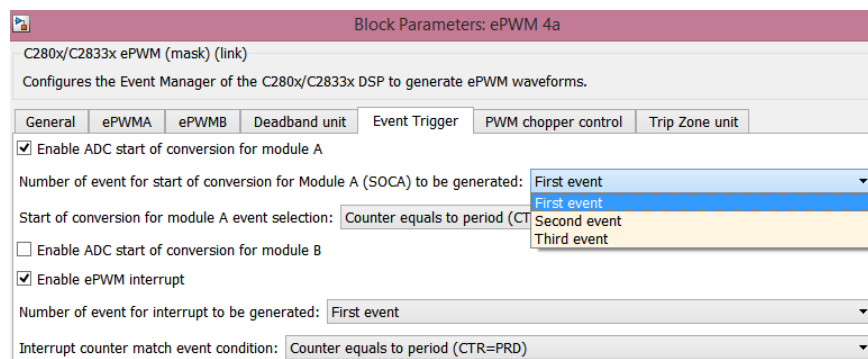


Figura 46: Detalle del bloque ePWM que permite activar el muestreo del ADC cada 1, 2 o 3 ciclos de conmutación.

Sin embargo, y aunque en nuestro caso $f_{switch}=3 \cdot f_{sampl}$, se decide dotar al control de mayor flexibilidad permitiendo que el usuario decida cada cuántos ciclos de conmutación muestra (Figura 47 y Figura 48)

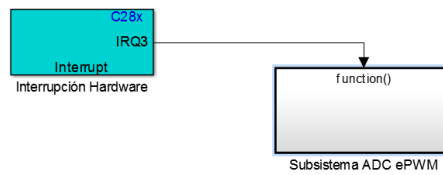
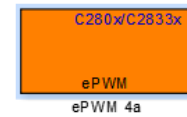
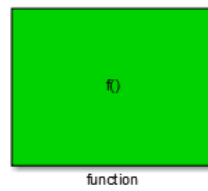


Figura 47: Interrupción Hardware del DSP según su reloj interno



ESTE ePWM SOLO HACE DE "RELOJ"

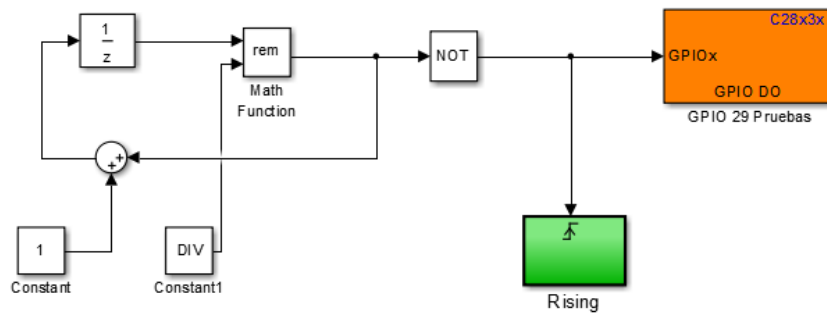


Figura 48: Bloque “Subsistema ADC ePWM”, destinado a flexibilizar la elección del periodo de muestreo

Como se indica en el diagrama, el bloque ePWM presente en este subsistema no es utilizado por el prototipo, simplemente es usado a modo de reloj de conmutación. El parámetro DIV será el divisor entre f_{switch} y f_{sample} deseado, de manera que el

flanco positivo (“Rising”) que activa el muestreo se produce cada DIV ciclos de conmutación. El bloque GPIO 29 Pruebas se utiliza para visualizar externamente cuándo se produce este flanco positivo.

Este esquema fue probado con el bloque “Rising” descrito en *Figura 49*.

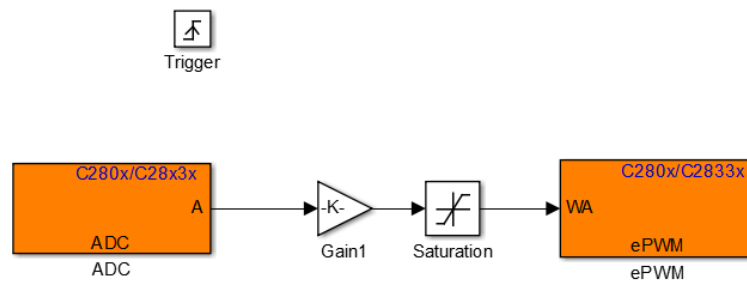


Figura 49: Diagrama de bloques para pruebas de la estrategia de muestreo

En dicho bloque, el ADC se activa cuando se produce el flanco positivo previamente descrito, mientras que el ePWM sigue la misma frecuencia de conmutación que el “reloj” de conmutación (*Figura 50*).

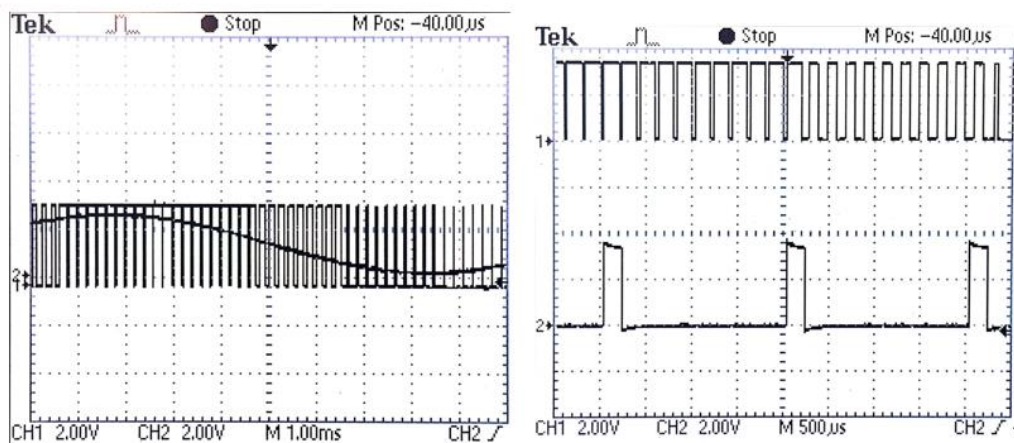


Figura 50: Pruebas de muestreo: cada 10 ciclos de conmutación

En la *Figura 50*, el ADC muestrea la onda senoidal cada 10 ciclos de conmutación ($DIV=10$), y es entonces cuando se actualiza el valor del factor de servicio de la señal PWM, como puede apreciarse. La gráfica inferior derecha muestra la salida del pin “GPIO 29 Pruebas” que está activa solamente durante el ciclo de conmutación en que se ha producido el muestreo. En la *Figura 51* se muestra un ensayo similar con muestreo cada 4 ciclos de conmutación:

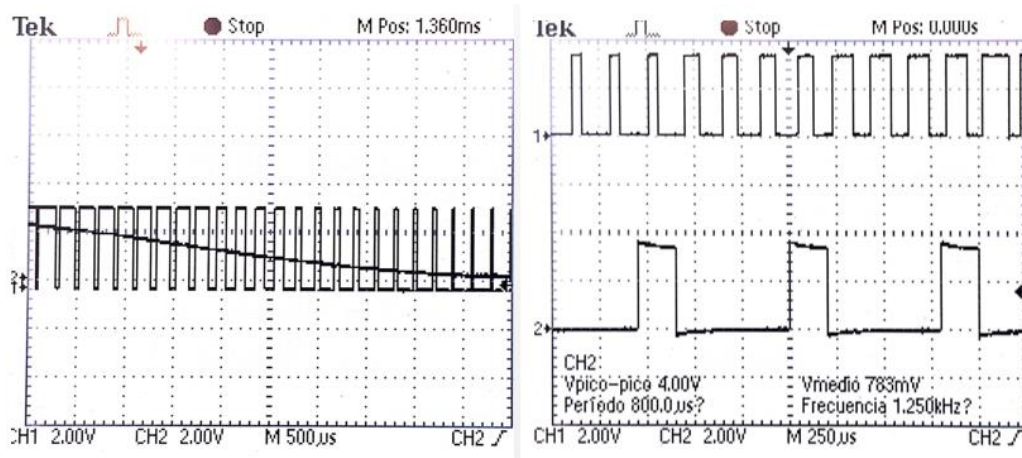


Figura 51: Pruebas de muestreo: cada 4 ciclos de conmutación

Al igual que la elección de unas frecuencias de muestreo y conmutación correctas, es de vital importancia que el muestreo no coincida con flancos de la señal PWM que pudieran generar ruido y distorsionar la medida. El DSP Toolbox para Matlab de Texas Instruments tiene un módulo ePWM extremadamente flexible, que permite definir prácticamente cada parámetro de la señal.

En resumidas cuentas, pueden elegirse 3 modos de señal PWM: Count Up, Count Down y Up-Down (*Figura 52*). Estos modos consisten en una señal CTR (*counter*) que va incrementando o disminuyendo (o ambas) su valor entre 0 y un determinado período. Este valor del counter se compara con 0, PRD (período), CMPA y CMPB (registros de comparación del módulo A y B, respectivamente), permitiendo elegir

entre *SET*, *CLEAR* o *DO NOTHING* cuando ambos valores coinciden. Nótese que el 0 será el punto inicial del periodo de conmutación y PRD el final, excepto en el caso de una cuenta de tipo Up-Down donde PRD será el punto intermedio, donde termina la cuenta ascendente y empieza la descendente.

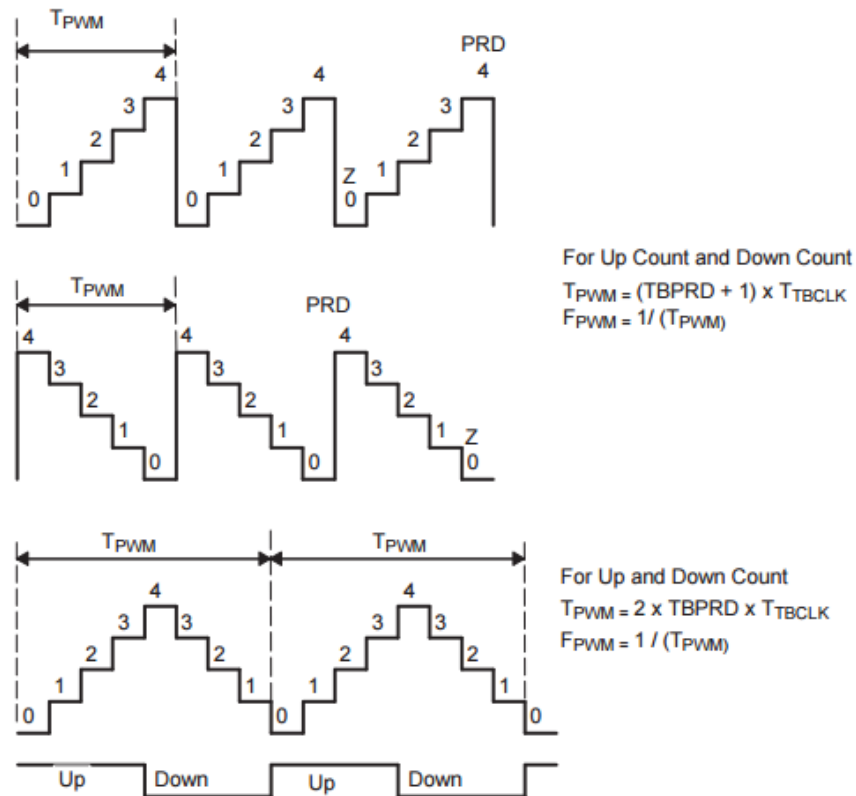


Figura 52: Alternativas de estrategias de conmutación

Las señales CMPA y CMPB pueden introducirse de forma externa, hecho en el que reside la utilidad de estos módulos, ya que se puede actualizar el factor de servicio de la señal PWM cada ciclo de muestro, en función de los cálculos del control.

Puesto que el muestreo se realiza en el instante $CTR=Zero$ cada DIV períodos de conmutación, es necesario (para evitar ruido) que la acción en este instante sea *Do Nothing*, lo cual hace desechar las alternativas *Count Down* y *Count Up*, por la



imposibilidad de mantener la proporcionalidad entre el factor de servicio introducido en CMPA o CMPB y la salida.

Como se explicó con anterioridad, para facilitar la sincronización entre las señales que controlan los dos IGBTs de cada semipunto, se emplearán para cada uno las dos salidas (a y b) del mismo módulo. Así se evita tener que introducir señales de sincronización entre módulos.

Para facilitar igualmente la programación, se elige introducir el factor de servicio a través de CMPA en porcentaje, ya que la salida de los controles será un valor de $D1neg$ y $D2neg$ entre 0 y 1. No será necesario emplear CMPB por ser la señal de b la complementaria de la de a . De esta manera se introduce en el bloque $ePWM$ solamente el periodo de conmutación y su factor de servicio (ver *Figura 53*).

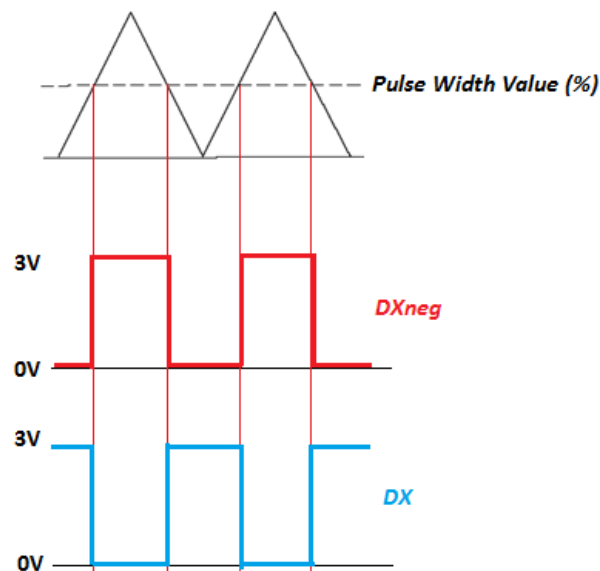


Figura 53: Estrategia PWM Up-Down

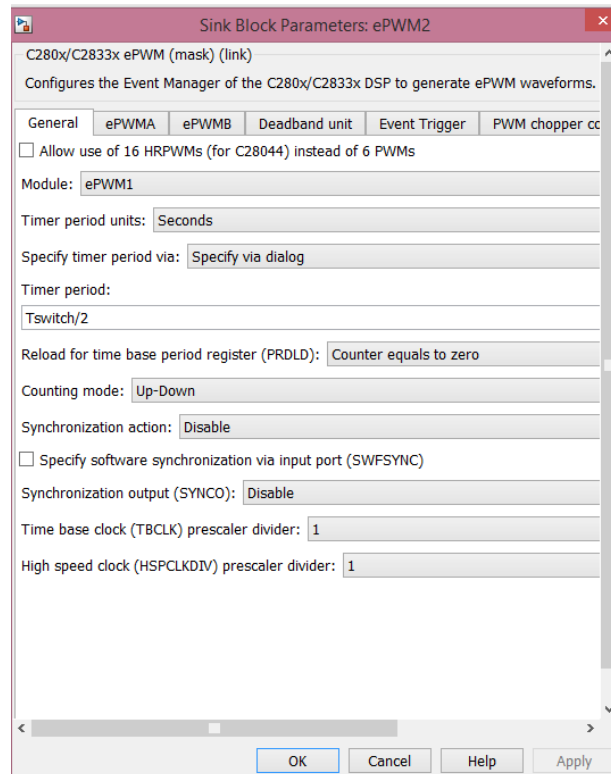


Figura 54: Selección de módulo ePWM, período y tipo de cuenta

Nótese que el período del timer será la mitad de T_{switch} ya que en un período de conmutación deben tener lugar tanto la *count-up* como la *count-down*

Las acciones definidas son (Figura 55):

- Salida a ($D1neg$, $D2neg$): SET cuando $CTR=CMPA$ on CAU (count-up de A) y CLEAR cuando $CTR=CMPA$ on CAD (count-down de A). Do nothing en el resto de eventos.
- Salida b ($D1$, $D2$): CLEAR cuando $CTR=CMPA$ on CAU y SET cuando $CTR=CMPA$ on CAD. Do nothing en el resto de eventos.

Como se dijo antes, no es necesario utilizar el registro de comparación de la salida b del módulo.

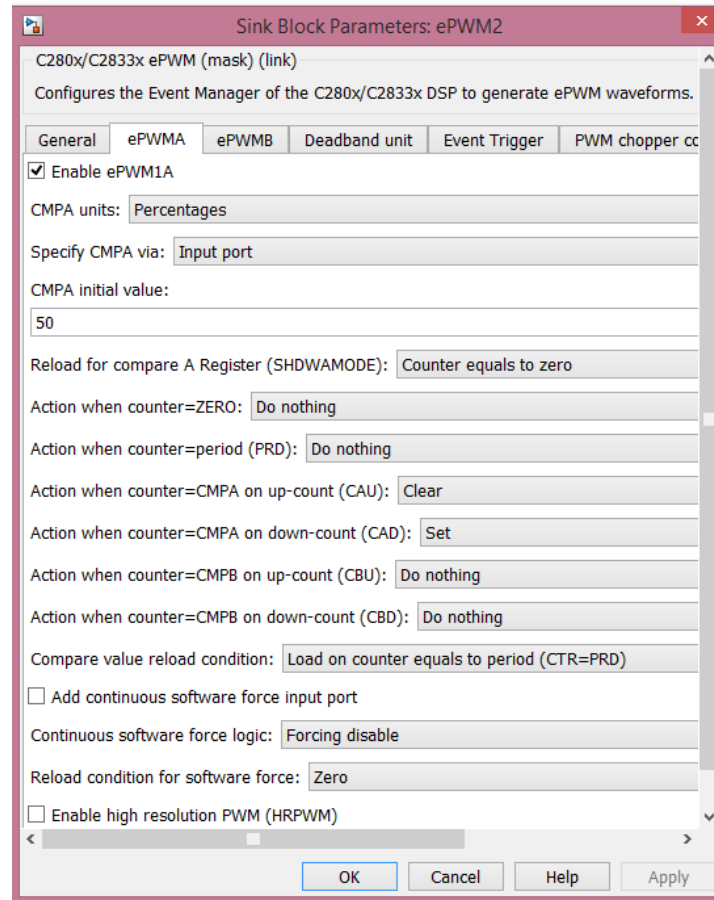


Figura 55: Acciones CLEAR y SET definitorias de la señal PWM (a)

De esta manera, y colocando en el control un saturador que limite el factor de servicio entre el 5% y el 95% (límites que impone además el driver, ver *Datasheet Driver Semipuentes*), se impide que los flancos de la conmutación introduzcan ruido en el muestreo.

4.2 ESTRATEGIA DE CONTROL

Como se describió con anterioridad, el sistema contará con tres controles, uno que regule el factor de servicio del primer semipuerto (D1) en función de la referencia de corriente de catenaria ($i1^*$) introducida de manera externa, otro que genere una referencia interna de corriente ($i2^*$) al supercondensador tratando de mantener la



tensión del condensador intermedio (V_{cdlink}) constante, y un último control que regule el factor de servicio del segundo semipunto (D_2) en función de esta referencia interna de corriente i_2^* . Esto aparece detallado en la *Tabla 1: resumen de controles*.

Por su utilidad para compensar los retardos en el filtrado, se decide emplear controles por representación de estado para el primer y el tercer control, mientras que para el segundo, que no ha de ser tan rápido como los otros dos, un control PI similar al existente (aunque implantado de manera digital) será suficiente. El control por representación de estado también permite introducir una compensación al retardo de control (el cálculo tarda un periodo de muestreo poder ser aplicado).

4.2.1 DESCRIPCIÓN DE UN CONTROL POR REPRESENTACIÓN DE ESTADO

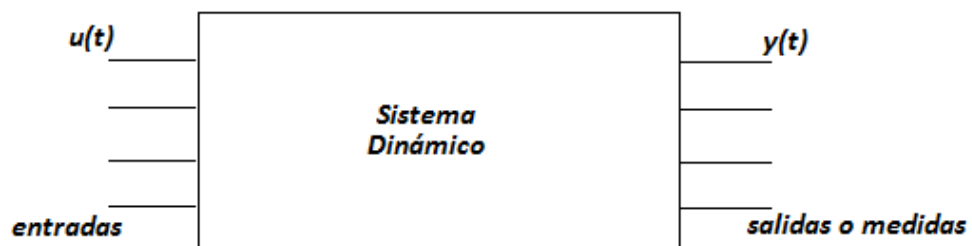


Figura 56: Sistema dinámico cualquiera, a controlar por representación de estado

Un sistema dinámico con p entradas o controles $U(t)$ y q salidas o medidas $Y(t)$ queda definido en cada instante por n variables de estado $X(t)$ que representan el conjunto de la información del sistema en el instante t . El sistema podrá ser definido por las siguientes ecuaciones [11][12]:



$$\dot{X}(t) = A(t) \cdot X(t) + B(t) \cdot U(t)$$

$$Y(t) = C(t) \cdot X(t) + D(t) \cdot U(t)$$

Donde $X(nx1)$ es llamado vector de estados, $Y(qx1)$ es llamado vector de salidas (o medidas), $U(px1)$ es llamado vector de entrada (o control), $A(nxn)$ es la matriz de estados, $B(nxp)$ es la matriz de entrada, $C(qxn)$ es la matriz de salida, y $D(qxp)$ es la matriz de transmisión directa. Si el sistema es lineal e invariante en el tiempo (LTI):

$$\dot{X}(t) = A \cdot X(t) + B \cdot U(t)$$

$$Y(t) = C \cdot X(t) + D \cdot U(t)$$

Nótese que con frecuencia se elige que no haya transmisión directa ($D=0$). Pasando de representación de estados a función de transferencia:

$$TF(s) = \frac{Y(s)}{U(s)} = C(sI - A)^{-1}B + D$$

De donde se deduce que los polos de la función de transferencia son los autovalores de A, que serán quienes definan la estabilidad y la respuesta del sistema. Puesto que el control va a ser digital, interesaría discretizarlo, de manera que:

$$X[k + 1] = F \cdot X[k] + G \cdot U[k]$$

$$Y[k] = H \cdot X[k] + J \cdot U[k]$$

Donde:

$$F = e^{A \cdot Tsampl}$$

$$G = \int_0^{Tsampl} e^{A\theta} \cdot B \cdot d\theta$$

$$H = C$$

$$J = D$$



En este caso

$$TF(z) = \frac{Y(z)}{U(z)} = C(zI - F)^{-1}G + D$$

De donde igualmente se deduce que los polos de la función de transferencia son los autovalores de F , que serán quienes definan la estabilidad y la respuesta del sistema.

La posibilidad de elegir estos autovalores es clave para la utilidad de este control, lo que se consigue con la llamada realimentación de estado, cuyo principio es comandar el vector U :

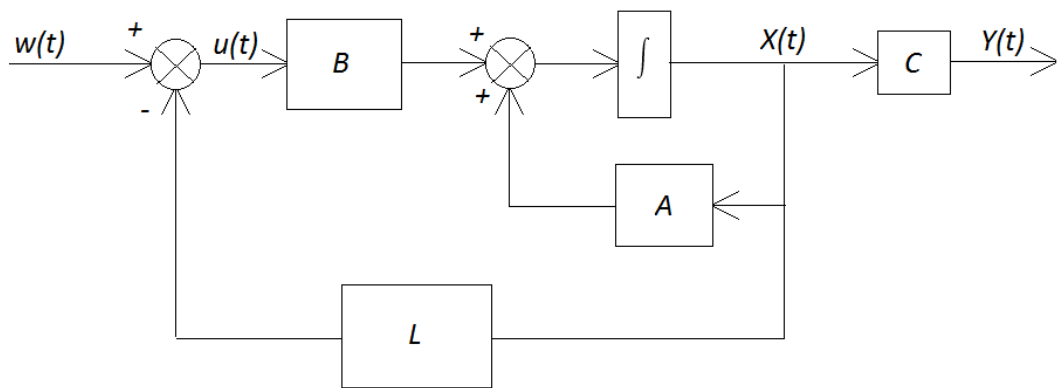


Figura 57: Esquema de control por realimentación de estado

$$U(t) = -L \cdot X(t) + w(t)$$

Lo que resulta en:

$$\dot{X}(t) = (A - B \cdot L) \cdot X(t) + B \cdot w(t)$$

De esta forma, los valores propios vendrán determinados por $(A-B \cdot L)$, y eligiendo el L adecuado se tendrá una matriz diagonal:

$$\det[sI - (A - BL)] = \prod_{i=1}^n (p - p_i)$$



En general, con $w(t)=k \cdot e(t)$:

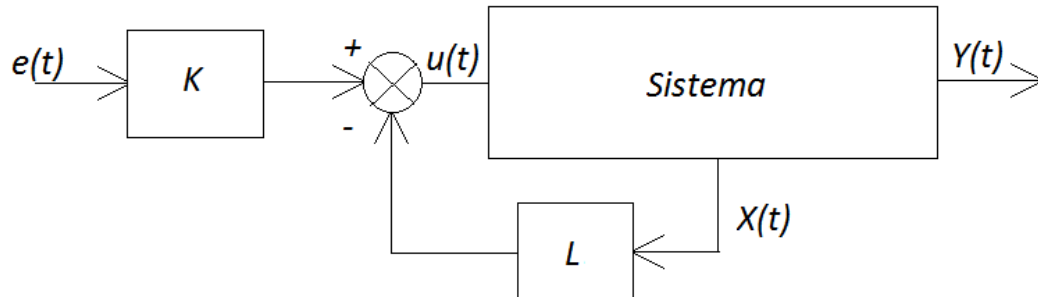


Figura 58: Esquema de control por realimentación de estado (2)

Se busca que en régimen permanente la estimación sea igual a las salidas $Y(t)=e(t)$, relación de donde se obtiene:

$$k = \frac{-1}{C(A - BL)^{-1}B}$$

O, en discreto:

$$k = \frac{-1}{H(I - F + GL)^{-1}G}$$

4.2.2 CONTROL 1: CONTROL DE CORRIENTE i_1

El control 1, como se describió anteriormente, calculará el factor de servicio del primer semipunto de acuerdo a una referencia de corriente de catenaria $i1^*$ introducida de manera externa o dentro del programa del DSP. El esquema de este control se corresponde con la *Figura 59*.

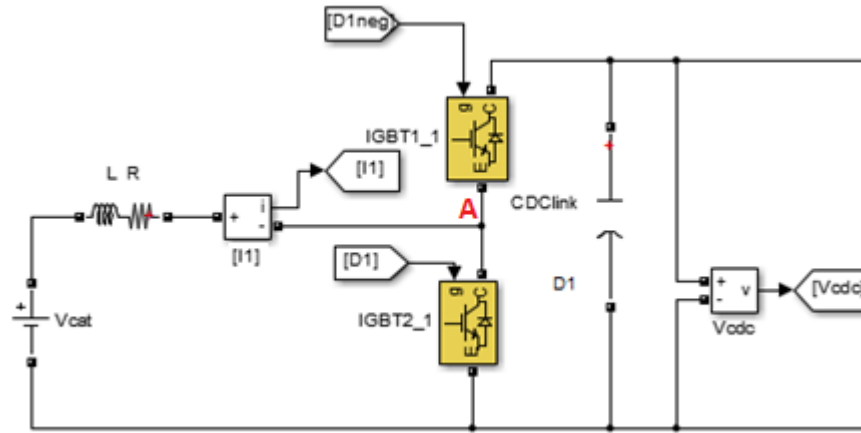


Figura 59: Esquema control 1

De este esquema se obtienen las siguientes relaciones:

$$V_{CAT} = V_A + R_1 \cdot i_1 + L_1 \frac{di_1}{dt}$$

$$\frac{di_1}{dt} = -\frac{R_1}{L_1} \cdot i_1 + \frac{V_{CAT} - V_A}{L_1}$$

Si se considera que $u_1 = \frac{V_{CAT} - V_A}{L_1}$,

$$\dot{I}_1 = A_1 \cdot I_1 + B_1 \cdot u_1$$

Con $A_1 = -\frac{R_1}{L_1}$ y $B_1 = 1$.

Pasándolo a tiempo discreto:

$$I_1[k + 1] = F_1 \cdot I_1[k] + G_1 \cdot u_1[k]$$

$$F_1 = e^{-\frac{R_1}{L_1} T_{\text{sampl}}}$$

$$G_1 = \int_0^{T_{\text{sampl}}} e^{-\frac{R_1}{L_1} \theta} \cdot d\theta = \frac{L_1}{R_1} \cdot (1 - e^{-\frac{R_1}{L_1} T_{\text{sampl}}})$$

Adicionalmente, como el control calculado no puede aplicarse en el mismo instante en que se muestrea, sino al siguiente período de muestreo:

$$u_1[k] = u_1^c[k - 1]$$



El retardo en el filtrado, equivalente a un período de muestreo con el filtro de Bessel diseñado:

$$I_1^f[k] = I_1[k - 1]$$

Introduciendo también una acción integral:

$$\zeta[k] = \zeta[k - 1] + Tsampl \cdot [I_1^{ref}[k - 1] - I_1^f[k - 1]]$$

La puesta conjunta en ecuación quedaría de la siguiente manera:

$$\begin{bmatrix} I_1[k + 1] \\ u_1[k + 1] \\ I_1^f[k + 1] \\ \zeta[k + 1] \end{bmatrix} = \begin{bmatrix} e^{-\frac{R_1}{L_1} Tsampl} & \frac{L_1}{R_1} \cdot (1 - e^{-\frac{R_1}{L_1} Tsampl}) & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & -Tsampl & 0 \end{bmatrix} \cdot \begin{bmatrix} I_1[k] \\ u_1[k] \\ I_1^f[k] \\ \zeta[k] \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \cdot u_1^c[k] + \begin{bmatrix} 0 \\ 0 \\ 0 \\ Tsampl \end{bmatrix} \cdot I_1^{ref}[k]$$

Ecuación 1: Representación de estado. Control 1.

Que se corresponden con los términos de:

$$X_{k+1} = \Phi \cdot X_k + \Gamma_1 \cdot u_1^c[k] + \Gamma_2 \cdot I_1^{ref}[k]$$

Donde se nombra con Φ y Γ lo que sería F y G, pero incluyendo retardos de control, filtrado y acción integral.

$$X_{k+1} = (\Phi - k \cdot \Gamma_1) \cdot X_k + \Gamma_1 \cdot u_1^c[k] + \Gamma_2 \cdot I_1^{ref}[k]$$

La k será calculada con el script mostrado en *Código fuente CONTROL*, a partir de Φ , Γ_1 y los polos deseados. Al ser polos discretos, en vez de reales negativos estarán en el plano complejo siguiendo la relación $p = e^{s \cdot Tsampl}$. Por tanteo se toman polos en continuo de $-\frac{3.5}{\tau} = -3.5 \frac{R_1}{L_1}$ y tres múltiplos.

Finalmente, es necesario calcular el factor de servicio DI a partir de $u_1^c[k]$ según la siguiente relación:



$$V_A = V_{CAT} - u_1^c \cdot L_1$$

$$D_1 = 1 - \frac{V_A}{V_{dclink}^f}$$

Realmente lo que calcula el control es el complementario:

$$D_{1neg} = \frac{V_A}{V_{dclink}^f}$$

El modelo en *Simulink* de este control aparece representado en la *Figura 60*.



4.2.3 CONTROL 2: CONTROL DE TENSIÓN $V_{cdclink}$

El control 2 se encarga de producir una referencia de corriente $i2^*$ a partir de la medida de $V_{cdclink}$, que tratará de mantener constante en torno a su tensión nominal de 80V, superior a la de catenaria

Para la representación de estados de este control, no se introducen retardos de filtrado ni control ya que será el filtro más lento de los tres. Sin embargo sí se introduce una acción integral.

$$\frac{dE}{dt} = \frac{1}{2} C \frac{d}{dt} (V_{cdclink}^2) = P_I - P_D$$

Donde E es la energía almacenada por el condensador intermedio, P_I la potencia que entra por su izquierda y P_D la que sale por su derecha. En este caso la variable de estados será $V_{cdclink}^2$:

$$\begin{aligned} \dot{X} &= u_2 \\ \frac{d}{dt} V_{cdclink}^2 &= \frac{2}{C} (P_I - P_D) \end{aligned}$$

En discreto:

$$V_{cdclink}^2[k+1] = \frac{2}{C} \cdot T_{sampl} (P_I[k] - P_D[k])$$

Y la acción integral:

$$\zeta[k+1] = \zeta[k] + T_{sampl} (V_{cdclink}^{ref}[k] - V_{cdclink}^2[k])$$

Lo cual expresado matricialmente quedaría:

$$\begin{aligned} & \begin{bmatrix} V_{cdclink}^2[k+1] \\ \zeta[k+1] \end{bmatrix} \\ &= \begin{bmatrix} 0 & 0 \\ -T_{sampl} & 1 \end{bmatrix} \cdot \begin{bmatrix} V_{cdclink}^2[k] \\ \zeta[k] \end{bmatrix} + \begin{bmatrix} T_{sampl} \\ 0 \end{bmatrix} \cdot u_2[k] \\ &+ \begin{bmatrix} 0 \\ T_{sampl} \end{bmatrix} \cdot V_{cdclink}^{ref}[k] \end{aligned}$$

Ecuación 2: Representación de estado. Control 2



Al igual que en el caso anterior, del u_2 calculado puede despejarse la referencia i_2^* . Sin embargo, se observó un mejor comportamiento con la digitalización de un control PI similar al implantado analógicamente. Para entender la elección de este control ver la memoria del prototipo existente [8].

Los parámetros del PI obtenidos fueron los siguientes:

$$I = 0.0183$$

$$K_p = 3.5824$$

$$C = K_p \frac{1 + I \cdot s}{I \cdot s} = \frac{3.582s + 195.4}{s}$$

Para interpretar este control, téngase en cuenta que fue calculado en tiempo continuo, y posteriormente discretizado en el diagrama de bloques (ver *Figura 61*) asumiendo que las variaciones de tensión en un período de muestreo son despreciables. El cálculo del control en *Matlab* puede verse asimismo en *Código fuente CONTROLES*.

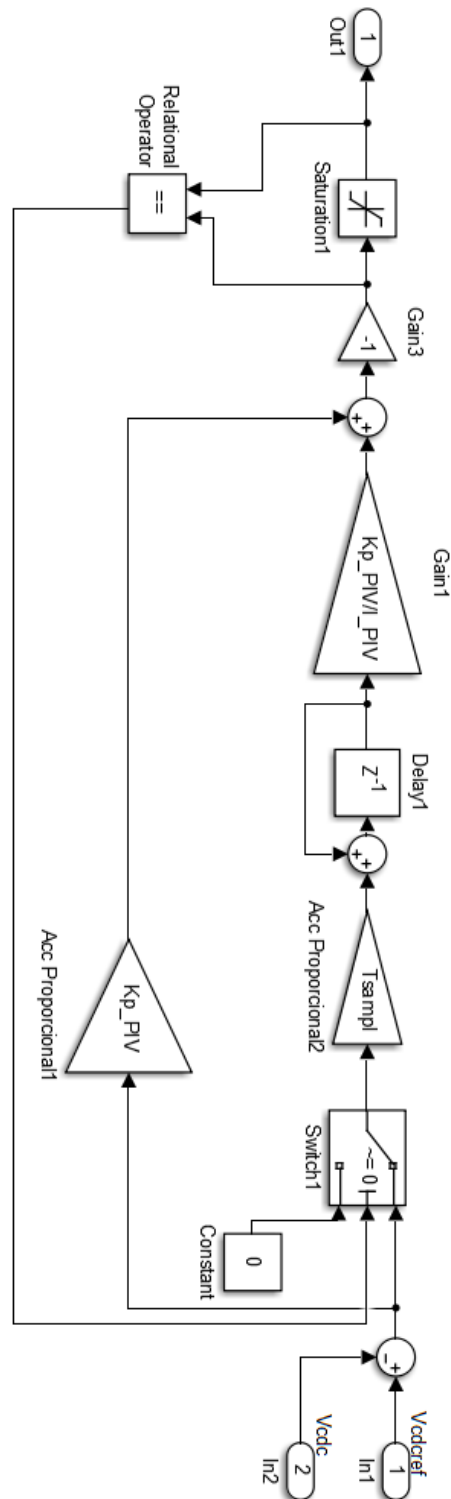


Figura 61: modelo *Simulink* del control de tensión Vcdclink

4.2.4 CONTROL 3: CONTROL DE CORRIENTE i_2

El control 3, como se describió anteriormente, calculará el factor de servicio del segundo semipunto de acuerdo a la referencia de corriente del supercondensador i_2^* calculada por el control 2. Será muy similar al control 1 y su esquema se representa en la *Figura 62*.

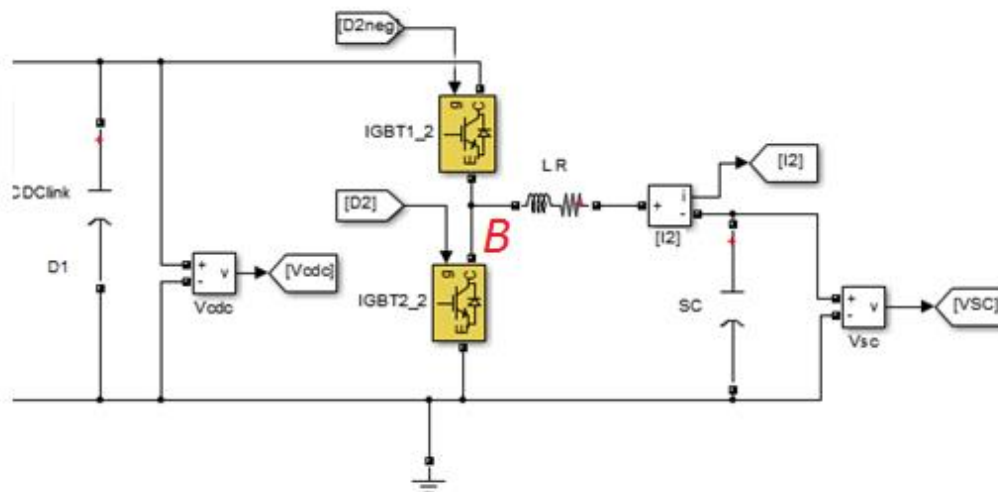


Figura 62: Esquema control 3

De este esquema se obtienen las siguientes relaciones:

$$V_B = V_{SC} + R_2 \cdot i_2 + L_2 \frac{di_2}{dt}$$

$$\frac{di_2}{dt} = -\frac{R_2}{L_2} \cdot i_2 + \frac{V_B - V_{SC}}{L_2}$$

Si se considera que $u_2 = \frac{V_B - V_{SC}}{L_2}$,

$$\dot{I}_2 = A_2 \cdot I_2 + B_2 \cdot u_2$$

Con $A_2 = -\frac{R_2}{L_2}$ y $B_2 = 1$.

Pasándolo a tiempo discreto:

$$I_2[k + 1] = F_2 \cdot I_2[k] + G_2 \cdot u_2[k]$$

$$F_2 = e^{-\frac{R_2 \cdot T_{\text{sampl}}}{L_2}}$$



$$G_2 = \int_0^{T_{\text{sampl}}} e^{-\frac{R_2}{L_2}\theta} \cdot d\theta = \frac{L_2}{R_2} \cdot (1 - e^{-\frac{R_2}{L_2} \cdot T_{\text{sampl}}})$$

Adicionalmente, como el control calculado no puede aplicarse en el mismo instante en que se muestrea, sino al siguiente período de muestreo:

$$u_2[k] = u_2^c[k - 1]$$

El retardo en el filtrado, equivalente a un período de muestreo con el filtro de Bessel diseñado:

$$I_2^f[k] = I_2[k - 1]$$

Introduciendo también una acción integral:

$$\zeta[k] = \zeta[k - 1] + T_{\text{sampl}} \cdot [I_2^{ref}[k - 1] - I_2^f[k - 1]]$$

La puesta conjunta en ecuación quedaría de la siguiente manera:

$$\begin{bmatrix} I_2[k + 1] \\ u_2[k + 1] \\ I_2^f[k + 1] \\ \zeta[k + 1] \end{bmatrix} = \begin{bmatrix} e^{-\frac{R_2}{L_2} \cdot T_{\text{sampl}}} & \frac{L_2}{R_2} \cdot (1 - e^{-\frac{R_2}{L_2} \cdot T_{\text{sampl}}}) & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & -T_{\text{sampl}} \end{bmatrix} \cdot \begin{bmatrix} I_2[k] \\ u_2[k] \\ I_2^f[k] \\ \zeta[k] \end{bmatrix} + \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} \cdot u_2^c[k] + \begin{bmatrix} 0 \\ 0 \\ 0 \\ T_{\text{sampl}} \end{bmatrix} \cdot I_2^{ref}[k]$$

Ecuación 3: Representación de estado. Control 3.

Que se corresponden con los términos de:

$$X_{k+1} = \Phi \cdot X_k + \Gamma_1 \cdot u_2^c[k] + \Gamma_2 \cdot I_2^{ref}[k]$$

Donde se nombra con Φ y Γ lo que sería F y G, pero incluyendo retardos de control, filtrado y acción integral.

$$X_{k+1} = (\Phi - k \cdot \Gamma_1) \cdot X_k + \Gamma_1 \cdot u_2^c[k] + \Gamma_2 \cdot I_2^{ref}[k]$$

La k será calculada con el script mostrado en *Código fuente CONTROL*, análogamente al control 1.



Finalmente, es necesario calcular el factor de servicio D_2 a partir de $u_2^c[k]$ según la siguiente relación:

$$V_B = V_{SC} + u_2^c \cdot L_2$$
$$D_2 = 1 - \frac{V_B}{V_{dclink}^f}$$

Realmente lo que calcula el control es el complementario:

$$D_{2neg} = \frac{V_B}{V_{dclink}^f}$$

El modelo en *Simulink* de este control aparece representado en la *Figura 63*.

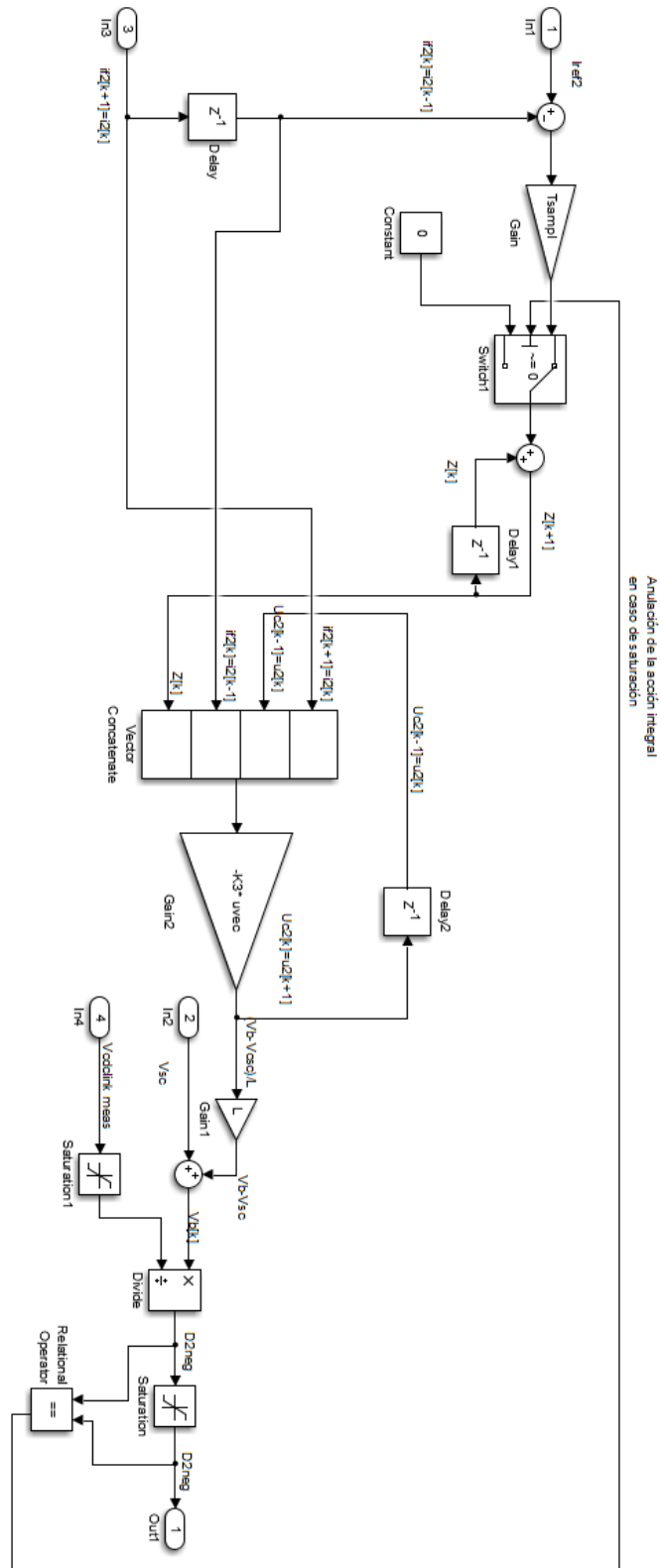


Figura 63: modelo *Simulink* del control de corriente i_2

4.2.5 ANULACIÓN DE LA ACCIÓN INTEGRAL

Como se ha podido apreciar en la descripción de los tres controles, todos ellos cuentan con un mecanismo de anulación de la acción integral en caso de que sus salidas ($D1$, $i2^*$, $D2$) saturen. Esto se hace con un operador relacional que compara la entrada y la salida del saturador ($=$) y un selector o *switch* de doble puerto. Si entrada y salida son iguales, no habrá saturación y el error se sumará a la acción integral. Sin embargo, si son diferentes, el selector sumará 0 a la acción integral, como se muestra en *Figura 64* y *Figura 65*.

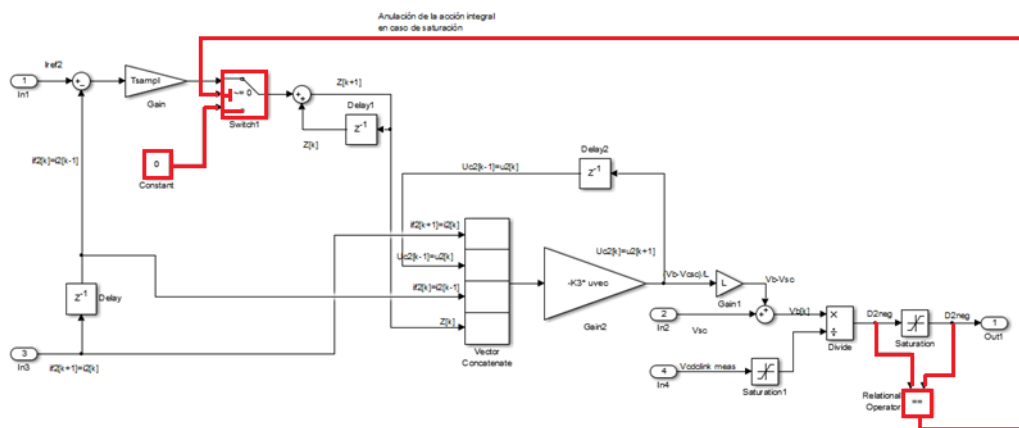


Figura 64: Anulación de la acción integral en el control 1 (similar al 3)

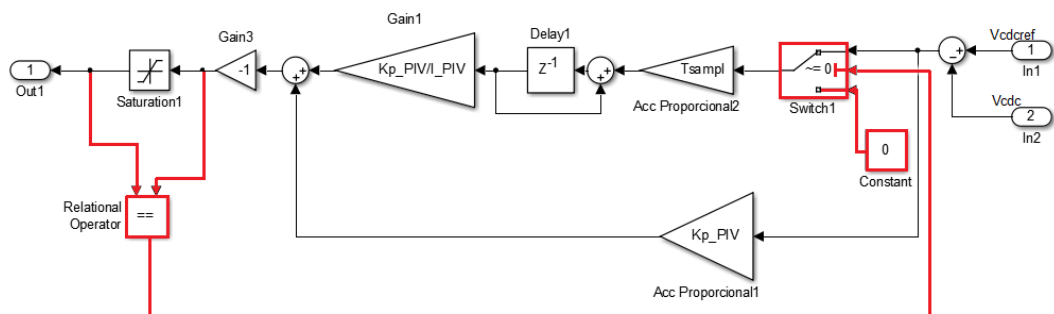


Figura 65: Anulación de la acción integral en el control 2

4.3 MODELO EN MATLAB/SIMULINK

Un modelo del sistema fue creado en *Simulink* con fines de simulación, cuyos resultados pueden consultarse en el *Capítulo 5*. Se han representado todas sus partes en la *Figura 66*.

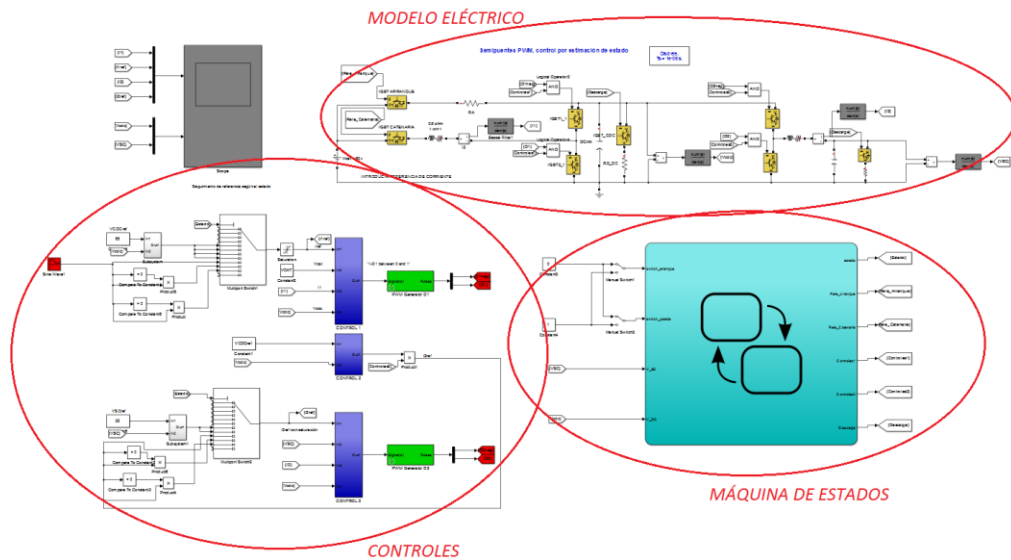


Figura 66: Visión global del modelo en *Simulink*

4.3.1 MODELO ELÉCTRICO

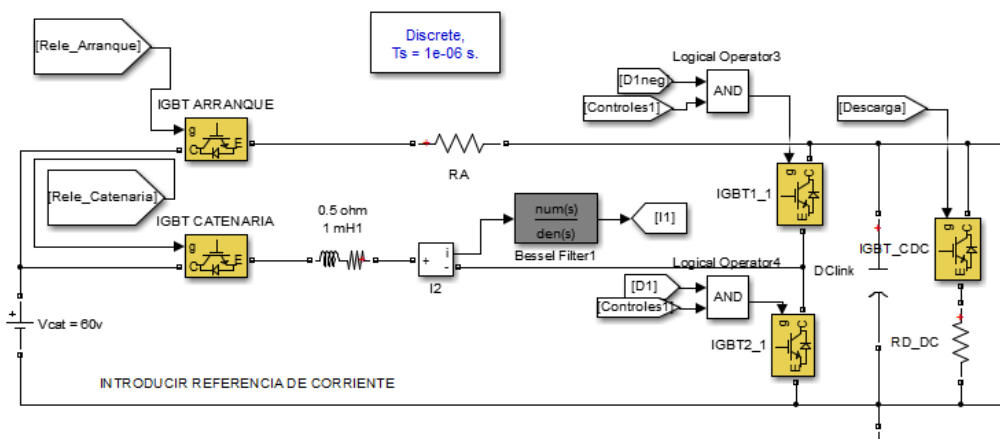


Figura 67: Modelo eléctrico en *Simulink* (primer semipunto)

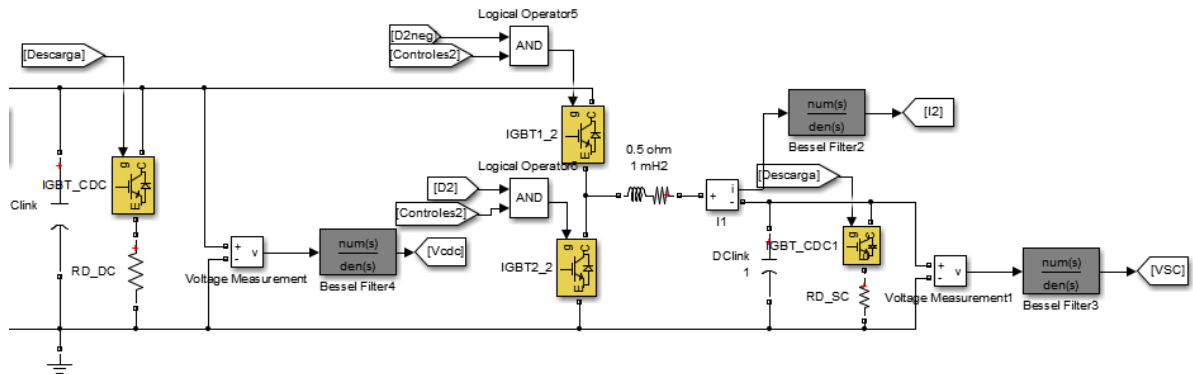


Figura 68: Modelo eléctrico en *Simulink* (segundo semipunte)

En *Figura 67* y *Figura 67* aparecen representados todos los componentes del sistema eléctrico (IGBTs, resistencias, fuentes de tensión, condensadores...). También se incluyeron los filtros de Bessel calculados (bloques en gris) para las medidas. Téngase en cuenta que los relés de arranque, catenaria y descarga del SC aparecen como IGBTs por facilitar el diseño. También es importante el hecho de que aparezcan dos señales *Controles1* y *Controles2* que hacen que solo se aplique el factor de servicio calculado a los semipuentes en aquellos estados en que deban conmutar.

El bloque que aparece en la parte superior es un *powergui*, necesario para la simulación, que implementa un solver discreto con un paso de 1 microsegundo para este sistema que sería continuo de otra manera.

4.3.2 MÁQUINA DE ESTADOS

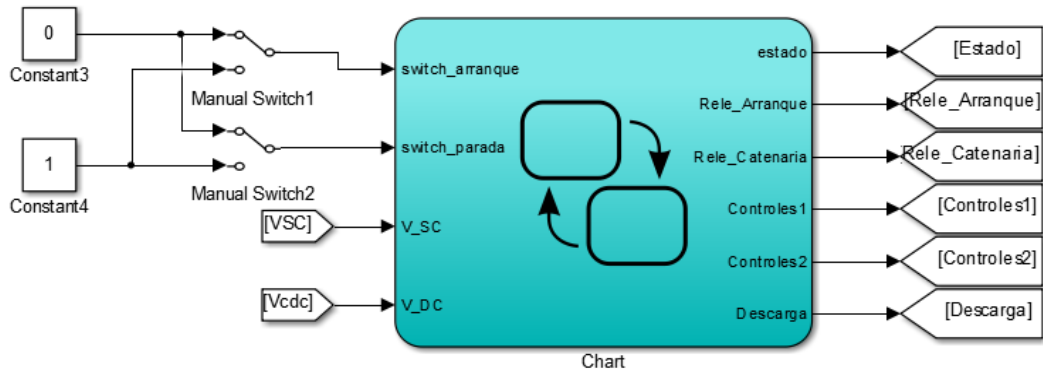


Figura 69: Visión exterior de la máquina de estados

La máquina de estados (Figura 69) se implementó con *Stateflow* y permite que, ante un mismo input, el sistema se comporte de una manera u otra dependiendo del estado en el que se encuentre.

Recibe cuatro señales externas, que se corresponden con la posición de los *switches* de arranque y parada y las tensiones de ambos condensadores. Para poder actuar sobre arranque y parada durante la simulación, se colocan dos interruptores manuales, como puede apreciarse en la figura precedente. Como salidas, encontramos una variable *Estado* que indica el número de estado en que se encuentra el sistema, las señales de excitación de los Relés de Arranque, Catenaria y Descarga, y las señales *Controles1* y *Controles2* que indican si los semipuentes deben conmutar.

El diagrama de estados y transiciones, que se encuentra dentro del bloque azul de la figura anterior, aparece representado en la *Figura 70*.

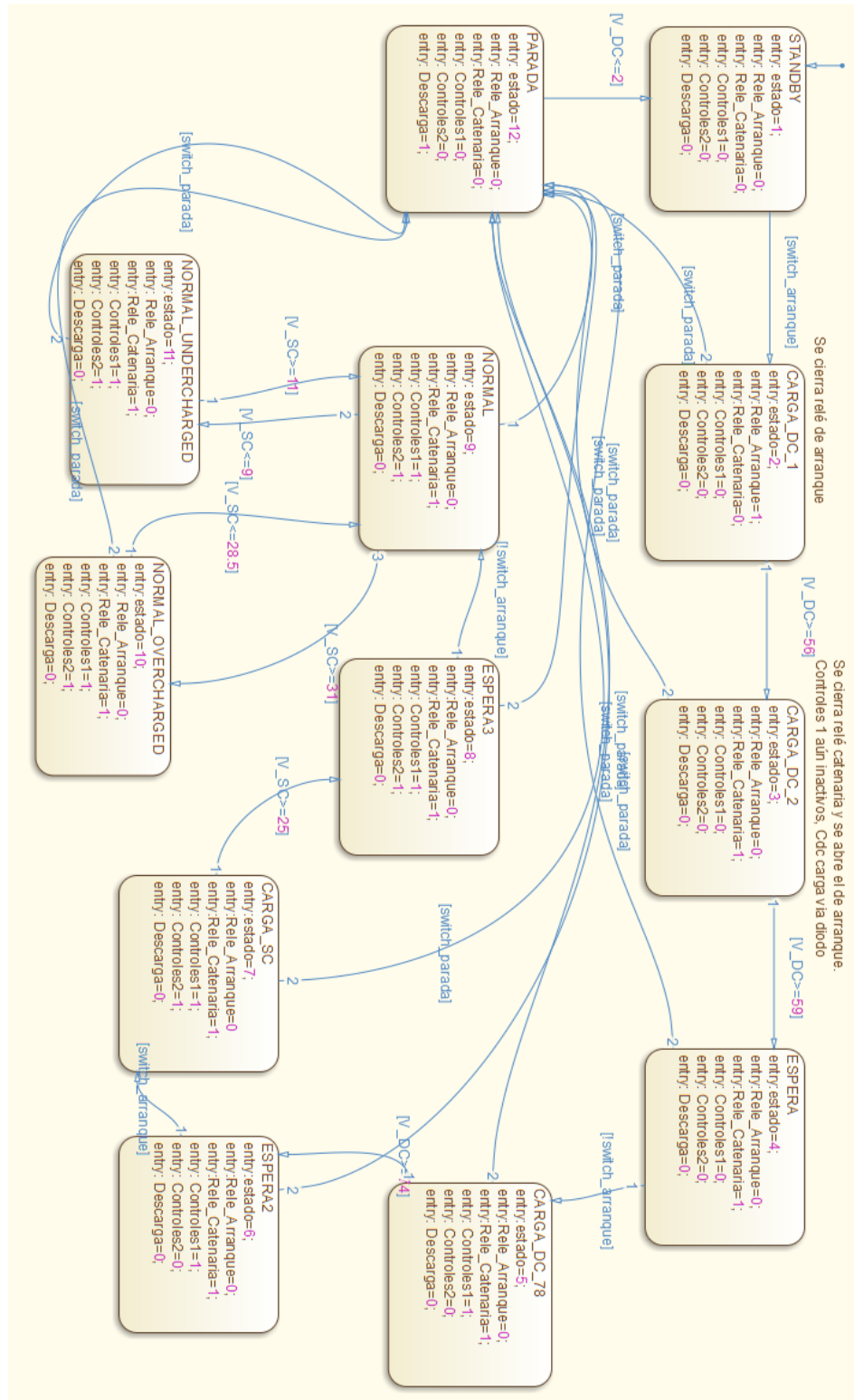


Figura 70: Diagrama de estados



A continuación se describe el flujo de la máquina de estados:

Al arrancar el sistema, éste estará en modo *Standby* (*estado 1*), con todos los controles desactivados y todos los relés abiertos. Cuando se acciona el *switch* de arranque, se pasa al *estado 2*, en el cual se cierra el relé de arranque para cargar el condensador intermedio hasta una tensión de 56V, cercana a la de catenaria (60V).

En este momento se pasa al *estado 3*, en que se abre el relé de arranque y cierra el de catenaria, y con los controles inactivos el condensador intermedio terminará de cargarse hasta la tensión de catenaria a través del diodo del IGBT superior del primer semipunto. Se pasa entonces al *estado 4*, un estado en que se espera a que se desactive el *switch* de arranque para empezar a conmutar.

Cuando esto sucede, se pasa al *estado 5*, en que se termina de cargar el condensador intermedio hasta una tensión cercana a su referencia de 80V, conmutando el primer semipunto (se activan los *Controles1*). En el apartado 4.3.3 se verá cómo la salida *Estado* actúa sobre un interruptor multipuerto que selecciona entre varias referencias. En este caso se seguirá una referencia de $i1$ resultado de un control proporcional de $Vdlink$.

Al alcanzar esta tensión, se pasa de nuevo a un modo de espera (*estado 6*), hasta que se actúe de nuevo sobre el *switch* de arranque para empezar a cargar el supercondensador. Cuando esto ocurre, se pasa al *estado 7*, en que se activan los controles del segundo semipunto (*Controles2*), que seguirá una corriente de referencia $i2^*$ resultado de un control proporcional de Vsc . El primer semipunto seguirá la misma referencia que antes, teniendo que “recargar” el condensador intermedio para que la carga del supercondensador no lo descargue.



Cuando el supercondensador alcanza una tensión cercana a su tensión nominal (25V), se pasa de nuevo a un modo de espera (*estado 8*). Al volver a actuar sobre el *switch* de arranque, se pasa al *estado 9*, modo normal de funcionamiento en que se sigue la referencia de corriente de catenaria iI^* mediante los tres controles decritos en 4.2.

Si en algún momento la tensión del supercondensador sube por encima de 31V, para evitar peligro se pasará al *estado 10*, “normal sobrecargado”, en que solo se seguirán referencias negativas. No se volverá al modo normal hasta que no haya bajado por debajo de 28.5V, introduciendo una histéresis que beneficia al funcionamiento del prototipo y a su estabilidad.

Análogamente, si cae por debajo de 9V, se pasará al *estado 11*, “normal descargado”, en que solo se seguirán referencias positivas, volviendo al modo normal cuando se alcancen de nuevo los 11V (igualmente se introduce una histéresis en el comportamiento del prototipo).

El *estado 12* corresponde con la descarga del prototipo. Se llega a él, por motivos de seguridad, desde cualquier otro estado al accionar el interruptor *switch parada*. Los controles se desactivan y se accionan el relé de descarga del supercondensador y el IGBT de descarga de *Cdclink*.

Cuando la tensión del supercondensador sea cercana a 0 se vuelve automáticamente al modo standby (no hace falta introducir condición de descarga de *Cdclink* puesto que en su última etapa descargará al mismo ritmo que el supercondensador).

A modo de apunte, se introdujeron varios modos de “espera” entre estados por motivos de seguridad para ir ensayando el prototipo de manera progresiva. En un inicio no estaba previsto que se actuase sobre el *switch* de arranque con este fin, y

podría eliminarse esta característica una vez se comprueba que el prototipo es funcional.

4.3.3 CONTROLES

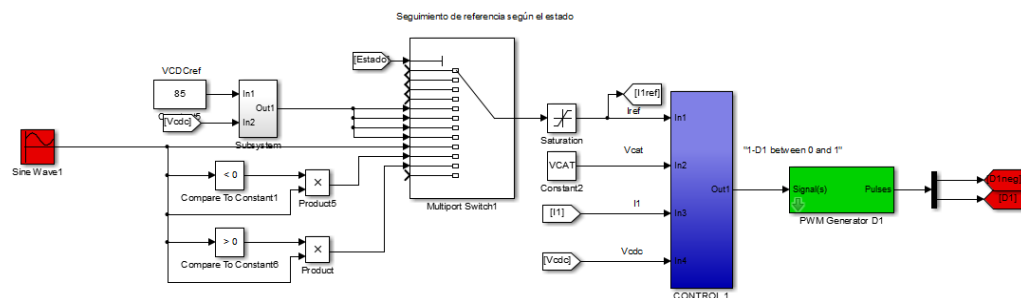


Figura 71: Control 1 en *Simulink*. Seguimiento de referencia según estado

Lo más remarcable de esta parte es el *Multipoint switch* que elige la referencia de corriente de catenaria i_l^* en función del estado de *Stateflow* en que se encuentre el sistema. Para los cuatro primeros estados, correspondientes a la puesta en marcha sin conmutación, no se ha de seguir ninguna referencia. Para los estados 5-8, correspondientes a las fases de arranque del sistema con conmutación, se sigue la referencia dada por un control proporcional de *Vcdclink* (bloque *Subsystem*). En los estados 9-11, correspondientes al modo normal, se sigue la referencia externa (bloque senoidal). Para los estados 10 y 11, en que el supercondensador se encuentra sobrecargado o descargado, esta referencia externa se compara a 0 para seguirla solo cuando sea positiva o negativa, según corresponda.

El interior del bloque azul se corresponde con el control 1 descrito en 4.2.2. y el bloque verde es un generador de señales PWM.

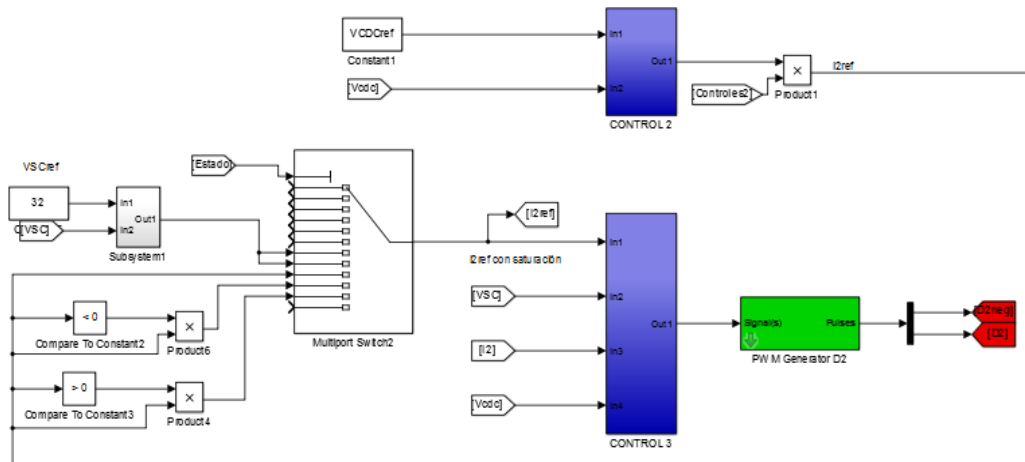


Figura 72: Controles 2 y 3 en *Simulink*. Seguimiento de referencia según estado

En la *Figura 72*, el Control 3 sigue, análogamente al 1, una referencia distinta en función del estado en que se encuentre el sistema. La referencia $i2^*$ vendrá dada por un control proporcional de V_{sc} en los estados 7 y 8, correspondientes a las fases del modo de arranque en que el segundo semipunto está conmutando. En las fases anteriores del arranque no ha de seguir referencia alguna. Para los estados 9-11, correspondientes al modo normal, se sigue la referencia de corriente calculada por el control 2. Como en el caso anterior, para los estados 10 y 11, en que el supercondensador se encuentra sobrecargado o descargado, esta referencia se compara a 0 para seguirla solo cuando sea positiva o negativa, según corresponda. En el modo descarga tampoco es necesaria ninguna referencia.

El interior de los bloques azules se corresponde con los controles 2 y 3 descritos en 4.2.3 y 4.2.4, y el bloque verde es un generador de señales PWM.

4.4 PROGRAMA DEL DSP

El programa que finalmente se cargue en el DSP desde *Matlab-Simulink* a través del *Code Composer Studio* será muy similar al modelo descrito en el apartado anterior. Se mantendrán la misma máquina de estados y los mismos controles, y se sustituirán el esquema eléctrico por las entradas y salidas que interactúan con el circuito eléctrico real. De la misma forma, se ofrecerá una visión global del programa para luego ir analizando cada parte. Dentro del bloque “rising” descrito en la *Figura 48*, en este programa aparecerá lo mostrado en la *Figura 73*.

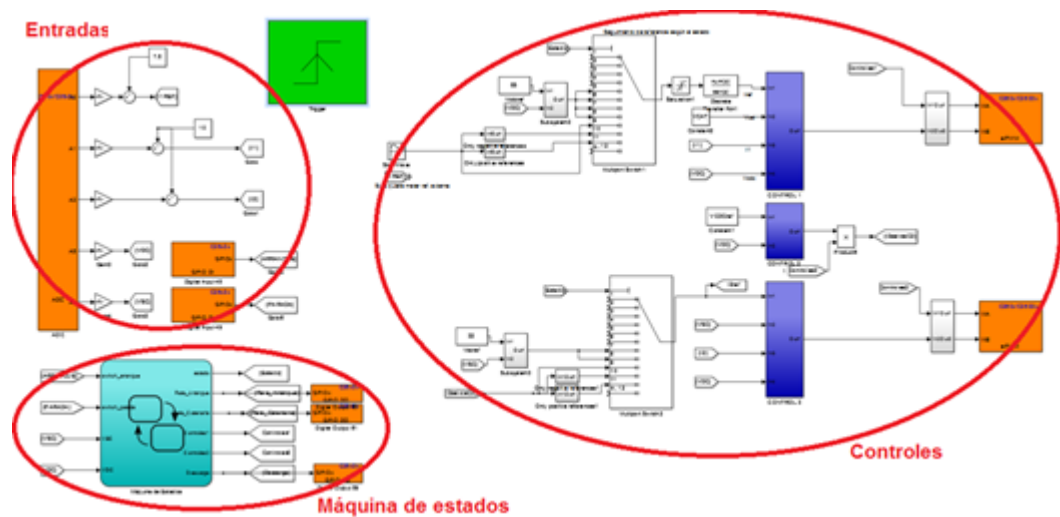


Figura 73: Visión global del programa del DSP

4.4.1 ENTRADAS

La interacción con el prototipo real se produce a través de los bloques sombreados en naranja:

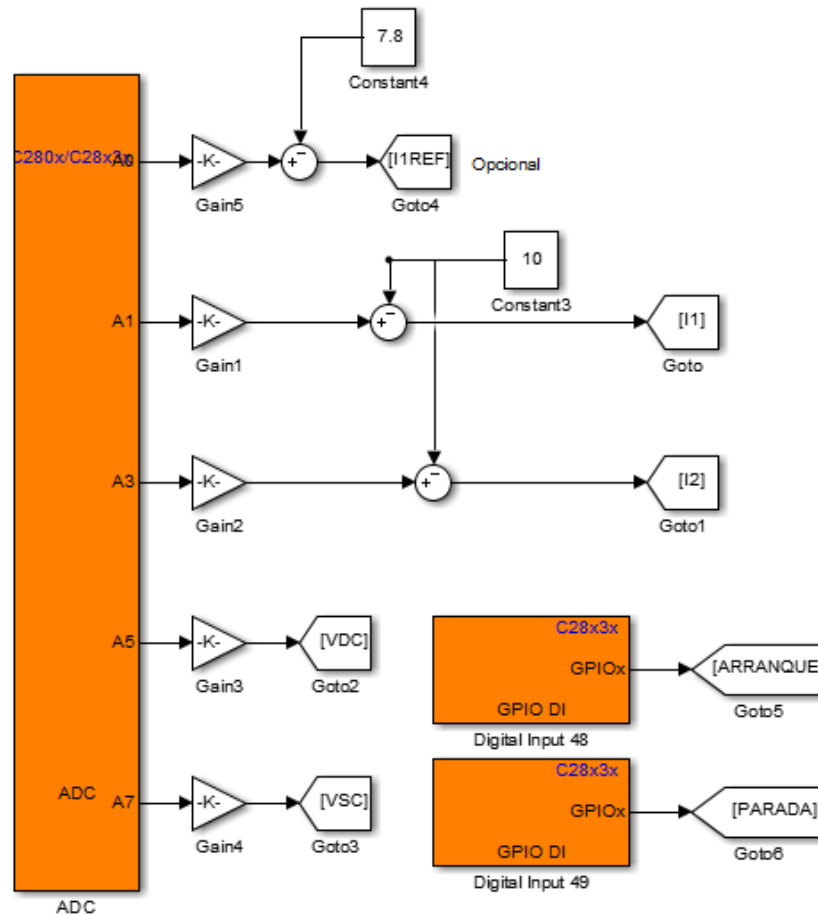


Figura 74: Programa del DSP: entradas

Esta parte se compone de un bloque ADC que muestreará las tensiones y corrientes del sistema, previamente adaptadas y filtradas en el *PCB Entradas*. Al tratarse de un conversor de 12 bits, las muestreará dándoles un valor entero entre 0 y 4095 (correspondientes a los niveles de 0 y 3V). Los bloques de ganancia y de suma solo reconvierten este valor entero en la magnitud real para el cálculo de los controles. El sistema también adquiere el estado de los interruptores de arranque y parada a través de dos bloques GPIO (*General Purpose Input/Output*, en este caso Input), ya que tendrán un valor binario.

Nótese que los pines del ADC y GPIO se corresponden con los ya asignados en 3.1.

4.4.2 MÁQUINA DE ESTADOS

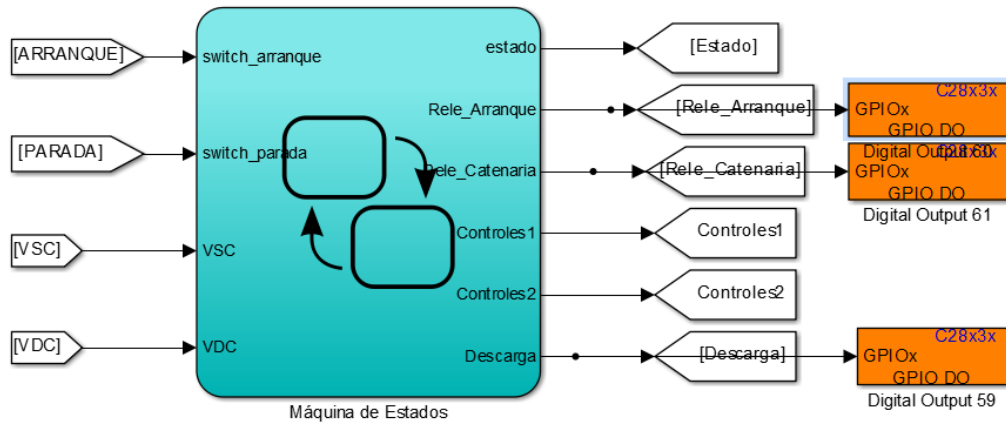


Figura 75: Programa DSP: Máquina de estados

El diagrama de estados y transiciones es exactamente igual al descrito en 4.3.2. Los interruptores manuales se sustituyen por las señales ARRANQUE y PARADA captadas por los pines GPIO del apartado anterior, y la actuación sobre los relés de arranque, parada y descarga se realiza con tres bloques GPIO, en este caso de tipo Output, cuyos pines se corresponderán nuevamente con los especificados en 3.2.

4.4.3 CONTROLES

En general serán también muy similares a los descritos en el apartado anterior. Se cambió el generador de PWM por los bloques ePWM con la estrategia de conmutación detalladas en 4.1. y los pines asignados en 3.2.

Para la correcta ejecución del programa, se introdujo una función de transferencia en la entrada de i_l^* al control 1, que equivale a un *rate limiter*, con el objetivo de limitar el escalón que se produce cuando se empieza a conmutar. Esta función puede consultarse en el *Código fuente CONTROLES*. En la anulación de la acción integral

se tuvo que introducir bloques de retardo para evitar *algebraic loops* que evitaban la correcta descarga del programa al DSP.

Por último, las señales *Controles1* y *Controles2* no son ya suficientes por sí solas para desactivar la conmutación en los estados donde esta no se produce: dado que se definió *D1* y *D2* como las complementarias de las señales *D1neg* y *D2neg* calculadas por los controles, se hace necesario un bloque que pone ambas a 0 cuando los controles no están activos. De otra manera se producirían cortocircuitos a tierra de los IGBTs inferiores. De esta tarea se encarga el bloque “Subsystem” anterior a los ePWM de la *Figura 76*.

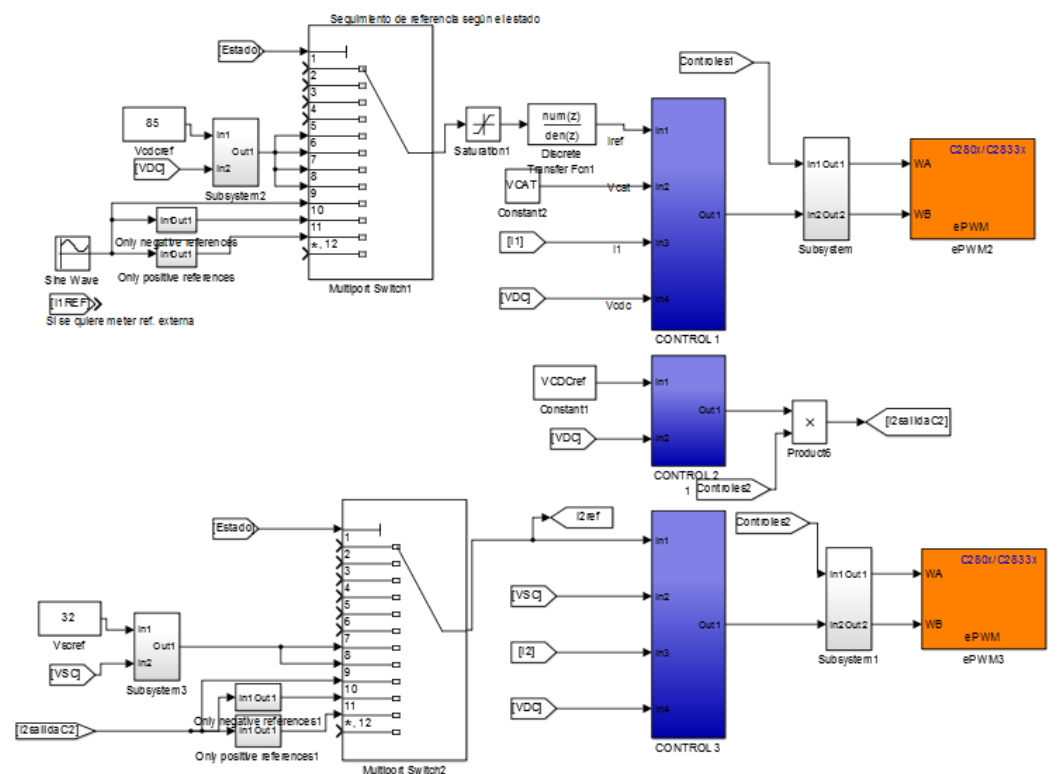


Figura 76: Programa DSP: Controles



Capítulo 5 RESULTADOS DE SIMULACIÓN

A continuación se detallan los ensayos de simulación realizados para comprobar el correcto funcionamiento de los distintos modos.

5.1 MODO ARRANQUE

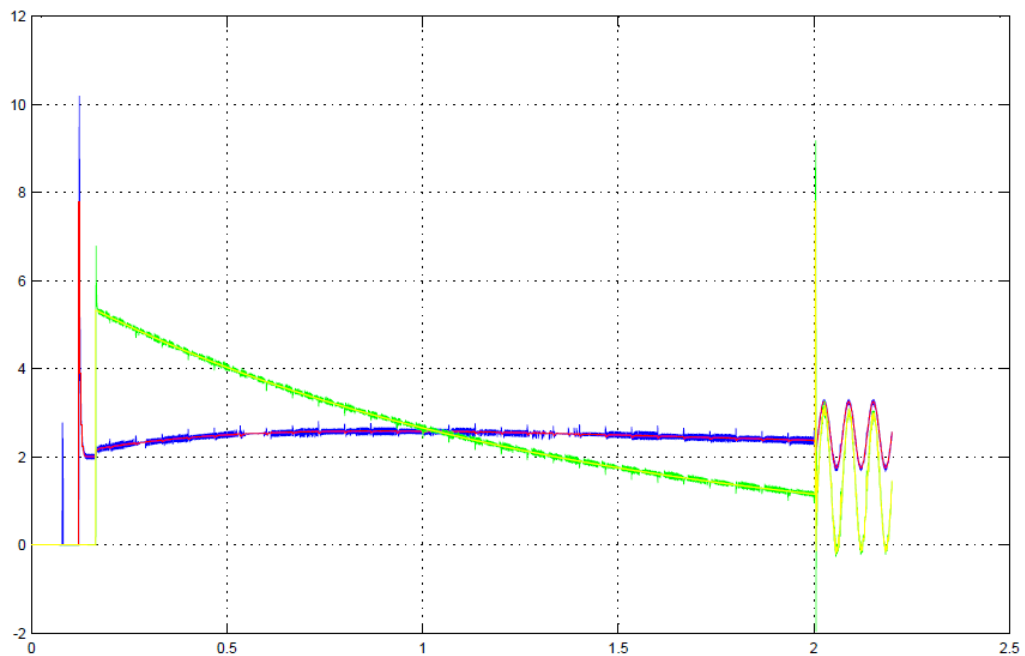


Figura 77: Simulación Arranque: Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_1 (verde), i_{2ref} (amarillo).

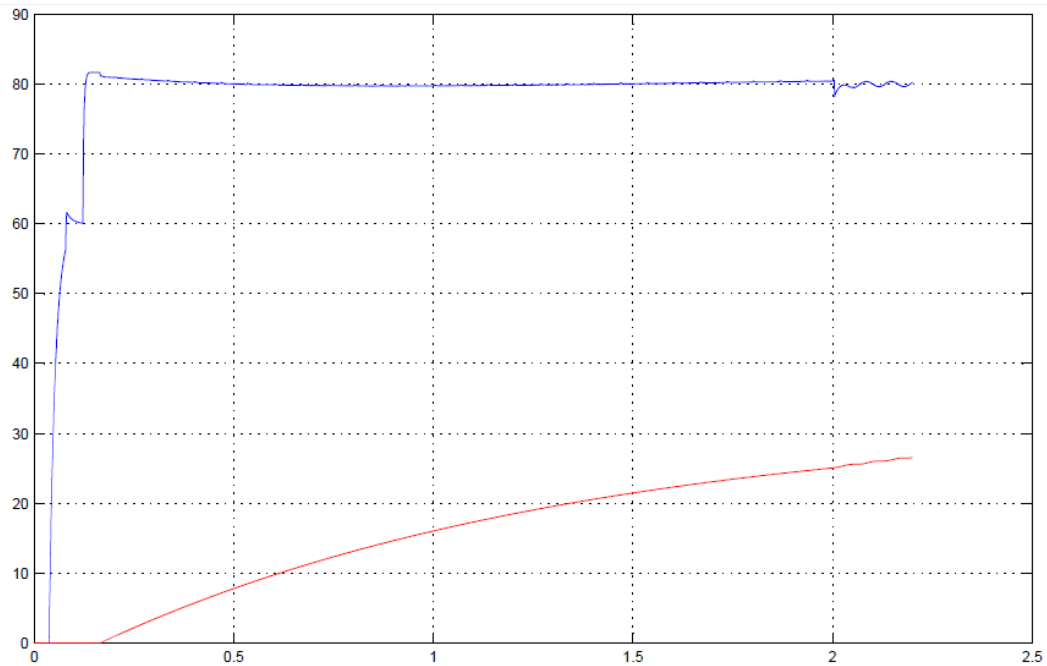


Figura 78: Simulación Arranque: Tensiones (V)

Donde $V_{cdclink}$ (azul), V_{sc} (rojo)

En la *Figura 77* y la *Figura 78* se detalla todo el proceso de arranque. Pueden apreciarse varias etapas: al principio se carga el condensador intermedio sin que los semipuentes conmuten. Durante esta etapa se observa un pico breve de i_1 que no sigue ninguna referencia: es ahí donde el condensador intermedio termina de cargarse a través del diodo del IGBT superior del primer semipuerto.

En una segunda etapa puede verse cómo empieza a conmutar el primer semipuerto y, poco más tarde (cuando C_{dclink} ya está cargado), el segundo. En la región central ambos controles estarán siguiendo referencias de corriente dadas por controles proporcionales. Es por eso que i_2 disminuye según va aumentando V_{sc} .

Por último se observa el paso a modo normal, donde se sigue una referencia senoidal. Hay un escalón con una breve saturación de i_2^* al cambiar el tipo de referencia seguida, que desvía V_{dc} momentáneamente de su valor de referencia y



provoca una oscilación amortiguada en i_2 . A continuación se detallan la primera fase de la carga (*Figura 79* y *Figura 80*) y el paso a modo normal (*Figura 81* y *Figura 82*),

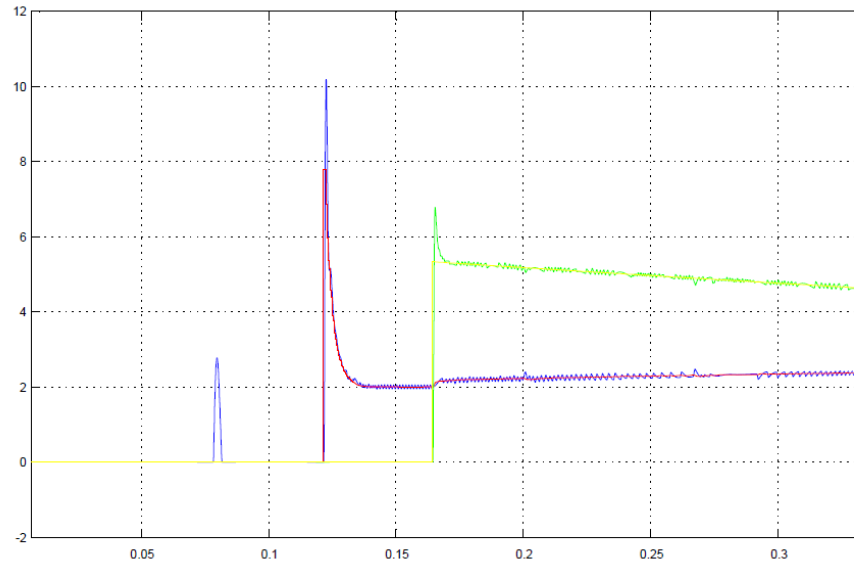


Figura 79: Simulación Arranque (detalle): Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_1 (verde), i_{2ref} (amarillo). Puede apreciarse cómo inician la conmutación el primer semipunto y, posteriormente, el segundo.



Figura 80: Simulación Arranque (detalle): Tensiones (V)

Donde $V_{cdclink}$ (azul), V_{sc} (rojo)

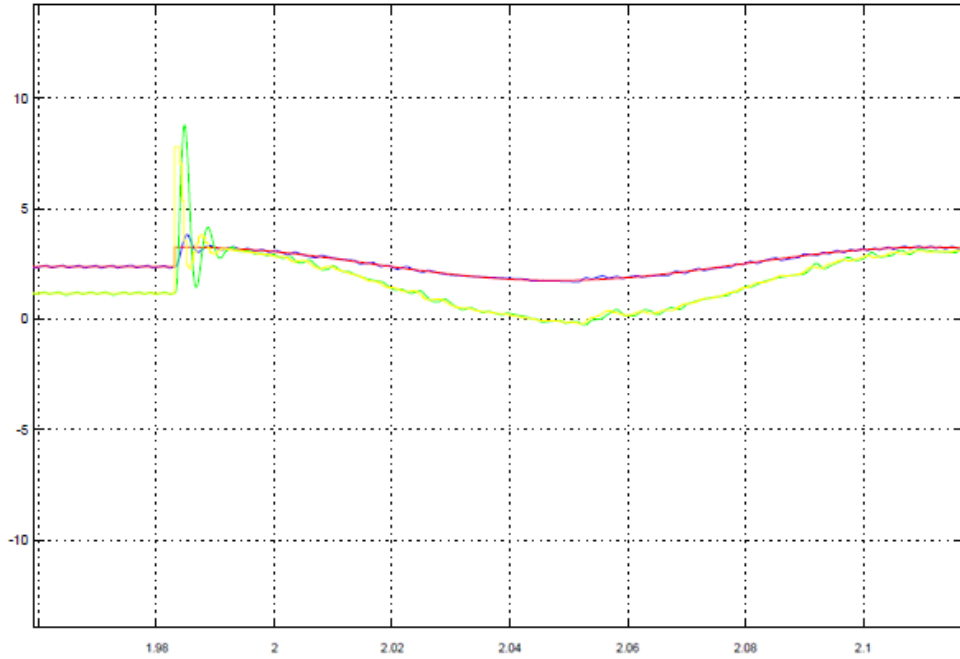


Figura 81: Simulación paso Arranque – Normal: Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_2 (verde), i_{2ref} (amarillo)

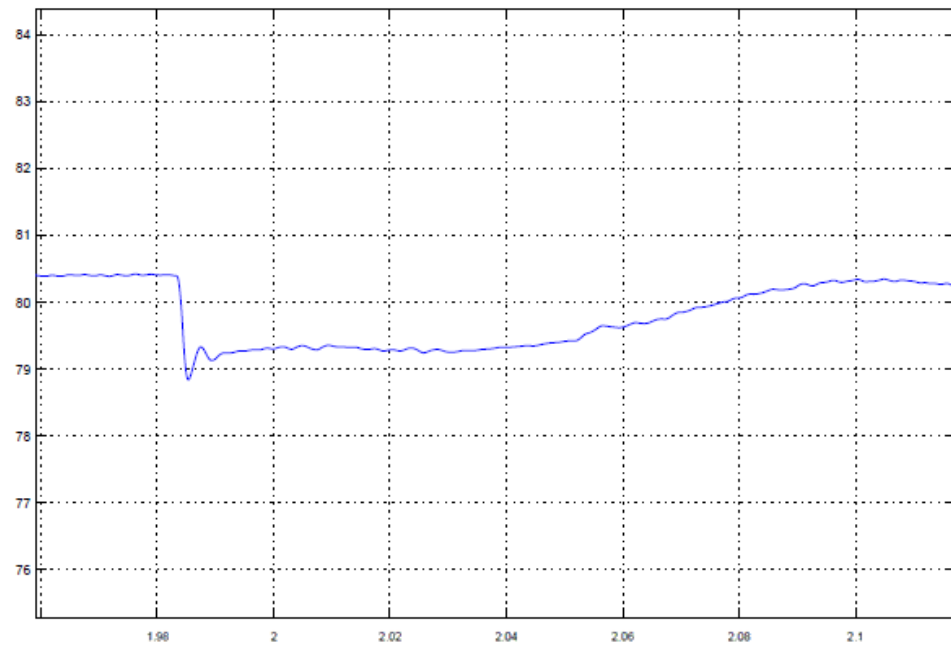


Figura 82: Simulación paso Arranque-Normal: Tensiones (V)

Donde $V_{cdclink}$ (azul)



5.2 MODO NORMAL

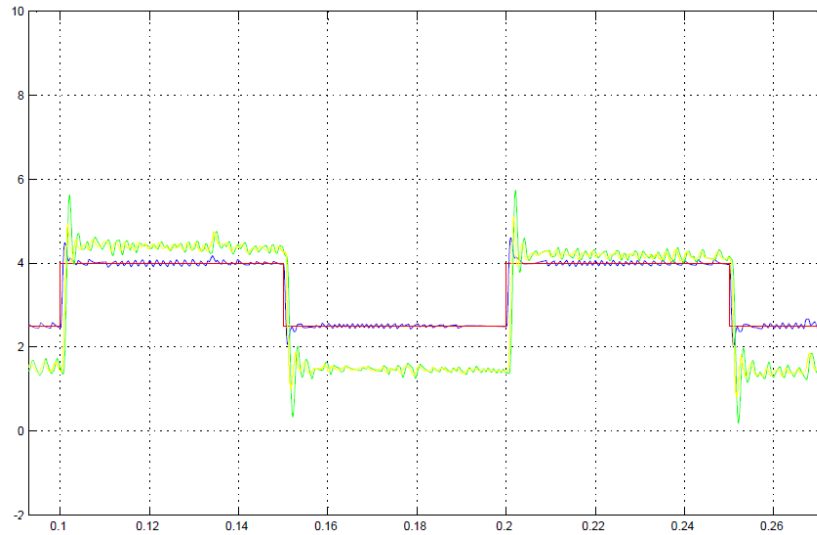


Figura 83: Simulación en Modo Normal: seguimiento de referencia en onda cuadrada. Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_2 (verde), i_{2ref} (amarillo)

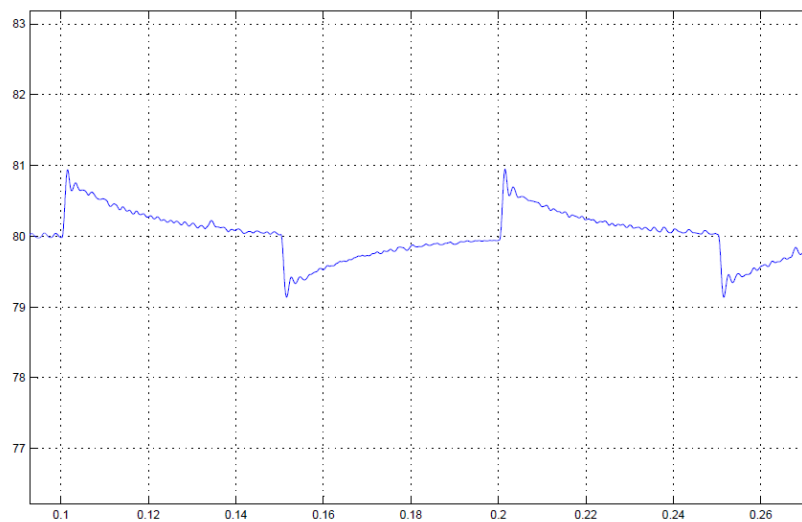


Figura 84: Simulación en Modo Normal: seguimiento de referencia de onda cuadrada. Tensión de Cdlink (V)

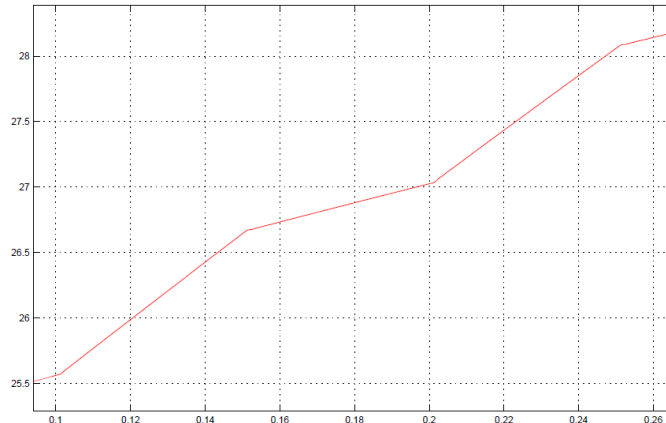


Figura 85: Simulación en Modo Normal: seguimiento de referencia de onda cuadrada. Tensión de Csc (V)

Es interesante ver cómo Vcdclink vuelve a su referencia de 80V tras las perturbaciones (Figura 84). Y cómo, al ser la referencia cuadrada pero siempre positiva, el supercondensador estará siempre cargándose, a distinto ritmo según la parte de la onda cuadrada en que se esté (Figura 85). También interesa comprobar que, cuando el supercondensador esté sobrecargado, solo se seguirán referencias negativas (Figura 86 y Figura 87) y al revés, cuando esté descargado solo se seguirán referencias positivas (Figura 88 y Figura 89). Se comprobará también la histéresis.

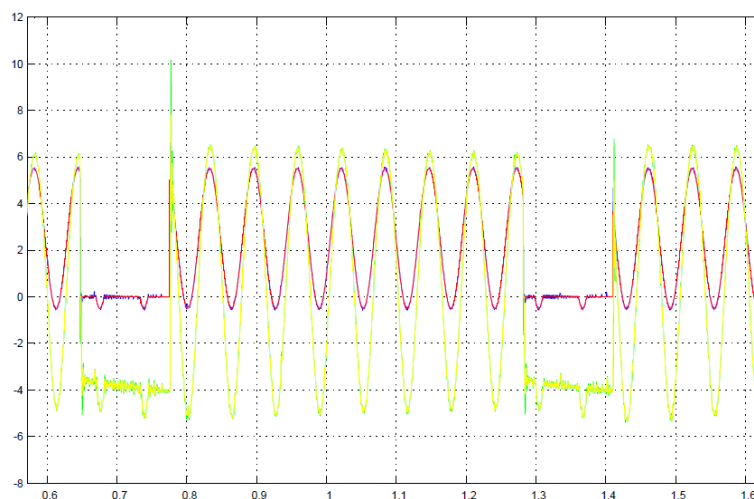


Figura 86: Simulación en Modo Normal Sobrecargado: Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_1 (verde), i_{2ref} (amarillo)

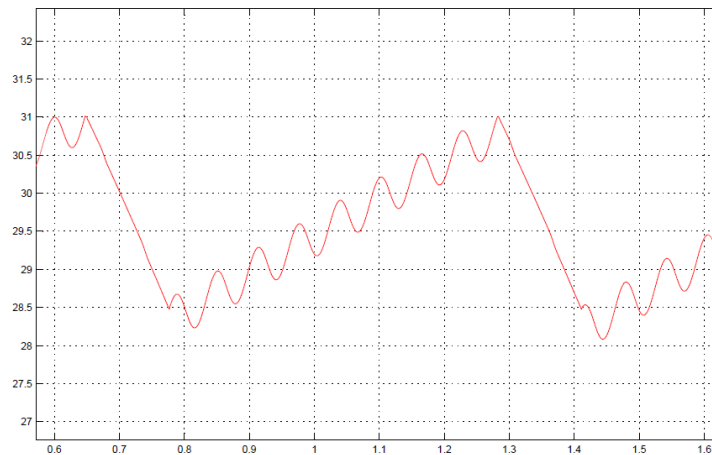


Figura 87: Simulación en Modo Normal Sobrecargado: tensión del SC (V)

En dichas figuras puede apreciarse cómo el supercondensador va cargándose hasta alcanzar la tensión máxima, de 31V. En ese punto, empieza a sólo seguir la parte negativa de la referencia senoidal, descargándose hasta los 28.5V que se consideran aceptables. Queda por tanto comprobada la histéresis introducida. Nótese que en el modelo empleado el supercondensador (y no la catenaria) se hace cargo de las pérdidas en los transistores, por lo que una referencia nula de catenaria se traduce en una referencia negativa de i_2^* .

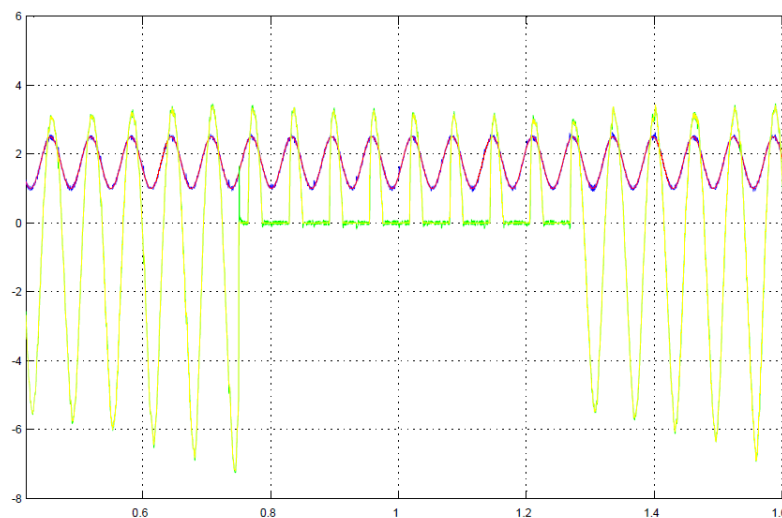


Figura 88: Simulación en Modo Normal Descargado: Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_1 (verde), i_{2ref} (amarillo)

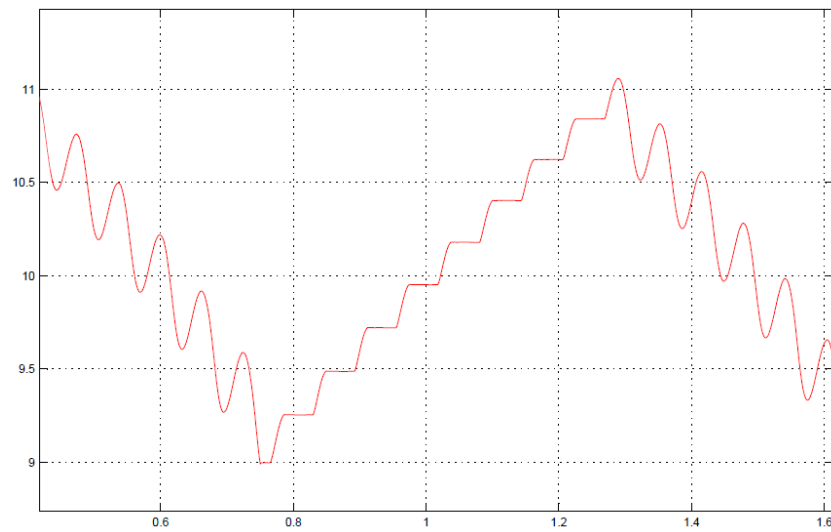


Figura 89: Simulación en Modo Normal Descargado: Tensión del SC (V)

En el modo descargado puede apreciarse cómo al bajar la tensión del supercondensador de 9V, solo se siguen las consignas positivas, hasta que se alcanzan los 11V donde el sistema vuelve a seguir todas las consignas independientemente de su signo. Se vuelve a comprobar el funcionamiento de la histéresis introducida.



5.3 MODO DESCARGA

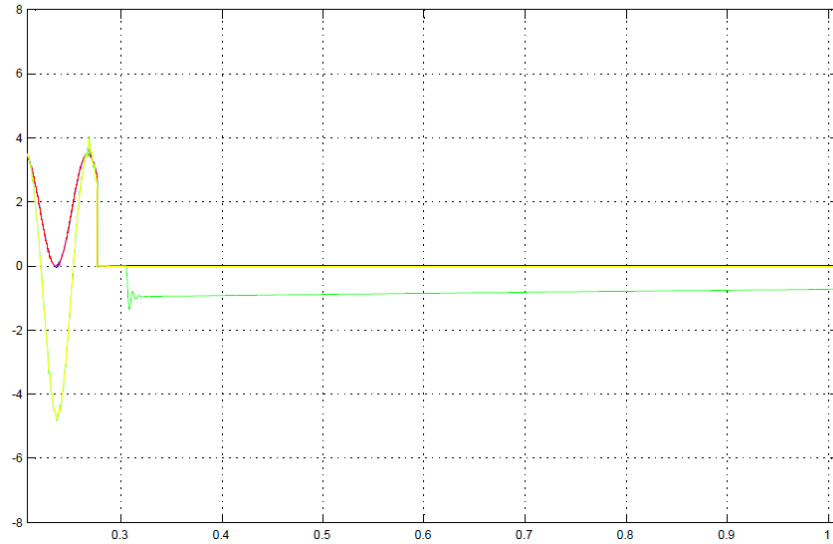


Figura 90: Simulación en Modo Descarga: Corrientes (A)

Donde i_1 (azul), i_{1ref} (rojo), i_1 (verde), i_{2ref} (amarillo)

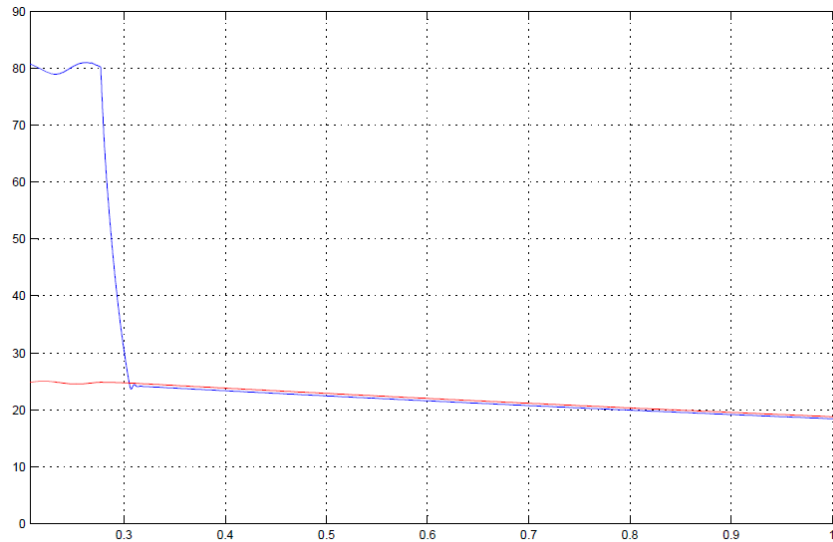


Figura 91: Simulación en Modo Descarga: Tensiones (V)

Donde V_{dclink} (azul), V_{sc} (rojo)



En la Figura 90 y la Figura 91 puede observarse cómo, al activar el modo descarga, empiezan a descargarse ambos condensadores a través de sus respectivas resistencias de descarga. El condensador intermedio *CDLink*, al tener menor capacidad, se descarga de forma más rápida, pero cuando alcanza el nivel de tensión del supercondensador *SC*, no puede seguir descargándose más rápido que este, ya que la corriente empieza a circular a través del diodo del *IGBT* superior del segundo semipunto, desde *SC* hacia *CDLink*. Por ello, a pesar de que la referencia i_2^* es nula, en el gráfico aparece una cierta corriente i_2 negativa. La última fase de descarga, por lo tanto, la hacen los dos condensadores al mismo ritmo.



Capítulo 6 ANÁLISIS DEL RENDIMIENTO

A continuación se detalla el análisis hecho sobre el rendimiento por simulación. Se calculará la potencia entregada por la catenaria como $V_{cat} \cdot i_1$ y la potencia que llega al supercondensador como $V_{sc} \cdot i_2$. El cociente de estas dos potencias instantáneas será el rendimiento en cada momento.

Para realizar este ensayo, se modelaron las pérdidas en los IGBTs con los parámetros definidos en el *Datasheet Semipuerto IGBTs*. Se realizó el análisis para un supercondensador en modo normal, cargándose de 9V a 32 (valores extremos), con una referencia de corriente de catenaria $i_1^* = 5$ Amperios. Los resultados son los siguientes:

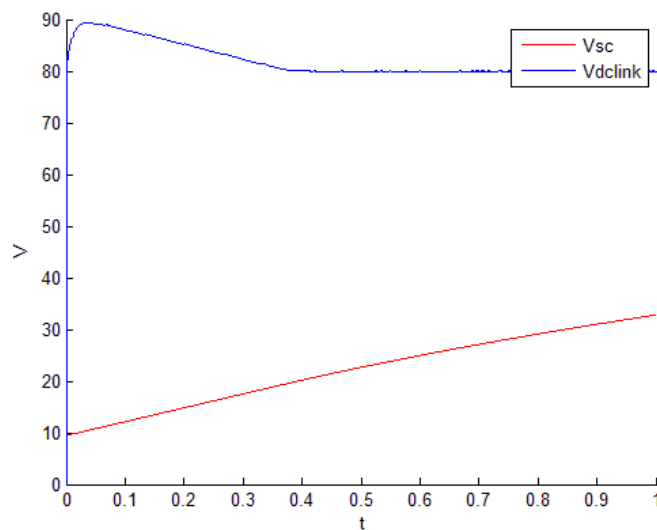


Figura 92: Análisis de Rendimiento con $i_1^* = 5$ Amperios: Tensiones

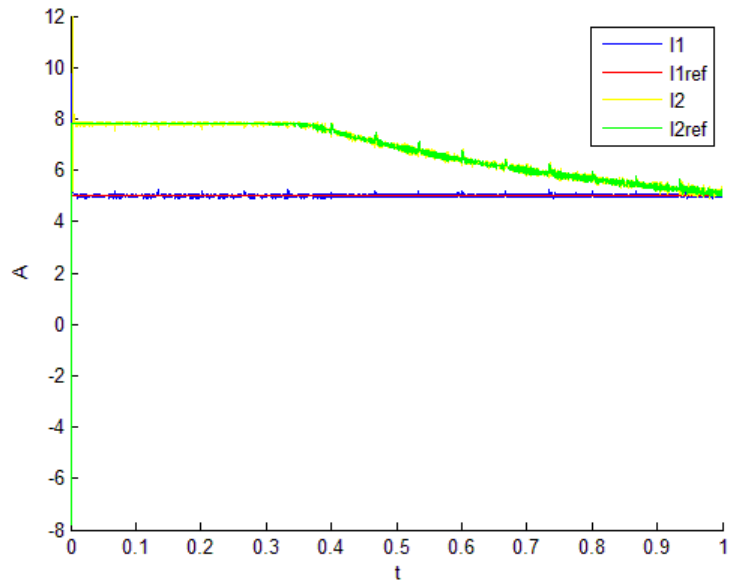


Figura 93: Análisis de Rendimiento con $i_l^*=5$ Amperios: Corrientes

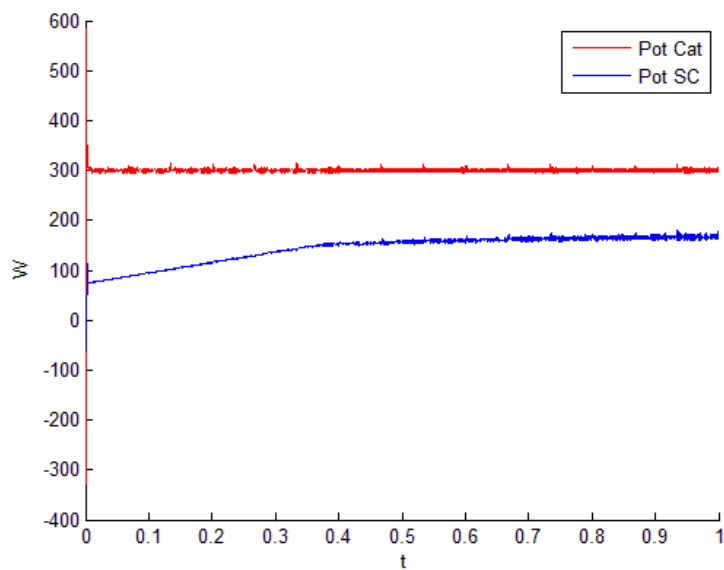


Figura 94: Análisis de Rendimiento con $i_l^*=5$ Amperios: Potencias

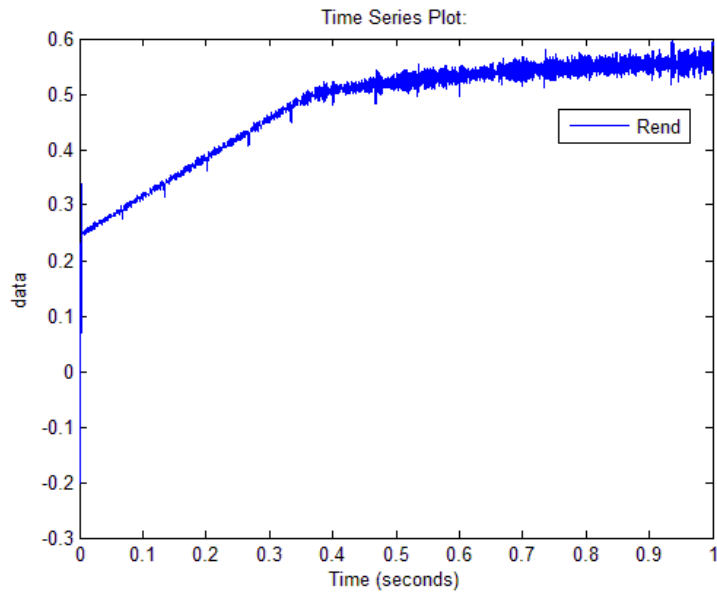


Figura 95: Análisis de Rendimiento con $i1^*=5$ Amperios: Rendimiento

Como puede observarse, en una primera fase, con el supercondensador descargado, la referencia de corriente $i2^*$ satura. Esto quiere decir que se necesitaría aportar más corriente al supercondensador para que el balance de potencias fuera equilibrado. Como esto no se produce, el condensador intermedio se carga más de lo debido, por encima de los 80V, ya que no puede desalojar toda la potencia que le llega. Si esta tensión fuera muy elevada (por encima de los 95V), la máquina de estados diseñada llevaría el prototipo al modo descarga. Durante esta fase, el aumento progresivo de la tensión del supercondensador hace que el sistema avance hacia un balance más equilibrado, con el rendimiento aumentando de forma drástica, desde apenas un 25% hasta un 60%.

Cuando la referencia de $i2$ deja de saturar, empieza a descender paulatinamente, ya que al estar el condensador cada vez más cargado, necesitará menos corriente para que se mantenga el balance de potencias. Esto hace que la potencia del supercondensador deje de crecer tan drásticamente (antes era proporcional al aumento de su tensión, con una corriente constante y ahora la corriente va



disminuyendo), lo cual provoca que el rendimiento se estabilice en torno a un 55% con el condensador cargado.

Como en simulación no es necesario introducir saturadores de referencia, ya que no es obligatorio respetar la corriente máxima por la bobina, es interesante ver el comportamiento sin dicha saturación:

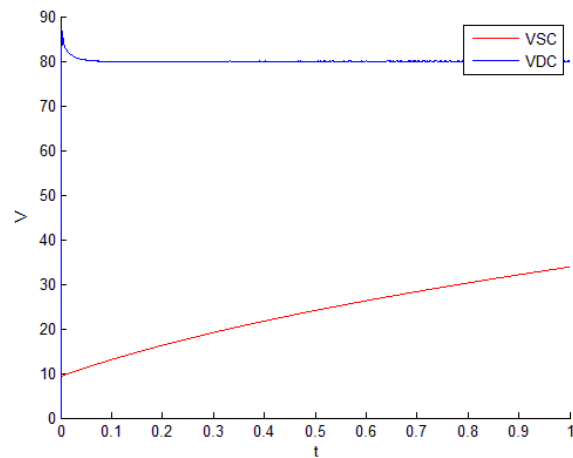


Figura 96: Análisis de Rendimiento con $iI^*=5$ Amperios sin saturación:

Tensiones

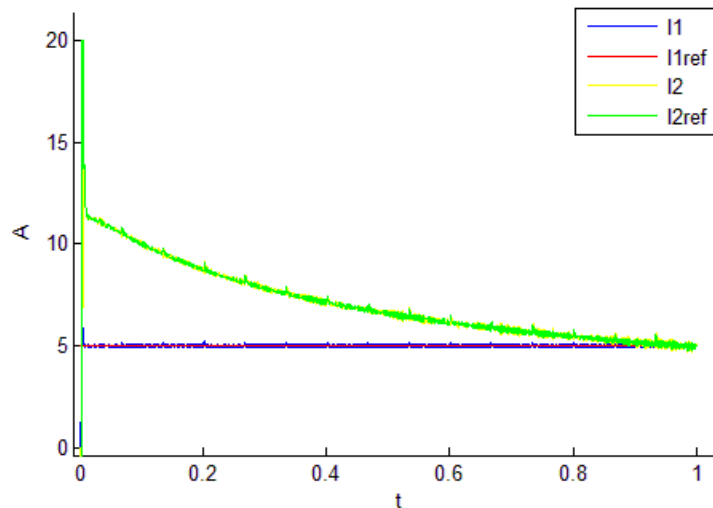


Figura 97: Análisis de Rendimiento con $iI^*=5$ Amperios sin saturación:

Corrientes

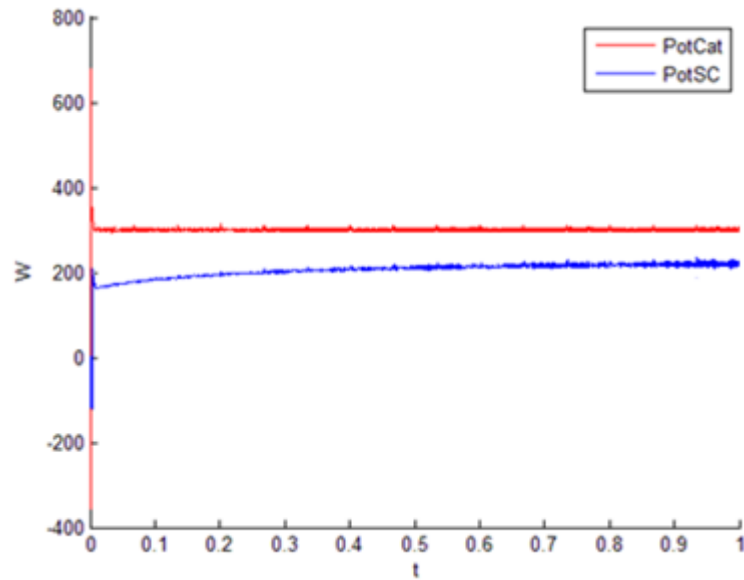


Figura 98: Análisis de Rendimiento con $iI^*=5$ Amperios sin saturación: Potencias

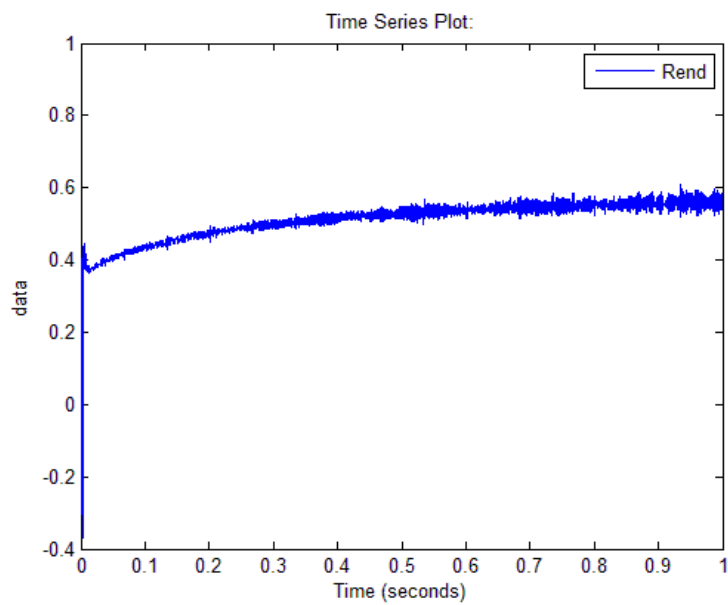


Figura 99: Análisis de Rendimiento con $iI^*=5$ Amperios sin saturación:
Rendimiento



Por último se realizará una prueba con un supercondensador cargado en torno a 25V y una referencia de iI^* que varía desde 10 Amperios hasta 0 para ver cómo evoluciona el rendimiento:

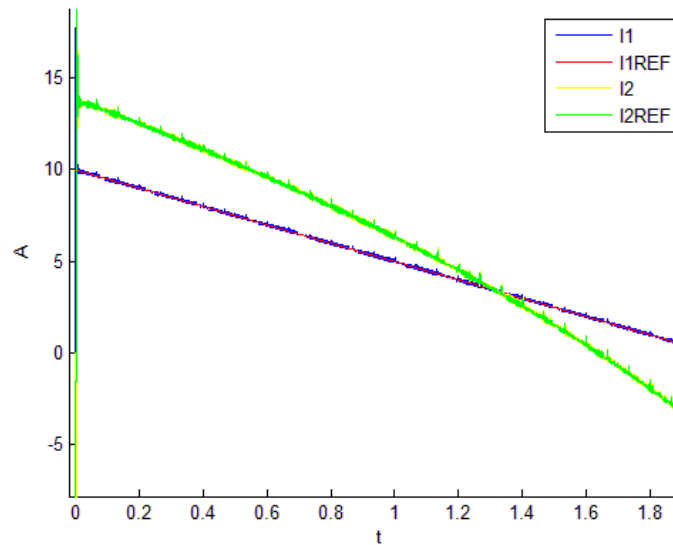


Figura 100: Análisis de Rendimiento con iI^* de 10 a 0 Amperios: Corrientes

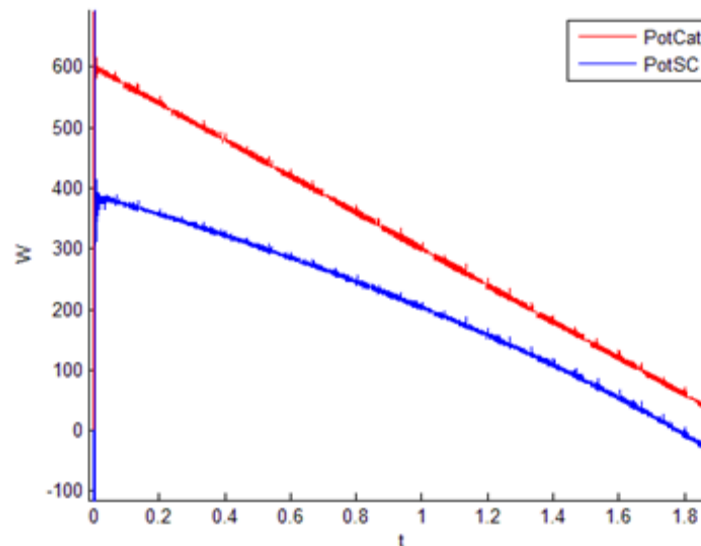


Figura 101: Análisis de Rendimiento con iI^* de 10 a 0 Amperios: Potencias

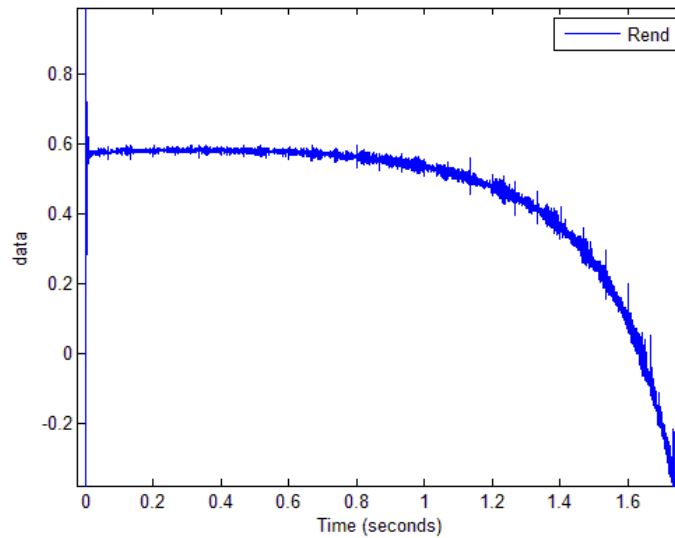


Figura 102: Análisis de Rendimiento con iI^* de 0 a 10 Amperios sin saturación:

Rendimiento

Se aprecia cómo el rendimiento se mantiene constante para referencias de corriente altas, pero empieza a descender pronunciadamente para referencias de menos de 1 Amperio, hasta hacerse negativo: hay momentos en que tanto la catenaria como el supercondensador están aportando energía para compensar pérdidas.



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL

Capítulo 7 SIMULACIÓN EN MARCHA REAL

Como parte de la asignatura “Sistemas avanzados de control del tráfico”, del Máster en Sistemas Ferroviarios del ICAI, se realizó un trabajo consistente en diseñar una malla de tráfico ferroviario para una línea. Para ello era necesario tener en cuenta la longitud de interestación, pendientes, curva característica de fuerza tractora del tren, consumos auxiliares, peralte y limitaciones de velocidad al paso por curva, ondas de presión en túneles, resistencia de rodadura... Como uno de los resultados parciales, se obtuvieron las siguientes curvas:

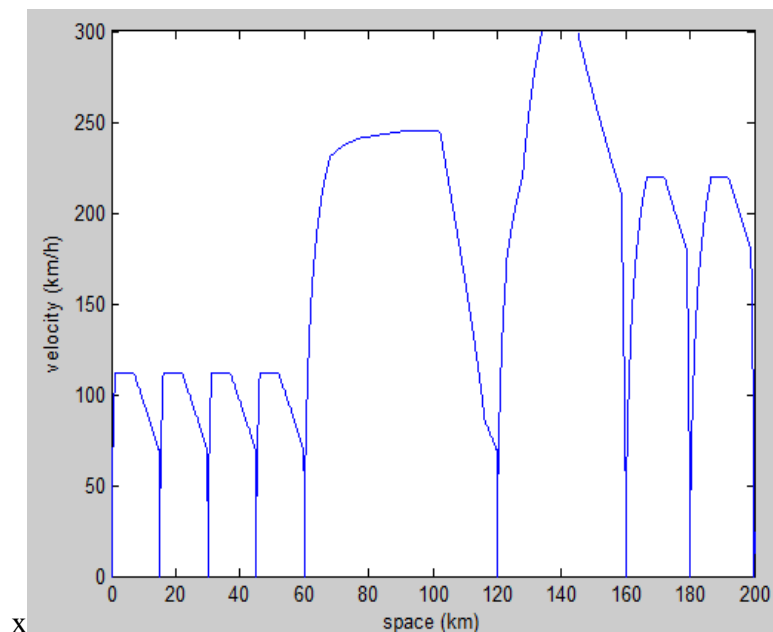


Figura 103: Gráfica velocidad – espacio de la línea

Como se puede comprobar, había 7 estaciones intermedias. En el primer tramo y en el último, llanos, las curvas limitaban la velocidad máxima. En los dos tramos intermedios, rectos, hay una pendiente ascendente y una descendente (por eso el tren alcanza velocidades más altas en uno que en otro).

Las gráficas de potencia de frenado y de tracción a lo largo del tiempo fueron las siguientes:

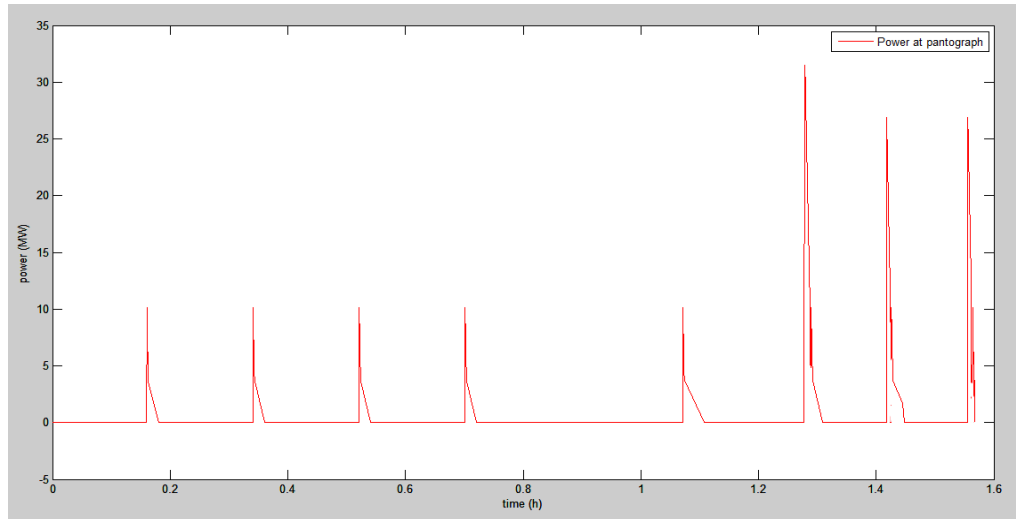


Figura 104: Potencia de frenado a lo largo del tiempo

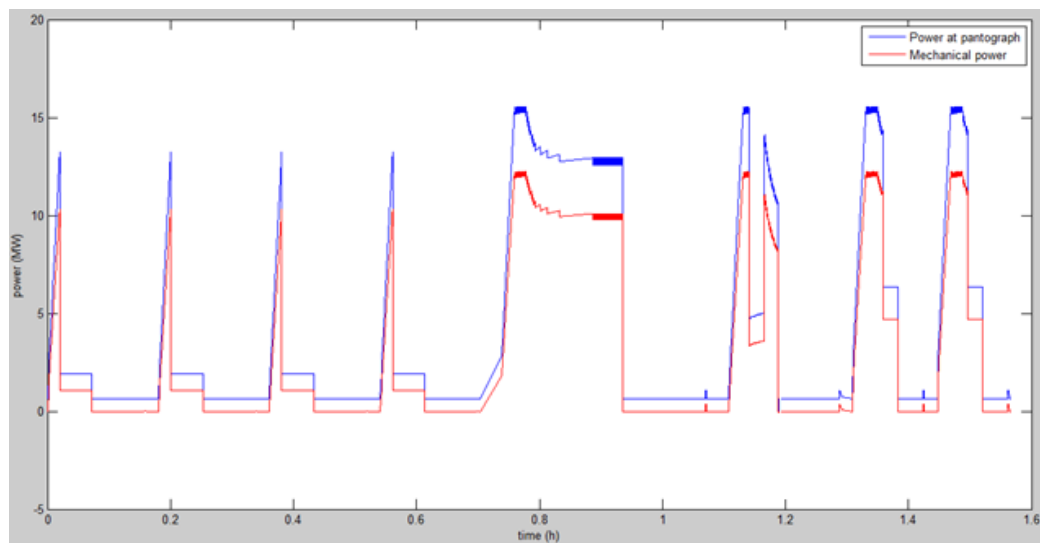


Figura 105: Potencia de tracción a lo largo del tiempo.

De acuerdo con estas dos gráficas, se generará una onda de referencia verosímil en función de lo que puede ver la catenaria (con pocos trenes, con muchos se distorsionaría). No se pretende que el supercondensador entregue toda la corriente



para la tracción, pero sí suavizarla durante períodos largos de tiempo. Por otro lado, los picos de potencia entregados por el frenado son breves y fuertes, de manera que probablemente el SAE no pueda absorberlo todo. Por eso se elige una onda como la siguiente para iI^* , con las referencias positivas (de carga, correspondientes al frenado) breves y por encima del umbral de saturación (7.8 Amperios), y las referencias negativas más prolongadas en el tiempo pero menos acusadas:

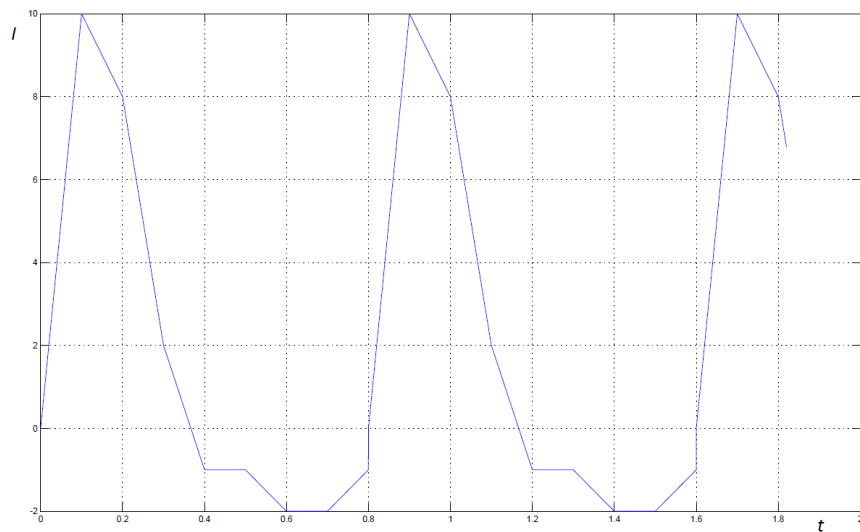


Figura 106: Referencia realista de corriente de catenaria iI^*

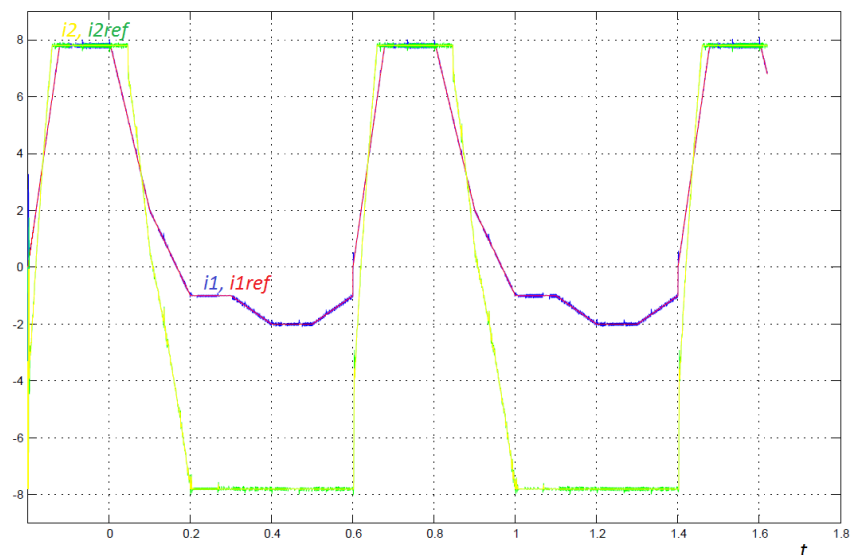


Figura 107: Resultados con referencia realista (corrientes)

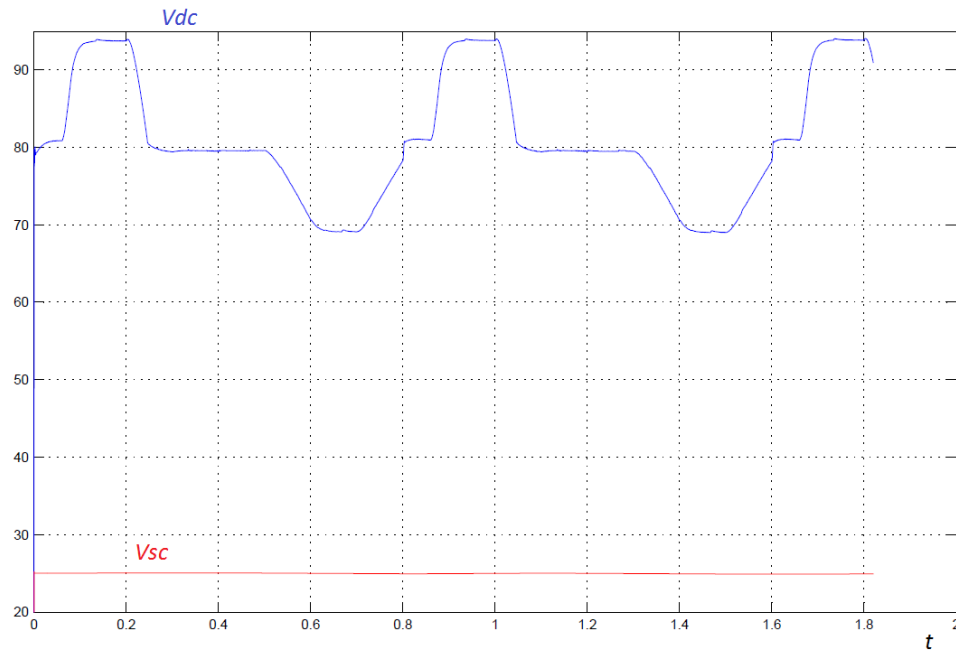


Figura 108: Resultados con referencia realista (Tensiones)

Como se aprecia, en los picos de frenado saturan ambas corrientes, mientras que en la tracción llega a saturar solo la corriente del lado del supercondensador. Estas saturaciones desvían la tensión del condensador intermedio de su referencia de 80V, a la que vuelve cuando la saturación finaliza. Esto podría limitarse con bobinas que soportaran más corriente. Se ve cómo la tensión del supercondensador, por su parte, se mantiene estable en torno a 25V por su gran capacidad, cargándose levemente en el frenado y descargándose levemente en la tracción.

Capítulo 8 CONCLUSIONES Y FUTUROS

DESARROLLOS

En conclusión, se obtuvo un control del prototipo por estimación de estado que permite, no solo el flujo bidireccional de potencia entre supercondensador y catenaria, sino también una gran flexibilidad y fiabilidad por incluir compensaciones de los retardos de filtrado y cálculo, así como anulación de la acción integral, características difícilmente implantables analógicamente. La máquina de estados gestiona perfectamente el funcionamiento del prototipo y garantiza la seguridad en todas sus etapas. Se llegó a resultados coherentes por simulación, aunque por diversos motivos los ensayos reales de integración no funcionaron (aunque sí ensayos parciales).

A pesar de haber realizado han realizado diversas simulaciones y ensayos parciales con el sistema diseñado, es posible implantar mejoras futuras o incluso desarrollar un sistema más complejo del que el S.A.E. será sólo una parte. En efecto, este sistema podría eventualmente integrarse con otros que modelen el comportamiento de la catenaria o de un tren traccionando y frenando.

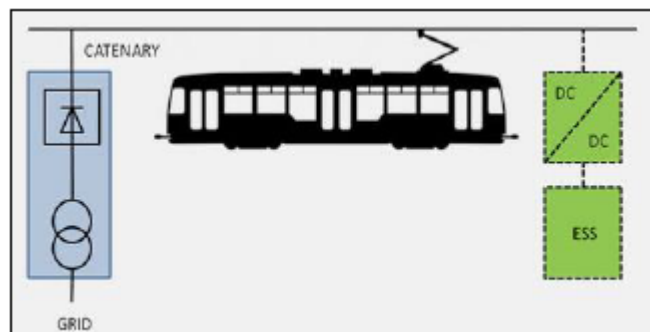


Figura 109: Integración del Sistema Acumulador de Energía en un sistema de electrificación ferroviaria más amplio [7].



En primer lugar, debido a fallos en los componentes no fue posible realizar todos los ensayos deseados, quedando los resultados de este proyecto reducidos a simulaciones. En el futuro se habrán de realizar los ensayos correspondientes.

Se ha visto que las pérdidas del sistema son asumidas por el propio S.A.E. y no por la catenaria. Ello resulta en que, ante una referencia nula, el supercondensador se descargue poco a poco. Deberían analizarse en profundidad las ventajas y desventajas de este hecho, y eventualmente modificar el diseño del convertidor y el control para que sea la catenaria quien asuma las pérdidas.

Por otro lado, el sistema consta de tres controles. La representación de estado del sistema íntegro podría permitir condensar los tres controles en uno solo que modele el sistema completo. Esta hipótesis, aunque compleja, también sería explorable.

Asimismo, la flexibilidad del control mediante un DSP permitiría implantar de manera sencilla otros controles y analizar si el rendimiento y las prestaciones del sistema mejoran o empeoran. Esta misma flexibilidad permitiría analizar la influencia que tiene la elección de las frecuencias de muestreo y conmutación sobre el funcionamiento del sistema.

Por último, debido a fallos en los relés implantados, se creyó conveniente que la carga se realizase manualmente a través de interruptores, sustituyendo los dos relés de arranque y catenaria por interruptores. Una mejor elección de los componentes podría permitir volver al diseño inicial. En el *Documento II: Planos* se detallan las alternativas de *PCB* diseñadas para arranque automático y su posterior adaptación para un arranque manual.



Capítulo 9 BIBLIOGRAFÍA

- [1] PEIT (Plan Estratégico de Infraestructuras y Transporte, Ministerio de Fomento) http://www.fomento.gob.es/MFOM/LANG_CASTELLANO/ESPECIALES/PEIT/ (Octubre 2015)
- [2] López, A., Pecharromán, R.R., Fernández-Cardador, A., & Cucala P. (2013). *Aprovechamiento de la energía procedente del frenado regenerativo en ferrocarriles metropolitanos*, *Anales de mecánica y electricidad*, mayo-junio 2013.
- [3] *Motores eléctricos y tracción ferroviaria*. Asignatura FFCC Metropolitanos, Urbanos y de Cercanías. Máster en Sistemas Ferroviarios (ICAI)
- [4] Battistelli, L., Ciccarelli, F., Lauria, D., & Proto, D. (2009). *Optimal design of DC electrified railway stationary storage system*. *Clean Electrical Power, 2009 International Conference on*, 739-745. doi:10.1109/ICCEP.2009.5211971
- [5] *Tranvías sin catenaria*. Asignatura FFCC Metropolitanos, Urbanos y de Cercanías. Máster en Sistemas Ferroviarios (ICAI)
- [6] Hui Pan, Jianyi Li & Yuan Ping Feng (2009). *Carbon Nanotubes for Supercapacitor*. *Nanoscale Research Letters*, 2009
- [7] Foiadelli, F., Roscia, M. & Zaninelli, D. (2006). *Optimization of storage devices for regenerative braking energy in subway systems*. *Power Engineering Society General Meeting, 2006. IEEE*, 6 pp. doi:10.1109/PES.2006.1708894
- [8] Vecino Prieto, J. TFG, U.P.Comillas: *Prototipo a escala de electrificación ferroviaria*. <http://www.iit.upcomillas.es/pfc/resumenes/55786acb76367.pdf>
- [9] https://en.wikipedia.org/wiki/Bessel_filter (Mayo 2016)
- [10] http://docs.kicad-pcb.org/es/getting_started_in_kicad.html (Febrero 2016)
- [11] École Supérieure d'Électricité (2014). *Polycopié Signaux et Systèmes II*.
- [12] École Supérieure d'Électricité (2014). *Polycopié Automatique*.
- [13] Ochoa-Giménez, M., García-Cerrada, A., Roldán-Pérez, J., Zamora-Macho, J.L., García-González, P. & Bueno E. (2015). *Versatile Control of STATCOMs Using Multiple Reference Frames*.



- [14] <https://www.metromadrid.es/es/comunicacion/prensa/2014/Febrero/noticia05.html> (Junio 2016)
- [15] http://www.bombardier.com/content/dam/Websites/bombardiercom/supporting-documents/BT/Bombardier-Transport-ECO4-MITRAC_Energy_Saver-EN.pdf (Junio 2016)



Parte II ESTUDIO

ECONÓMICO



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Las enormes cantidades de energía implicadas en un sistema ferroviario hacen que sea de gran interés aprovechar la energía regenerada mediante el frenado de los trenes. Como no siempre es posible devolver la energía a la red, existe un potencial enorme para reducir la energía que se pierde en los reóstatos de los trenes mediante tecnologías de acumulación.

La tecnología de los *supercaps* o supercondensadores está teniendo un fuerte impulso en la actualidad gracias al desarrollo del automóvil eléctrico. Pese a la bajada en los precios del petróleo (2016), la inversión en *i+D* en estos sistemas continúa y es previsible que en el futuro esta tecnología se haga más fiable y accesible. En el sector ferroviario, su desarrollo viene sobre todo por el lado de los tranvías, y no únicamente desde el aprovechamiento de la energía regenerada, también cargándose desde la red. Ya existen sistemas embarcados que acumulan energía en supercondensadores para poder circular sin catenaria en tramos específicos (por temas estéticos, sobre todo, en centros urbanos), o que los recargan durante las paradas (gracias a un tiempo de carga relativamente corto) prescindiendo de la catenaria a lo largo de todo el recorrido.



Figura 110: Línea T3 de tranvía de París, en pruebas con un SAE embarcado a base de supercondensadores [5].

La empresa francesa *Alstom* [5]. ha estimado en sus pruebas en la línea 3 de tranvía de París que el consumo energético disminuye entre un 20 y un 24% al incorporar sistemas de supercondensadores embarcados. Salvando las diferencias entre un sistema embarcado y uno no embarcado (donde no hay pérdidas de transporte), se trata de cifras muy importantes.

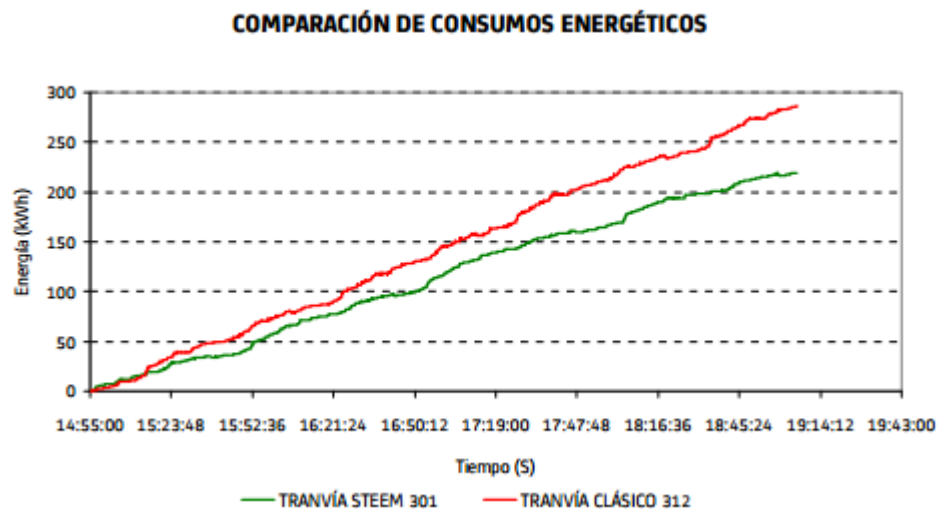


Figura 111: Mejora de consumo energético con supercondensadores embarcados (Tranvía T3, París) [5].

Si se aplica un porcentaje similar a la factura energética de Metro de Madrid, que ascendió a 74.4M€ en 2009 [14], un ahorro del 20% equivaldría a unos 14.9M€. Si bien es cierto que aplicar este porcentaje a un sistema de Metro sea probablemente exagerado, ya que los picos de potencia en vehículos más pesados son más fuertes y por lo tanto difíciles de aprovechar, da una idea del orden de magnitud del ahorro que implicaría.

Por otro lado, las grandes cifras de ahorro no son ajenas a la grandísima inversión que requeriría instalar sistemas de este tipo a lo largo de una red tan extensa como la de Madrid.

Contrastando con otro fabricante, el sistema MITRAC de Bombardier [15], probado en Mannheim (Alemania) asegura ahorros de energía de tracción de hasta un 30% en metros ligeros, y de un 20% de la demanda total de energía.

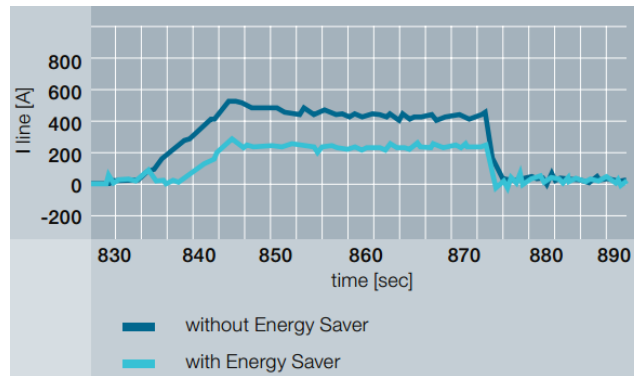


Figura 112: Intensidad absorbida de la red con y sin sistema embarcado [15],

Considerando que el coste anual de la energía utilizada por un tranvía ligero es de unos 30k€ y para un metro de unos 150k€, hay un alto potencial de ahorro para los operadores.

El sistema instalado en París incluía en cada vehículo tranviario un cofre de supercondensadores de 48 módulos con 20 celdas en serie, organizados en 6 ramas paralelas:

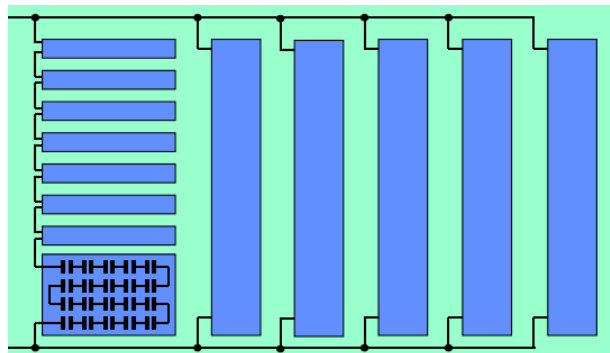


Figura 113: Cofre de Supercondensadores STEEM de Alstom [5].



Esto equivale a 960 celdas de 2.5V y 2600F. Una celda con esas características, la 2.7V 2600F Maxwell BCAP 2600 Ultracapacitor Boost Cap, marca un precio de unos 60USD≈55EUR. Economías de escala aparte, cada cofre costaría 960·55=52800 EUR teniendo en cuenta únicamente el precio de las celdas, aunque en la realidad habría muchos más componentes (como demuestra este proyecto). El valor actual neto o *net present value* (NPV) de un proyecto de estas características, a un tipo de interés del 5% sería de:

$$NPV = \sum_{t=1}^T \frac{Vt}{(1+r)^t} - I_0$$

Donde Vt es el flujo de caja en el período t , I_0 es la inversión inicial y r el tipo de interés

$$Vt = 0.2 * 30000 = 6000€$$

$$I_0 = 52800€$$

Aplicando la fórmula, el NPV se hace positivo a partir del año 12:

Tabla 7: NPV del proyecto de instalación de un SAE embarcado a base de supercondensadores

t	NPV
1	-47085,7143
2	-41643,5374
3	-36460,5118
4	-31524,297
5	-26823,14
6	-22345,8476
7	-18081,7596
8	-14020,7234
9	-10153,0699
10	-6469,59042
11	-2961,51469
12	379,509819



Este período de amortización puede verse como demasiado largo, sobre todo teniendo en cuenta que la vida útil de los supercondensadores no está aún probada. Es por ello que estas inversiones son aún riesgosas. Sin embargo, las mejoras previsible en esta tecnología hacen prever que su uso se extenderá y su precio caerá en los próximos años, por lo que no es descabellado que se invierta en desarrollar la tecnología necesaria para instalar este tipo de sistemas.



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Parte III MANUAL DE
USUARIO



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



En este apartado se detallan brevemente los pasos a seguir para poner en marcha el prototipo:

1. Ponerse guantes de seguridad. Realizar los siguientes pasos bajo supervisión.
2. Comprobar que ambos condensadores se encuentran descargados y ningún elemento está bajo tensión.
3. Comprobar que el interruptor 4xSPDT que protege las salidas ePWM del microprocesador está en *OFF*, así como los de arranque y descarga.
4. Sin tensión, realizar el cableado de los elementos de acuerdo con las etiquetas de los cables y las placas.
5. Se necesitarán dos fuentes dobles de tensión (para dar las alimentaciones de 5V, $\pm 15V$ y 24V que requieren los diferentes elementos. Asegurar que la intensidad está limitada para evitar daños a los componentes en caso de cortocircuito.
6. Para la catenaria se emplearán dos fuentes de 30V en serie, limitadas a 10 Amperios.
7. Encender fuentes de tensión.
8. Conectar microprocesador a PC con cable USB, mientras se alimenta por fuente externa de 5V y corriente limitada. (Se sospecha que varias veces se quemó el microprocesador por problema de masas del USB).
9. Abrir Matlab, ejecutar *Script "programaDSP.m"*.
10. Abrir fichero *Simulink "programaDSP.slx"*.
11. Presionar ctrl+b (*build*)
12. Presionar ctrl+d (*download*)
13. Esperar a que el programa se cargue. Si no existe ningún problema, el IDE *Code Composer Studio (CCS v3)* se abrirá solo y conectará con el DSP.
14. Una vez el programa se haya cargado (LED rojo en la tarjeta del DSP), ya se puede poner en ON el interruptor 4xSPDT que protege las salidas ePWM del microprocesador. La razón de hacer esto es que, en la carga del programa, durante un breve lapso de tiempo el DSP pone todas sus salidas en *high*. Esto es un problema porque puede (aunque el driver debería impedirlo) disparar todos los IGBTs a la vez, cortocircuitando la fuente de catenaria.
15. Realizar el ensayo, siguiendo los pasos definidos en esta memoria para el arranque y la parada. La interacción con el usuario tiene lugar a través de los interruptores "Arranque" y "Parada". Observar en el osciloscopio el comportamiento de las distintas magnitudes.
16. Descargar el sistema accionando el interruptor "Parada"



17. Comprobar que los condensadores están descargados
18. Poner en *OFF* el interruptor 4xSPDT que protege las salidas ePWM del microprocesador, así como los de arranque y descarga.
19. Desconectar el DSP del PC a través de Code Composer Studio (*Debug* → *Reset* y *Debug* → *Disconnect*). Quitar todos los cables conectados al TMDSDOCK (placa donde va incrustada la CONTROLCARD con el microprocesador), incluidos el USB y el de alimentación.
20. Apagar las fuentes.



Parte IV CÓDIGO FUENTE



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Capítulo 1 CÓDIGO FUENTE PRUEBAS BESSEL

Para generar los distintos filtros de Bessel se empleó como modelo esta estructura de script de *Matlab*, con distintas w_0 :

```
Fsampler=5000;  
order_bessel=4;  
w_bessel=Fsampler*2*pi*3/10; %NOTA: ES LA  $w_0$  A PARTIR DE  
LA CUAL EL RETARDO NO ES PURO, no la de corte  
[besselnum, besselden]=besself(order_bessel, w_bessel);
```



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Capítulo 2 CÓDIGO FUENTE CONTROLES

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
% PEDRO MARTÍNEZ OSORIO  
% MII ICAI, 2016  
% TFM: PROTOTIPO A ESCALA DE ELECTRIFICACIÓN FERROVIARIA  
% DISEÑO DEL CONTROL Y SCRIPT PROGRAMA DSP  
% CONTROL CHOPPER PWM para DSP TI C2000 F28335  
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
  
clear all  
clc  
  
%%FRECUENCIAS DE MUESTREO Y CONMUTACIÓN  
fs=15000; %frecuencia de conmutación en Hz  
T=150e6/2/fs ; %fmicro=150MHz, el 2 por ser conmutación up-down  
fm=5000; %frecuencia de muestreo en Hz --> importante que sea  
divisor de fs  
DIV=fs/fm; %cada cuantos ciclos del PWM se muestrea  
  
%%PARÁMETROS DEL MODELO  
L=1e-3;  
R=0.5;  
RA=15;  
RD_DC = 25;  
RD_SC = 8;  
Fsampl=5e3;  
Tsampl=1/Fsampl;  
MultF=DIV;  
Fswitch=MultF*Fsampl;  
Tswitch=1/Fswitch;  
CDCLINK=1000e-6;  
CSC=29;  
VCAT=60;  
VCDcref=80;  
order_bessel=4;  
f_bessel=Fsampl*2*pi*3/6;  
%NOTA: ES LA w0 A PARTIR DE LA CUAL EL RETARDO NO ES PURO  
%Justificación de la elección: Ensayos Bessel.docx  
[besselnum, besselden]=besself(order_bessel, f_bessel);  
%freqs(besselnum, besselden)  
TF_Bessel=tf(besselnum, besselden);  
  
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
% Control 1 %  
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
%Vcat=VA+R*I1+L*I1' -> I1' = -R/L * I1 + 1* (Vcat-VA)/L --> Acont=  
-R/L;  
%Bcont=1; U1=(Vcat-VA)/L  
A1=exp(-R/L*Tsampl); %Acont discretizado  
B1=L/R*(1-exp(-R/L*Tsampl)); %Bcont discretizado donde  
U1[k]=(Vcat-VA[k])/L1
```



```
%X[k+1]=PHI1*X[k]+GAMMA1_1*U1[k]+GAMMA1_2*Uref[k]
PHI1=[A1 B1 0 0; 0 0 0 0; 1 0 0 0; 0 0 -Tsampl 1];
GAMMA1_1= [0 1 0 0]';
GAMMA1_2= [0 0 0 Tsampl]';
%polos discretizados, e^ts*p
pole1_1=exp(Tsampl*(-R/L)*3.5);
pole1_2=exp(Tsampl*(-2*R/L)*3.5);
pole1_3=exp(Tsampl*(-3*R/L)*3.5);
pole1_4=exp(Tsampl*(-4*R/L)*3.5);
P1=[pole1_1 pole1_2 pole1_3 pole1_4];
K1=place(PHI1, GAMMA1_1, P1');
T1=(PHI1-GAMMA1_1*K1);

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Control 2 %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% Ha de ser el más lento

% POR ESTIMACIÓN DE ESTADO
% PHI2=[0 0; -Tsampl 1];
% GAMMA2_1= [Tsampl 0]';
% GAMMA2_2= [0 Tsampl]';
% pole2_1=exp(Tsampl*(-R/L))*1.5;
% pole2_2=exp(Tsampl*(-2*R/L))*1.5;
% P2=[pole2_1 pole2_2];
% K2=place(PHI2, GAMMA2_1, P2');
% T2=(PHI2-GAMMA2_1*K2);

% CONTROL PI
% LINEARIZACIÓN CIRCUITO RL I2 %
s = tf('s');
RF2 = 1e3;
CF2 = fsolve(@(x) 1/(2*pi*RF2*x)-5e3,1);
Filtro_i2 = minreal(1/(RF2*CF2*s+1));
SYS_2 = linmod('Lazo Abierto Corriente Chopper 2 Con Filtrado');
Tss_2 = ss(SYS_2.a,SYS_2.b,SYS_2.c,SYS_2.d);
[n_2,d_2] = tfdata(Tss_2,'v');
G2 = tf(n_2,d_2)
%nichols(-G2)
w0_PI2 = 6200;
Fm_PI2 = 83*pi/180;
%Fm_PI2 referencia = 7000, 85 degrees
Fic_PI2 = fsolve(@(x) angle(freqresp(-G2,w0_PI2))+x-(-pi+Fm_PI2),1);
Ac_PI2 = fsolve(@(x) abs(freqresp(-G2,w0_PI2))-1/x,1);
I_PI2 = -1/(w0_PI2*tan(Fic_PI2))
Kp_PI2 = Ac_PI2*cos(Fic_PI2)
C_PI2 = minreal(Kp_PI2*(1+I_PI2*s)/(I_PI2*s))
%Control Tensión PI
SYS_3 =
linmod('Lazo Abierto Tension Simplificado 2 Sin Filtrado');
Tss_3 = ss(SYS_3.a,SYS_3.b,SYS_3.c,SYS_3.d);
[n_3,d_3] = tfdata(Tss_3,'v');
GV = tf(n_3,d_3)
%nichols(-GV)
w0_PIV = 3200;
```



```
Fm_PIV = 70.5*pi/180;
%Referencia 3000, 72 degrees
Fic_PIV = fsolve(@(x) angle(freqresp(-GV,w0_PIV))+x-(-
pi+Fm_PIV),1);
Ac_PIV = fsolve(@(x) abs(freqresp(-GV,w0_PIV))-1/x,1);
I_PIV = -1/(w0_PIV*tan(Fic_PIV))
Kp_PIV = Ac_PIV*cos(Fic_PIV)
C_PIV = minreal(Kp_PIV*(1+I_PIV*s)/(I_PIV*s))
openloop_PIV = minreal(C_PIV*GV);
%nichols(openloop_PIV)

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%           Control 3           %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
A3=exp(-R/L*Tsampl); %discretizada
B3=L/R*(1-exp(-R/L*Tsampl)); %donde U1[k]=(Vcat-VA)/L1
PHI3=[A3 B3 0 0; 0 0 0 0; 1 0 0 0; 0 0 -Tsampl 1];
GAMMA3_1= [0 1 0 0]';
GAMMA3_2= [0 0 0 Tsampl]';
pole3_1=exp(Tsampl*(-R/L)*3.5);
pole3_2=exp(Tsampl*(-2*R/L)*3.5);
pole3_3=exp(Tsampl*(-3*R/L)*3.5);
pole3_4=exp(Tsampl*(-4*R/L)*3.5);
P3=[pole3_1 pole3_2 pole3_3 pole3_4];
K3=place(PHI3, GAMMA3_1, P3');
T3=(PHI3-GAMMA3_1*K3);

s=tf('s');
tf1=1/(0.002*s+1);
filtro=c2d(tf1,Tsampl);
[numfiltro,denfiltro]=tfdata(filtro,'v');
```



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL



Parte V DATASHEETS



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
MÁSTER EN INGENIERÍA INDUSTRIAL

Capítulo 1 DATASHEET BESSEL



LTC1065

DC Accurate, Clock-Tunable
 Linear Phase 5th Order Bessel
 Lowpass Filter

FEATURES

- Clock-Tunable Cutoff Frequency
- 1mV DC Offset (Typical)
- 80dB CMR (Typical)
- Internal or External Clock
- 50 μ V_{RMS} Clock Feedthrough
- 100:1 Clock-to-Cutoff Frequency Ratio
- 80 μ V_{RMS} Total Wideband Noise
- 0.004% Noise + THD at 2V_{RMS} Output Level
- 50kHz Maximum Cutoff Frequency
- Cascadable for Faster Roll-Off
- Operates from ± 2.375 to ± 8 V Power Supplies
- Self-Clocking with 1 RC

APPLICATIONS

- Audio
- Strain Gauge Amplifiers
- Anti-Aliasing Filters
- Low Level Filtering
- Digital Voltmeters
- Smoothing Filters
- Reconstruction Filters

DESCRIPTION

The LTC1065 is the first monolithic filter providing both clock-tunability with low DC output offset and over 12-bit DC accuracy. The frequency response of the LTC1065 closely approximates a 5th order Bessel polynomial. With appropriate PCB layout techniques the output DC offset is typically 1mV and is constant over a wide range of clock frequencies. With ± 5 V supplies and ± 4 V input voltage range, the CMR of the device is typically 80dB.

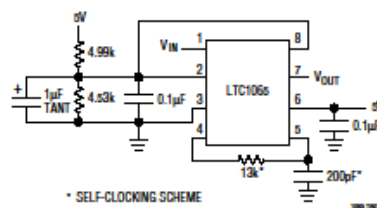
The filter cutoff frequency is controlled either by an internal or external clock. The clock-to-cutoff frequency ratio is 100:1. The on-board clock is nearly power supply independent and it is programmed via an external RC. The 50 μ V_{RMS} clock feedthrough of the device is considerably lower than other existing monolithic filters.

The LTC1065 wideband noise is 80 μ V_{RMS} and it can process large AC input signals with low distortion. With ± 7.5 V supplies, for instance, the filter handles up to 4V_{RMS} (94dB S/N ratio) while the standard 1kHz THD is below 0.005%; 87dB dynamic range (S/N + THD) is obtained with input levels between 2V_{RMS} and 2.5V_{RMS}.

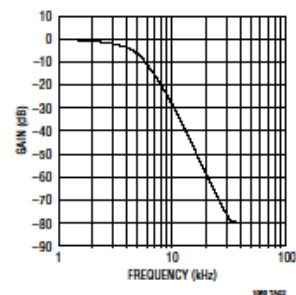
The LTC1065 is available in 8-pin miniDIP and 16-pin SOL. For a Butterworth response, see LTC1063 data sheet. The LTC1065 is pin compatible with the LTC1063.

TYPICAL APPLICATION

3.4kHz Single 5V Supply Bessel Lowpass Filter



Frequency Response



1

Capítulo 2 DATASHEET OP-AMP



LM158,A-LM258,A
LM358,A

LOW POWER DUAL OPERATIONAL AMPLIFIERS

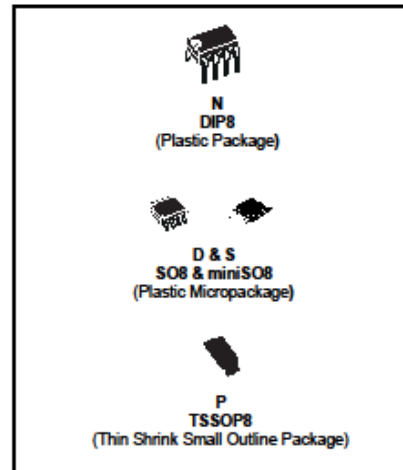
- INTERNALLY FREQUENCY COMPENSATED
- LARGE DC VOLTAGE GAIN: 100dB
- WIDE BANDWIDTH (unity gain): 1.1MHz (temperature compensated)
- VERY LOW SUPPLY CURRENT/OP (500µA) ESSENTIALLY INDEPENDENT OF SUPPLY VOLTAGE
- LOW INPUT BIAS CURRENT: 20nA (temperature compensated)
- LOW INPUT OFFSET VOLTAGE: 2mV
- LOW INPUT OFFSET CURRENT: 2nA
- INPUT COMMON-MODE VOLTAGE RANGE INCLUDES GROUND
- DIFFERENTIAL INPUT VOLTAGE RANGE EQUAL TO THE POWER SUPPLY VOLTAGE
- LARGE OUTPUT VOLTAGE SWING 0V TO ($V_{CC} - 1.5V$)

DESCRIPTION

These circuits consist of two independent, high gain, internally frequency compensated which were designed specifically to operate from a single power supply over a wide range of voltages. The low power supply drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op-amp circuits which now can be more easily implemented in single power supply systems. For example, these circuits can be directly supplied with the standard +5V which is used in logic systems and will easily provide the required interface electronics without requiring any additional power supply.

In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.



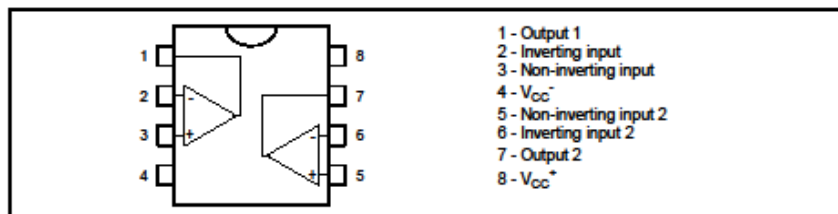
ORDER CODE

Part Number	Temperature Range	Package			
		N	S	D	P
LM158,A	-55°C, +125°C	*	*	*	*
LM258,A	-40°C, +105°C	*	*	*	*
LM358,A	0°C, +70°C	*	*	*	*

Example : LM258N

N = Dual In Line Package (DIP)
D = Small Outline Package (SO) - also available in Tape & Reel (DT)
S = Small Outline Package (miniSO) only available in Tape & Reel (DT)
P = Thin Shrink Small Outline Package (TSSOP) - only available in Tape & Reel (PT)

PIN CONNECTIONS (top view)



January 2002

1/12



Capítulo 3 DATASHEET OPTOACOPLADOR



HIGH-SPEED LOGIC-TO-LOGIC OPTOCOUPLEDERS



LSTTL to	TTL BUFFER	74OL6000
	TTL INVERTER	74OL6001
	CMOS BUFFER	74OL6010
	CMOS INVERTER	74OL6011

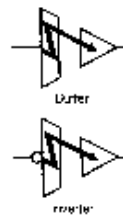
ORDER INFORMATION

PART NUMBER	LOGIC COMPATIBILITY	INPUT	OUTPUT	LOGIC FUNCTION	OUTPUT CONFIGURATION
74OL6000	LSTTL	LSTTL	TTL	BUFFER	TOTEM POLE
74OL6001	LSTTL	LSTTL	TTL	INVERTER	TOTEM POLE
74OL6010	LSTTL	LSTTL	CMOS	BUFFER	OPEN COLLECTOR
74OL6011	LSTTL	LSTTL	CMOS	INVERTER	OPEN COLLECTOR

FEATURES

- Industry first LSTTL to TTL and LSTTL to CMOS complete logic-to-logic optocoupler
- Incorporates LCD drive circuitry—use as logic gate
- Very high speed
- Choice of buffer or inverter
- Choice of TTL or CMOS compatible output up to 15 volts
- Fan-out of 10 TTL loads, 150 in LSTTL load
- Internal noise shield—very high CMR of ± 15 dB
- Provides superior 5320 VRMS withstand Test Voltage (WTV)—guarantees 480 VAC operation
- Compact 6-pin DIP
- U.S. recognized (File #F-90700)
- Some noise immunity as 18111, 111

SYMBOL



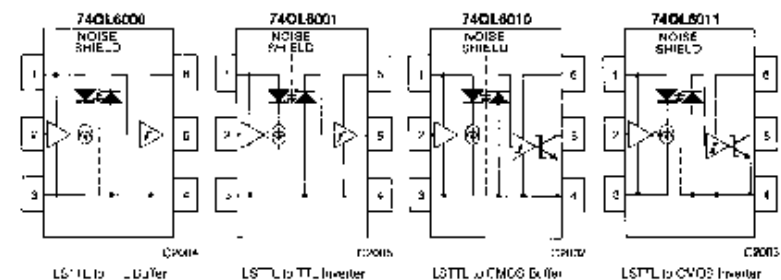
APPLICATIONS

- Transmission line interface—receiver and driver
- Excellent as bridge receiver in fast LAN highways
- Bus interface
- Logic family interface with ground logic noise elimination
- High speed AC/DC voltage sensing
- Driver for power semiconductor devices
- Level shifting
- Replaces fast pulse transformers

PIN CONFIGURATION

- | | |
|------------------------------|-------------------------------|
| 1 V_{CC} (Input V_{CC}) | 6 V_{CC} (Output V_{CC}) |
| 2 V_{OL} (Data in) | 5 V_{OL} (Data out) |
| 3 GND (Input GND) | 4 GND (Output GND) |

EQUIVALENT CIRCUITS





Capítulo 4 DATASHEET SONDA LEM TENSIÓN



Voltage Transducer LV 25-P

For the electronic measurement of currents: DC, AC, pulsed..., with galvanic isolation between the primary circuit and the secondary circuit.

$$I_{PN} = 10 \text{ mA}$$

$$V_{PN} = 10 \dots 500 \text{ V}$$



Electrical data

I_{PN}	Primary nominal current rms	10	mA			
I_{PM}	Primary current, measuring range	$0 \dots \pm 14$	mA			
R_M	Measuring resistance	with $\pm 12 \text{ V}$	@ $\pm 10 \text{ mA}_{\text{max}}$	$R_{M,\text{min}}$	$R_{M,\text{max}}$	
			@ $\pm 14 \text{ mA}_{\text{max}}$	30	190	Ω
		with $\pm 15 \text{ V}$	@ $\pm 10 \text{ mA}_{\text{max}}$	30	100	Ω
			@ $\pm 14 \text{ mA}_{\text{max}}$	100	350	Ω
I_{SN}	Secondary nominal current rms	25	mA			
K_N	Conversion ratio	2500 : 1000				
V_C	Supply voltage ($\pm 5 \%$)	$\pm 12 \dots 15$	V			
I_C	Current consumption	$10 (@ \pm 15 \text{ V}) + I_I$	mA			

Accuracy - Dynamic performance data

X_d	Overall accuracy @ $I_{PM}, T_A = 25^\circ\text{C}$	@ $\pm 12 \dots 15 \text{ V}$	± 0.9	%	
		@ $\pm 15 \text{ V} (\pm 5 \%)$	± 0.8	%	
E_L	Linearity error		< 0.2	%	
I_0	Offset current @ $I_P = 0, T_A = 25^\circ\text{C}$		Typ	Max	
		Temperature variation of I_0	$0^\circ\text{C} \dots +25^\circ\text{C}$	$\pm 0.08 \pm 0.25$	mA
			$+25^\circ\text{C} \dots +70^\circ\text{C}$	$\pm 0.10 \pm 0.35$	mA
t_r	Response time ¹⁾ to 90 % of $I_{PM,\text{step}}$		40	μs	

General data

T_A	Ambient operating temperature	$0 \dots +70$	$^\circ\text{C}$
T_S	Ambient storage temperature	$-25 \dots +85$	$^\circ\text{C}$
R_p	Primary coil resistance @ $T_A = 70^\circ\text{C}$	250	Ω
R_s	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	110	Ω
m	Mass	22	g
	Standard	EN 50178: 1997	

Note: ¹⁾ $R_1 = 25 \text{ k}\Omega$ (L/R constant, produced by the resistance and inductance of the primary circuit).

Features

- Closed loop (compensated) current transducer using the Hall effect
- Isolated plastic case recognized according to UL 94-V0.

Principle of use

- For voltage measurements, a current proportional to the measured voltage must be passed through an external resistor R_1 which is selected by the user and installed in series with the primary circuit of the transducer.

Advantages

- Excellent accuracy
- Very good linearity
- Low thermal drift
- Low response time
- High bandwidth
- High immunity to external interference
- Low disturbance in common mode.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Power supplies for welding applications.

Application domain

- Industrial.

Capítulo 5 DATASHEET SONDA LEM

CORRIENTE



Current Transducer LA 100-P/SP13

For the electronic measurement of currents: DC, AC, pulsed..., with galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).



16023

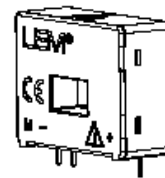
Electrical data				
I_{PN}	Primary nominal current rms	100		A
I_{PM}	Primary current, measuring range	0 .. ± 160		A
R_M	Measuring resistance		$R_{M\ min}$ $R_{M\ max}$	
	with ± 12 V	@ ± 100 A _{max}	10	65
		@ ± 160 A _{max}	10	30
	with ± 15 V	@ ± 100 A _{max}	40	95
		@ ± 160 A _{max}	40	50
I_{SN}	Secondary nominal current rms	100		mA
K_N	Conversion ratio	1 : 1000		
V_C	Supply voltage (± 5 %)	± 12 .. 15		V
I_C	Current consumption	10 (@ ± 15 V) + I_S		mA

Accuracy - Dynamic performance data				
X	Accuracy @ $I_P, T_A = 25^\circ\text{C}$	@ ± 15 V (± 5 %)	± 0.45	%
		@ ± 12 .. 15 V (± 5 %)	± 0.70	
ϵ_L	Linearity error		< 0.15	%
I_O	Offset current @ $I_P = 0, T_A = 25^\circ\text{C}$		Typ	Max
I_{OM}	Magnetic offset current ¹⁾ @ $I_P = 0$ and specified R_M , after an overload of 3 x I_{PN}			± 0.2
	Temperature variation of I_O	- 25°C .. + 70°C	± 0.1	± 0.5
t_{nr}	Reaction time to 10 % of I_{SN} step		< 500	ns
t_r	Response time ²⁾ to 90 % of I_{SN} step		< 1	µs
di/dt	di/dt accurately followed		> 200	A/µs
BW	Frequency bandwidth (-1 dB)		DC .. 200	kHz

General data			
T_A	Ambient operating temperature	- 25 .. + 70	°C
T_S	Ambient storage temperature	- 40 .. + 90	°C
R_S	Secondary coil resistance @ $T_A = 70^\circ\text{C}$	25	Ω
m	Mass	18	g
	Standards	EN 50178: 1997	

Notes: ¹⁾ Result of the coercive field of the magnetic circuit
²⁾ With a di/dt of 100 A/µs.

$I_{PN} = 100\text{ A}$



Features

- Closed loop (compensated) current transducer using the Hall effect
- Printed circuit board mounting
- Insulated plastic case recognized according to UL 94-V0.

Special features

- $I_{PM} = 0 .. \pm 160\text{ A}$
- $K_N = 1 : 1000$
- $T_A = - 25^\circ\text{C} .. + 70^\circ\text{C}$

Advantages

- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external interference
- Current overload capability.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies (UPS)
- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

Application domain

- Industrial.



Capítulo 6 DATASHEET REFERENCIA DE TENSIÓN



LT1461

Micropower Precision
 Low Dropout Series
 Voltage Reference Family

FEATURES

- Trimmed to High Accuracy: 0.04% Max
- Low Drift: 3ppm/°C Max
- Low Supply Current: 50µA Max
- High Output Current: 50mA Min
- Low Dropout Voltage: 300mV Max
- Excellent Thermal Regulation
- Power Shutdown
- Thermal Limiting
- All Parts Guaranteed Functional from -40°C to 125°C
- Voltage Options: 2.5V, 3V, 3.3V, 4.096V and 5V

APPLICATIONS

- A/D and D/A Converters
- Precision Regulators
- Handheld Instruments
- Power Supplies

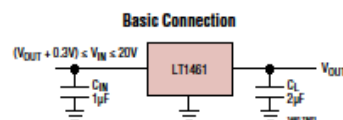
DESCRIPTION

The **LT[®]1461** is a family of low dropout micropower band-gap references that combine very high accuracy and low drift with low supply current and high output drive. These series references use advanced curvature compensation techniques to obtain low temperature coefficient and trimmed precision thin-film resistors to achieve high output accuracy. The LT1461 family draws only 35µA of supply current, making them ideal for low power and portable applications, however their high 50mA output drive makes them suitable for higher power requirements, such as precision regulators.

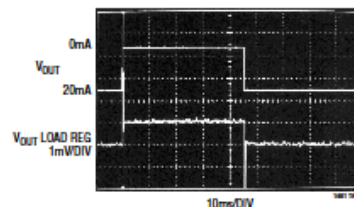
In low power applications, a dropout voltage of less than 300mV ensures maximum battery life while maintaining full reference performance. Line regulation is nearly immeasurable, while the exceedingly good load and thermal regulation will not add significantly to system error budgets. The shutdown feature can be used to switch full load currents and can be used for system power down. Thermal shutdown protects the part from overload conditions. The LT1461 is available in 2.5V, 3V, 3.3V, 4.096V and 5V options.

LT, LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION



LT1461-2.5 Load Regulation, P_{DISS} = 200mW




For more information www.linear.com/LT1461

1461b

1

Capítulo 7 DATASHEET SEMIPUENTE IGBTs

SKM 75GB176D



SEMITRANS[®] 2

Trench IGBT Modules

SKM 75GB176D

Features


- Homogeneous Si
- Trench = Trenchgate technology
- $V_{CE(sat)}$ with positive temperature coefficient
- High short circuit capability, self limiting to $6 \times I_C$

Typical Applications*

- AC inverter drives mains 575 - 750 V AC
- Public transport (auxiliary syst.)

Absolute Maximum Ratings		$T_{case} = 25^\circ\text{C}$, unless otherwise specified		
Symbol	Conditions	Values	Units	
IGBT				
V_{CES}	$T_J = 25^\circ\text{C}$	1700	V	
I_C	$T_J = 150^\circ\text{C}$	80	A	
	$T_c = 25^\circ\text{C}$	65	A	
I_{CRM}	$I_{CRM} = 2 \times I_{Cnom}$	100	A	
		$T_c = 80^\circ\text{C}$		
V_{GEB}		± 20	V	
t_{iso}	$V_{CC} = 1200\text{ V}; V_{GE} \leq 20\text{ V}; T_J = 125^\circ\text{C}$ $V_{CES} < 1700\text{ V}$	10	μs	
Inverse Diode				
I_F	$T_J = 150^\circ\text{C}$	$T_c = 25^\circ\text{C}$	80	A
		$T_c = 80^\circ\text{C}$	65	A
I_{FRM}	$I_{FRM} = 2 \times I_{Fnom}$		100	A
		$t_p = 10\text{ ms; sin.}$	550	A
Module				
$I_{(RMS)}$		200	A	
T_{vj}		-40 ... +150	$^\circ\text{C}$	
T_{stg}		-40 ... +125	$^\circ\text{C}$	
V_{MCI}	AC, 1 min.	4000	V	


Characteristics		$T_{case} = 25^\circ\text{C}$, unless otherwise specified			
Symbol	Conditions	min.	typ.	max.	Units
IGBT					
$V_{GE(th)}$	$V_{GE} = V_{CE}; I_C = 2\text{ mA}$	6,2	6,8	6,4	V
I_{CES}	$V_{GE} = 0\text{ V}; V_{CE} = V_{CES}; T_J = 25^\circ\text{C}$			3	mA
		$T_J = 25^\circ\text{C}$	1	1,2	V
V_{CE0}	$T_J = 125^\circ\text{C}$		0,9	1,1	V
		$T_J = 125^\circ\text{C}$			
r_{CE}	$V_{GE} = 15\text{ V}; T_J = 25^\circ\text{C}$		20	26	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$	31	36	$\text{m}\Omega$
$V_{CE(sat)}$	$I_{Cnom} = 50\text{ A}; V_{GE} = 15\text{ V}; T_J = 25^\circ\text{C}_{chiplev.}$		2	2,45	V
		$T_J = 125^\circ\text{C}_{chiplev.}$	2,45	2,9	V
C_{oss}	$V_{CE} = 25; V_{GE} = 0\text{ V}; f = 1\text{ MHz}$		4,3		nF
C_{oss}		0,18		nF	
C_{oss}		0,15		nF	
Q_G	$V_{GE} = -8\text{V} \dots +15\text{V}$		410		nC
$R_{th(j-c)}$	$T_J = 25^\circ\text{C}$		9,5		Ω
$t_{(on)}$	$R_{th(j-c)} = 6,2\ \Omega; V_{CC} = 1200\text{V}; I_C = 50\text{A}$		210		ns
		t_r	30		ns
E_{on}	$R_{th(j-c)} = 6,2\ \Omega; V_{CC} = 1200\text{V}; I_C = 50\text{A}$		26		mJ
		$t_{(off)}$	690		ns
t_f	$R_{th(j-c)} = 6,2\ \Omega; T_J = 125^\circ\text{C}; V_{GE} = \pm 15\text{V}$		135		ns
		t_r	18		mJ
$R_{th(j-c)}$	per IGBT			0,38	KW



GB

Capítulo 8 DATASHEET IGBT DESCARGA

CDCLINK



FAIRCHILD
SEMI CONDUCTOR*

FGP5N60LS
600 V, 5 A Field Stop IGBT


Features

- High Current Capability
- Low Saturation Voltage: $V_{CE(sat)} = 1.7\text{ V}$ @ $I_C = 5\text{ A}$
- High Input Impedance
- RoHS Compliant

Applications

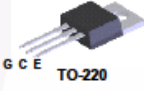
- HID Ballast

November 2013

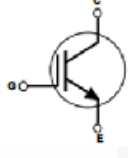


General Description

Using novel field stop IGBT technology, Fairchild's new series of field stop IGBTs offer the optimum performance for HID ballast where low conduction losses are essential.



G C E
TO-220



Absolute Maximum Ratings

Symbol	Description	Ratings	Unit
V_{CES}	Collector to Emitter Voltage	600	V
V_{GEE}	Gate to Emitter Voltage	± 20	V
I_C	Collector Current @ $T_C = 25^\circ\text{C}$	10	A
	Collector Current @ $T_C = 100^\circ\text{C}$	5	A
$I_{CM(1)}$	Pulsed Collector Current @ $T_C = 25^\circ\text{C}$	36	A
P_D	Maximum Power Dissipation @ $T_C = 25^\circ\text{C}$	83	W
	Maximum Power Dissipation @ $T_C = 100^\circ\text{C}$	33	W
T_J	Operating Junction Temperature	-55 to +150	$^\circ\text{C}$
T_{stg}	Storage Temperature Range	-55 to +150	$^\circ\text{C}$
T_L	Maximum Lead Temp. for soldering Purposes, 1/8" from case for 5 seconds	300	$^\circ\text{C}$

Notes:
1: Repetitive test, Pulse width = 100 μsec , Duty = 0.2, $V_{GE} = 15.5\text{ V}$

Thermal Characteristics

Symbol	Parameter	Typ.	Max.	Unit
$R_{\theta JC}$	Thermal Resistance, Junction to Case	-	1.5	$^\circ\text{C/W}$
$R_{\theta JA}$	Thermal Resistance, Junction to Ambient	-	62.5	$^\circ\text{C/W}$

©2010 Fairchild Semiconductor Corporation
FGP5N60LS Rev. C1

1

www.fairchildsemi.com

FGP5N60LS — 600 V, 5 A Field Stop IGBT



Capítulo 9 DATASHEET RELÉS

<https://www.phoenixcontact.com/us/products/2903660>



Single relay - REL-IR2/LDP- 24DC/2X21 - 2903660

Please be informed that the data shown in this PDF Document is generated from our Online Catalog. Please find the complete data in the user's documentation. Our General Terms of Use for Downloads are valid (<http://phoenixcontact.com/download>)



Plug-in industrial relay with power contacts, 2 PDTs, test key, status LED, freewheeling diode, mechanical switch position indicator, polarity: A1+, A2-, input voltage: 24 V DC



Key Commercial Data

Packing unit	1 pc
Minimum order quantity	10 pc
Weight per Piece (excluding packing)	36.0 g
Custom tariff number	86364190
Country of origin	Poland

Technical data

Dimensions

Width	21.2 mm
Height	36.6 mm
Depth	27.6 mm

Ambient conditions

Ambient temperature (operation)	-40 °C ... 70 °C
Ambient temperature (storage/transport)	-40 °C ... 86 °C

Coil side

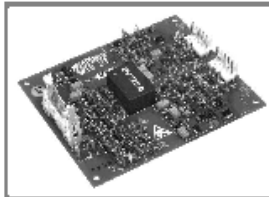
Nominal input voltage U_N	24 V DC
Input voltage range in reference to U_N	see diagram
Typical input current at U_N	42 mA
Typical response time	13 ms
Typical release time	14 ms
Protective circuit	Damping diode
Status display	Yellow LED

04/07/2016 Page 1 / 6

Capítulo 10 DATASHEET DRIVER

SEMIPUENTES

SKHI 23/12 (R) ...



SEMIDRIVER™

Medium Power Double IGBT Driver

SKHI 23/12 (R)

Features

- SKHI 23/12 drives all SEMIKRON IGBTs with V_{CES} up to 1200 V (VCE-monitoring adjusted from factory for 1200 V-IGBT)
- Double driver circuit for medium power IGBTs, also as two independent single drivers
- CMOS / TTL (HCMOS) compatible input buffers
- Short circuit protection by V_{CE} monitoring
- Soft short circuit turn-off
- Isolation due to transformers (no opto couplers)
- Supply undervoltage monitoring (< 13 V)
- Error memory / output signal (LOW or HIGH logic)
- Driver interlock top / bottom
- Internal isolated power supply

Typical Applications

- High frequency SMPS
- Half and Full bridges
- Three phase motor inverters
- High power UPS

- 1) This current value is a function of the output load condition
- 2) Operating fsw = 0 Hz
- 3) This value does not consider t_{on} of IGBT and t_{off} adjusted by R_{CE} and C_{CE} ; see also fig. 14
- 4) Matched to be used with IGBTs < 100 A; for higher currents, see table 4
- 5) With $R_{CE} = 18 \text{ k}\Omega$, $C_{CE} = 330 \text{ pF}$; see fig. 6
- 6) Factory adjusted; other values see table 3

Absolute Maximum Ratings		$T_a = 25 \text{ }^\circ\text{C}$, unless otherwise specified	
Symbol	Conditions	Values	Units
V_S	Supply voltage primary	18	V
V_{IH}	Input signal voltage (HIGH) (for 15 V and 5 V input level)	$V_S + 0,3$	V
$I_{outPEAK}$	Output peak current	± 8	A
I_{outAV}	Output average current	± 60	mA
V_{CE}	Collector emitter voltage sense	1200	V
dv/dt	Rate of rise and fall of voltage (secondary to primary side)	76	kV/ μ s
$V_{isol IO}$	Isolation test volt. IN-OUT (2 sec. AC)	2600	V
$R_{Qon min}$	minimal R_{Qon}	2,7	Ω
$R_{Qoff min}$	minimal R_{Qoff}	2,7	Ω
$Q_{outpulse}$	charge per pulse	4,8	μ C
T_{op}	Operating temperature	- 25 ... + 86	$^\circ\text{C}$
T_{stg}	Storage temperature	- 25 ... + 86	$^\circ\text{C}$

Characteristics		$T_a = 25 \text{ }^\circ\text{C}$, unless otherwise specified			
Symbol	Conditions	min.	typ.	max.	Units
V_S	Supply voltage primary	14,4	16,0	16,6	V
I_S	Supply current (max.)		0,32 ¹⁾		A
I_{SD}^2	Supply current primary side (standby)		0,12		A
V_{IT+}	Input threshold voltage (HIGH) min.				V
	15 V input level	12,6			V
	for 5 V input level	2,4			V
V_{IT-}	Input threshold voltage (LOW) max.				V
	for 15 V input level			3,6	V
	for 5 V input level			0,60	V
$V_{O(on)}$	Turn-on output gate voltage		+ 16		V
$V_{O(off)}$	Turn-off output gate voltage		- 8		V
f	Maximum operating frequency		see fig. 16		
$td(on)_{IO}$	Input-output turn-on propagation time		1,4		μ s
$td(off)_{IO}$	Input-output turn-off propagation time		1,4		μ s
$t_{d(ser)}$	Error input-output propagation time		1,0 ³⁾		μ s
t_{TD}	Dead time		10 ⁶⁾		μ s
$V_{CEEstab}$	Reference voltage for V_{CE} monitoring		6,2 ⁵⁾		V
R_{Qon}	Internal gate resistor for ON signal		22 ⁴⁾		Ω
R_{Qoff}	Internal gate resistor for OFF signal		22 ⁴⁾		Ω
C_{pk}	Primary to secondary capacitance		12		pF

This technical information specifies semiconductor devices but promises no characteristics. No warranty or guarantee expressed or implied is made regarding delivery, performance or suitability.

Capítulo 11 DATASHEET DRIVER IGBT

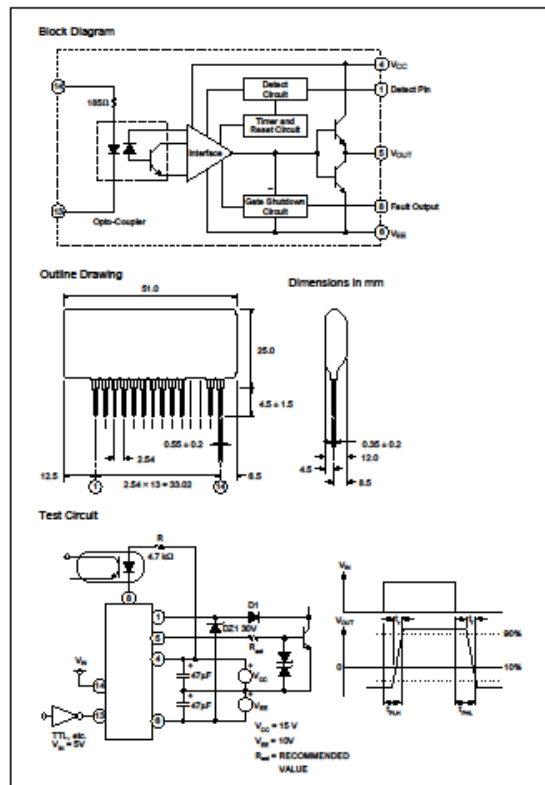
DESCARGA CDCLINK



Powerex, Inc., 200 Hills Street, Youngwood, Pennsylvania 15697-1800 (724) 925-7272

M57962L

Gate Driver



Hybrid Integrated Circuit For Driving IGBT Modules

Description:
M57962L is a hybrid integrated circuit designed for driving n-channel IGBT modules in any gate amplifier application. This device operates as an isolation amplifier for these modules and provides the required electrical isolation between the input and output with an opto-coupler. Short circuit protection is provided by a built in desaturation detector. A fault signal is provided if the short circuit protection is activated.

- Features:**
- Built in high CMRR opto-coupler (V_{CMR} : Typical 30kV/μs, Min. 15kV/μs)
 - Electrical Isolation between input and output with opto-couplers (V_{ISO} = 2500, V_{RMS} for 1 min.)
 - TTL compatible input interface
 - Two supply drive topology
 - Built in short circuit protection circuit with a pin for fault output

Application:
To drive IGBT modules for inverter, AC Servo systems, UPS, CVCF inverter, and welding applications.

- Recommended Modules:**
- V_{CES} = 600V Series (up to 400A Class)
 - V_{CES} = 1200V Series (up to 200A Class)
 - V_{CES} = 1400V Series (up to 200A Class)

DOCUMENTO II

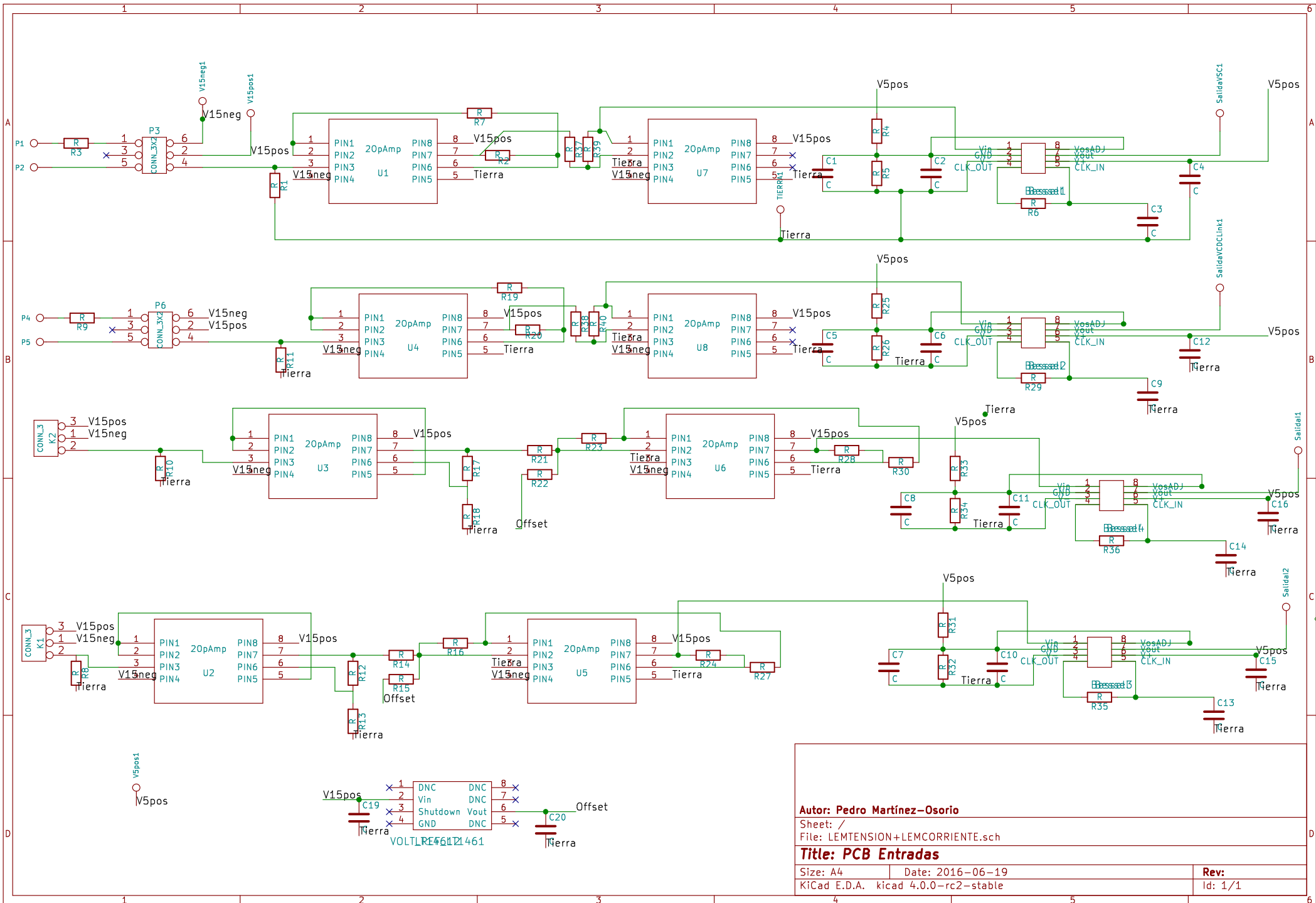
PLANOS



Lista de planos

1. ESQUEMÁTICOS PCB
 - a. PCB ENTRADAS
 - b. PCB ACOPLAMIENTO A DRIVER
 - c. PCB RELÉS Y SWITCHES
2. PLANOS HUELLAS PCB
 - a. PCB ENTRADAS
 - b. PCB ACOPLAMIENTO A DRIVER
 - c. PCB RELÉS Y SWITCHES*

*Nota: Habrá dos alternativas de PCB Relés y Switches, una para funcionamiento automático y otra construida posteriormente para arranque manual



Autor: Pedro Martínez-Osorio

Sheet: /
File: LEMTENSION+LEMCORRIENTE.sch

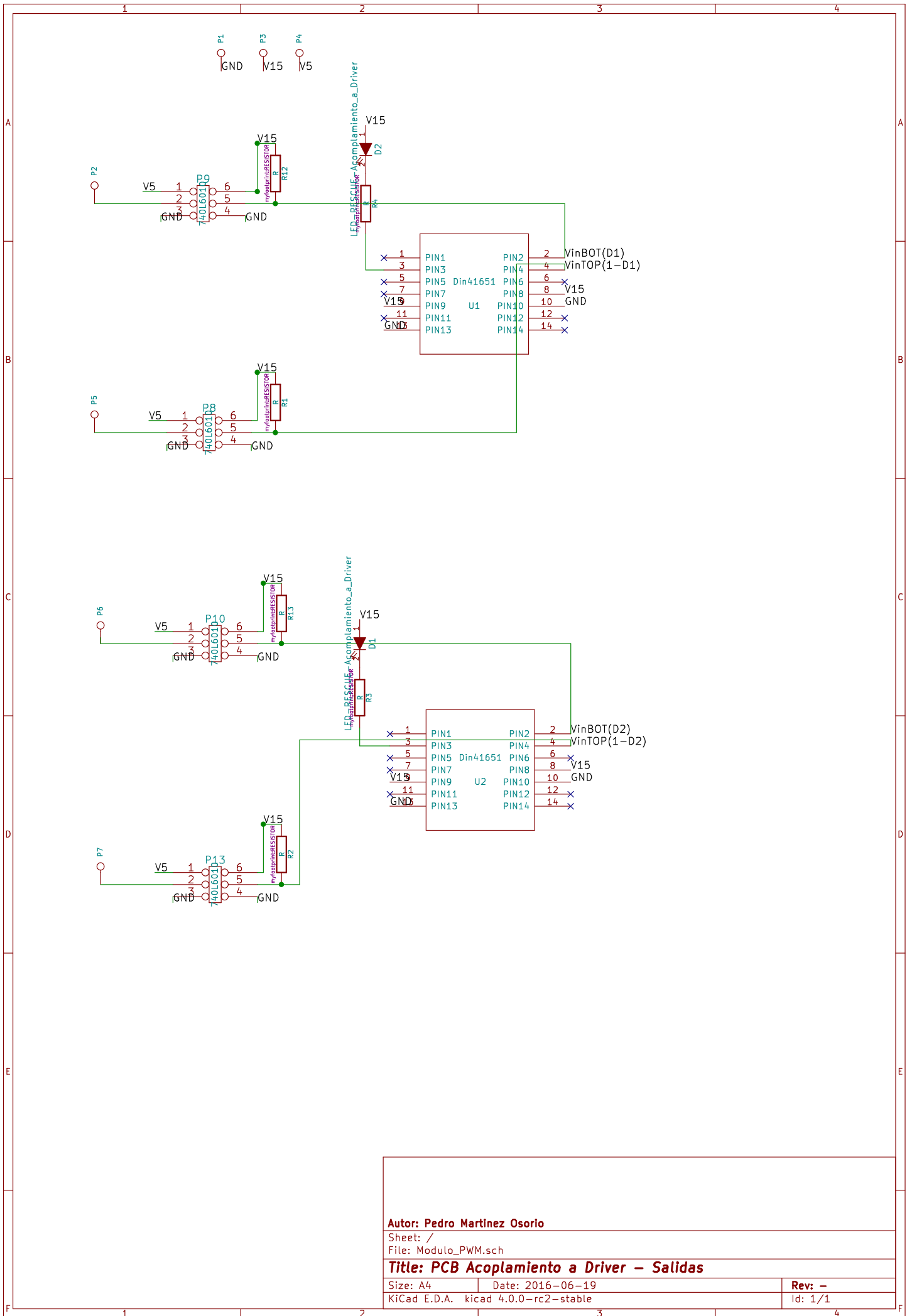
Title: PCB Entradas

Size: A4 Date: 2016-06-19

KiCad E.D.A. kicad 4.0.0-rc2-stable

Rev:

Id: 1/1



Autor: Pedro Martinez Osorio

Sheet: /

File: Modulo_PWM.sch

Title: PCB Acoplamiento a Driver - Salidas

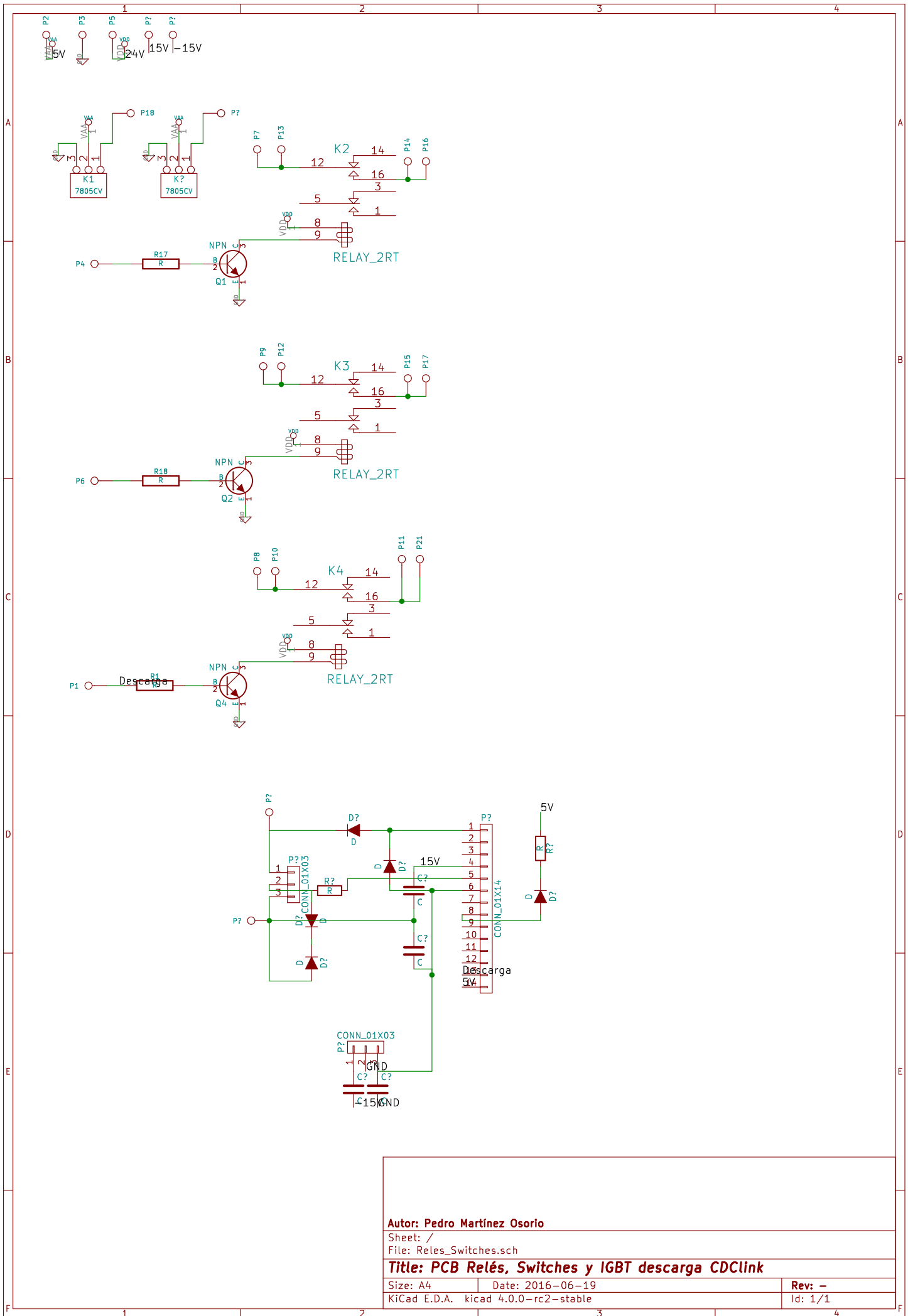
Size: A4

Date: 2016-06-19

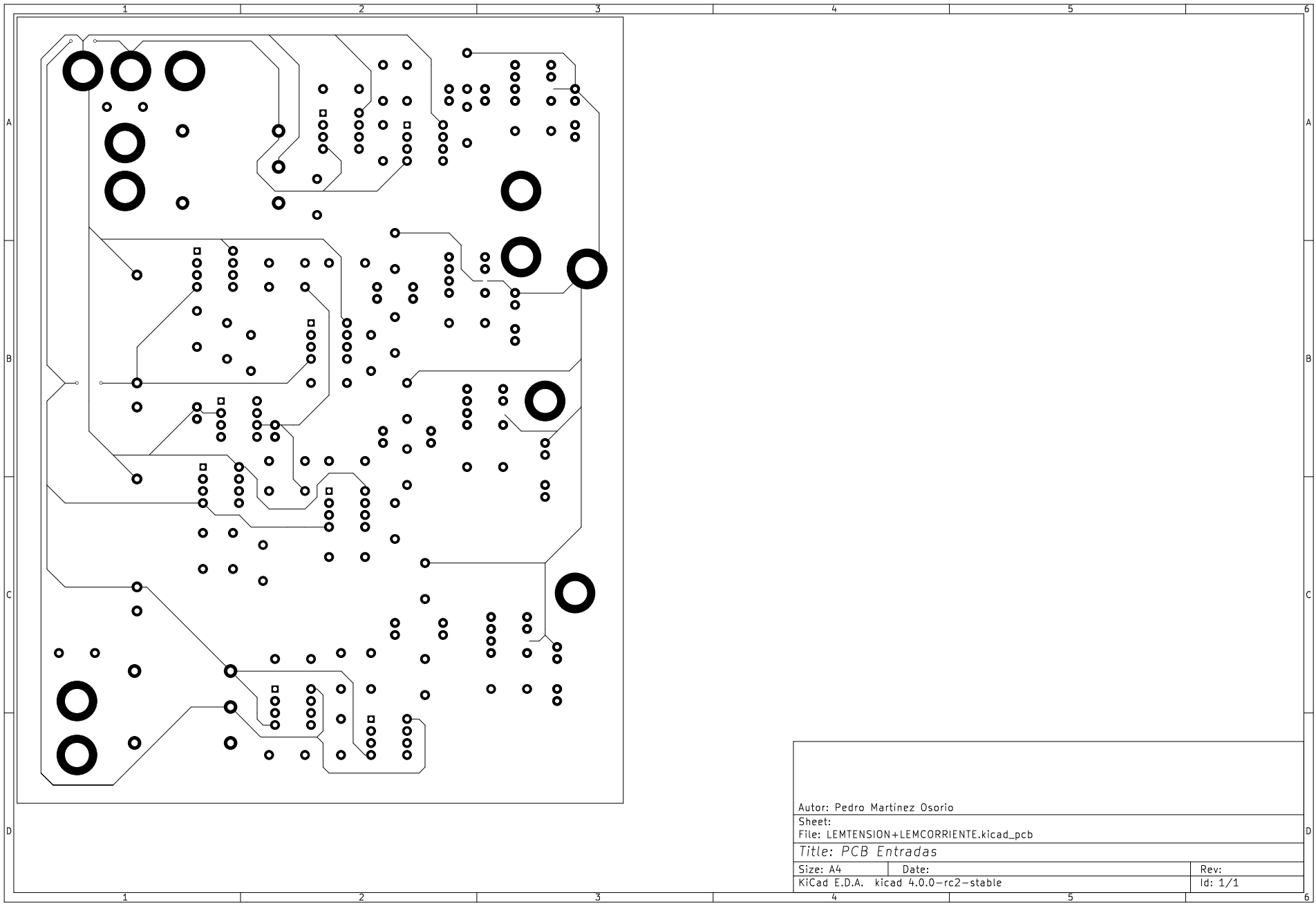
Rev: -

KiCad E.D.A. kicad 4.0.0-rc2-stable

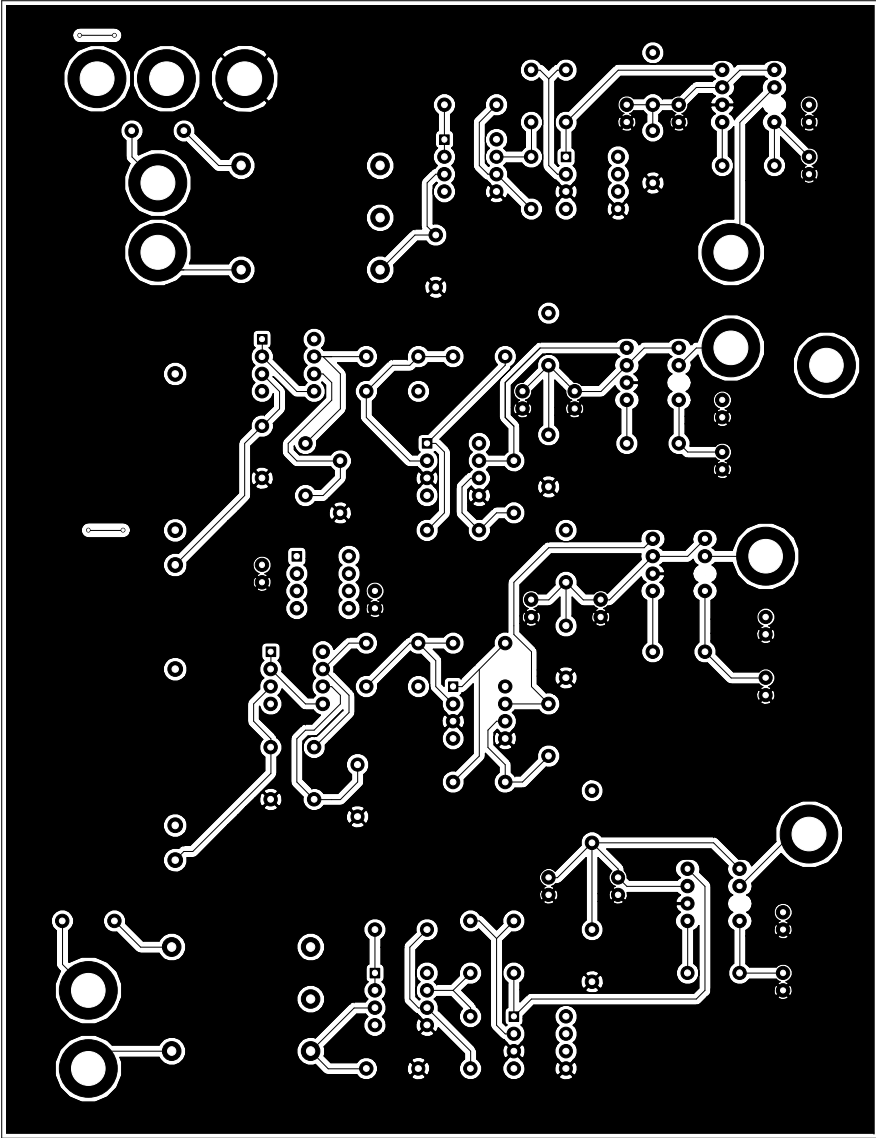
Id: 1/1



Autor: Pedro Martínez Osorio		
Sheet: /		
File: Reles_Switches.sch		
Title: PCB Relés, Switches y IGBT descarga CDClk		
Size: A4	Date: 2016-06-19	Rev: -
KiCad E.D.A. kicad 4.0.0-rc2-stable		Id: 1/1

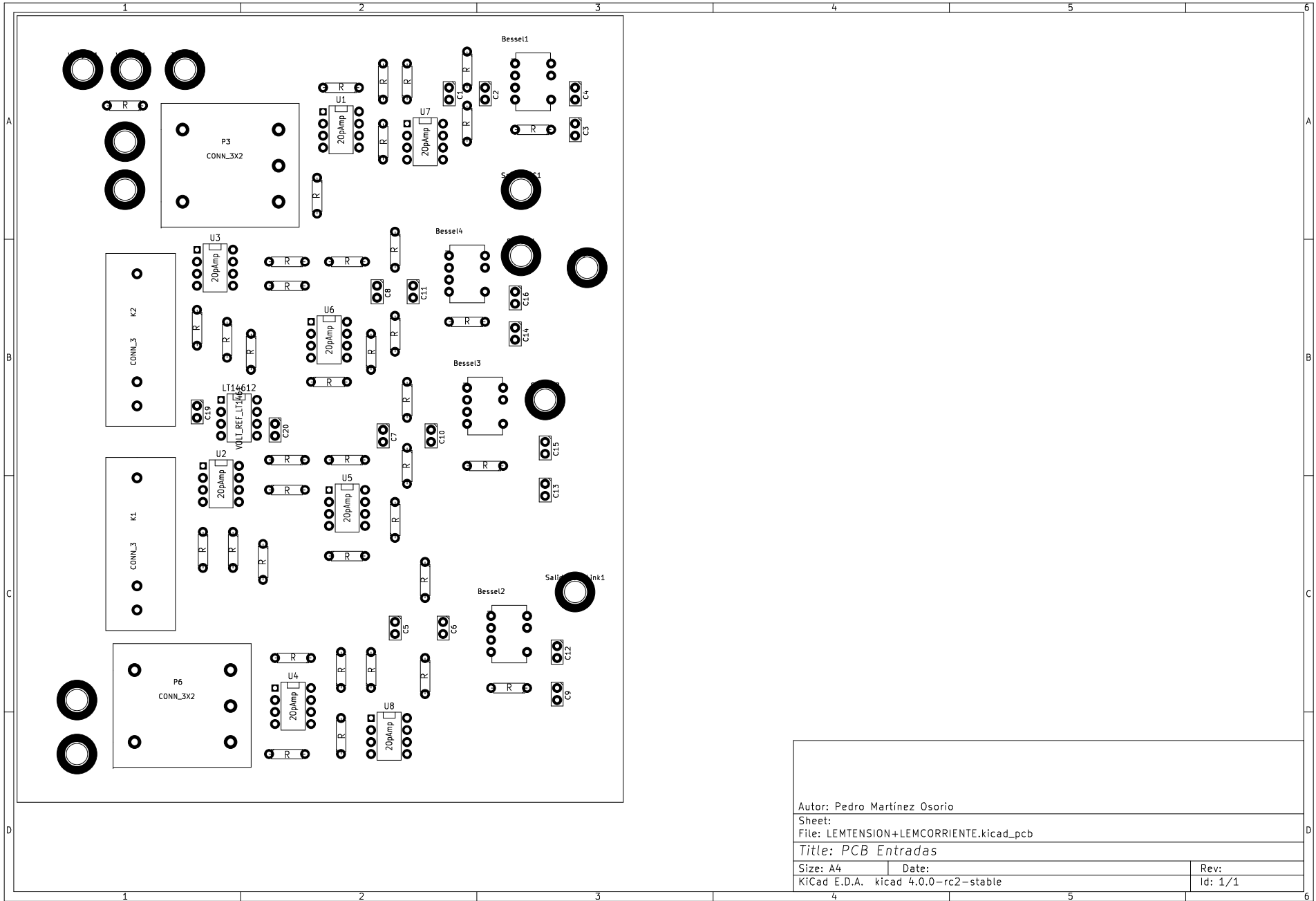


Autor: Pedro Martínez Osorio		
Sheet:		
File: LEMTENSION+LEMCORRIENTE.kicad_pcb		
Title: <i>PCB Entradas</i>		
Size: A4	Date:	Rev:
KiCad E.D.A. kicad 4.0.0-rc2-stable		Id: 1/1

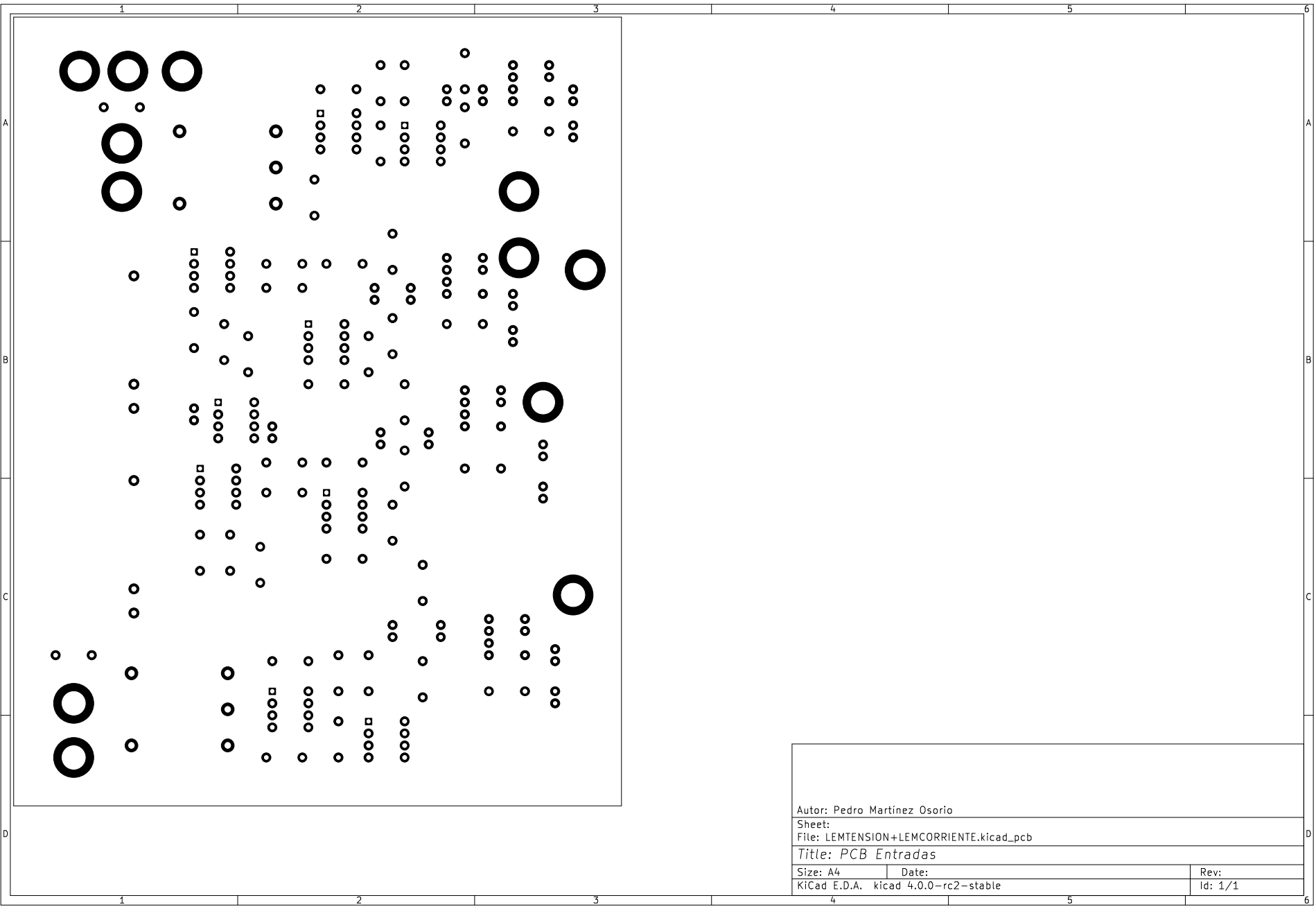


Autor: Pedro Martínez Osorio
Sheet:
File: LEMTENSION+LEMCCORRIENTE.kicad_pcb
Title: PCB Entradas

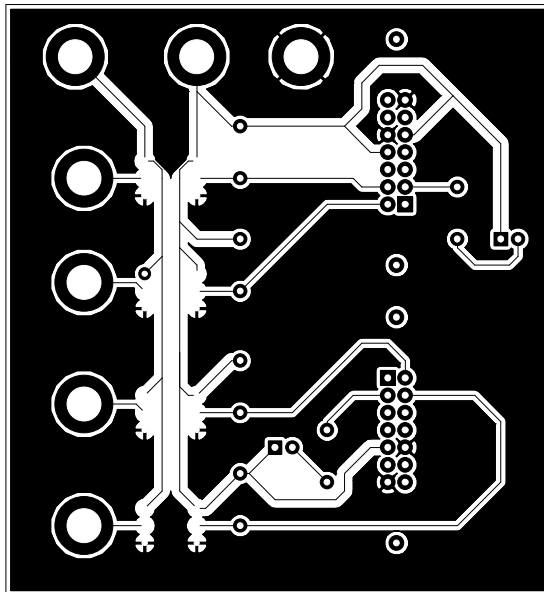
Size: A4	Date:	Rev:
KiCad E.D.A. kicad 4.0.0-rc2-stable		Id: 1/1



Autor: Pedro Martínez Osorio		
Sheet:		
File: LEMTENSION+LEMCORRIENTE.kicad_pcb		
Title: PCB Entradas		
Size: A4	Date:	Rev:
KiCad E.D.A. kicad 4.0.0-rc2-stable		Id: 1/1



Autor: Pedro Martínez Osorio		
Sheet:		
File: LEMTENSION+LEMCCRIENTE.kicad_pcb		
Title: PCB Entradas		
Size: A4	Date:	Rev:
KiCad E.D.A. kicad 4.0.0-rc2-stable		Id: 1/1



Autor: Pedro Martínez Osorio

Sheet:

File: Modulo_PWM.kicad_pcb

Title: PCB Acoplamiento a driver - Salidas

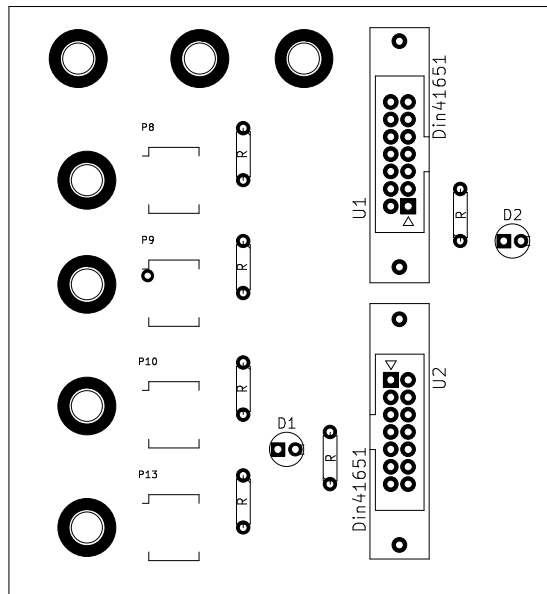
Size: A4

Date: 2016-06-19

Rev: -

KiCad E.D.A. kicad 4.0.0-rc2-stable

Id: 1/1



Autor: Pedro Martínez Osorio

Sheet:

File: Modulo_PWM.kicad_pcb

Title: PCB Acoplamiento a driver - Salidas

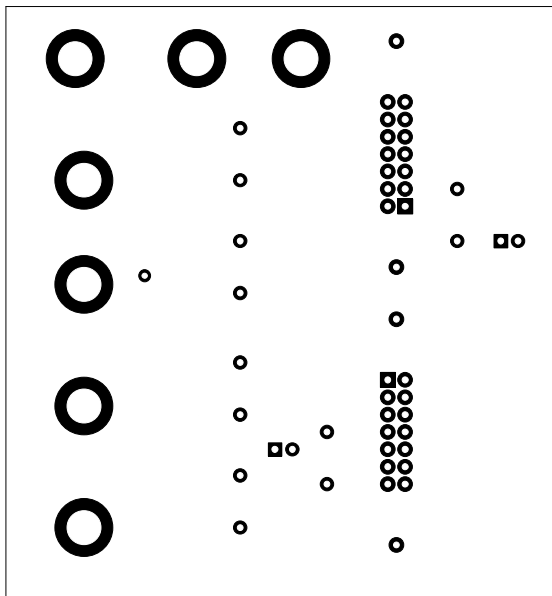
Size: A4

Date: 2016-06-19

Rev: -

KiCad E.D.A. kicad 4.0.0-rc2-stable

Id: 1/1



Autor: Pedro Martínez Osorio

Sheet:

File: Modulo_PWM.kicad_pcb

Title: PCB Acoplamiento a driver - Salidas

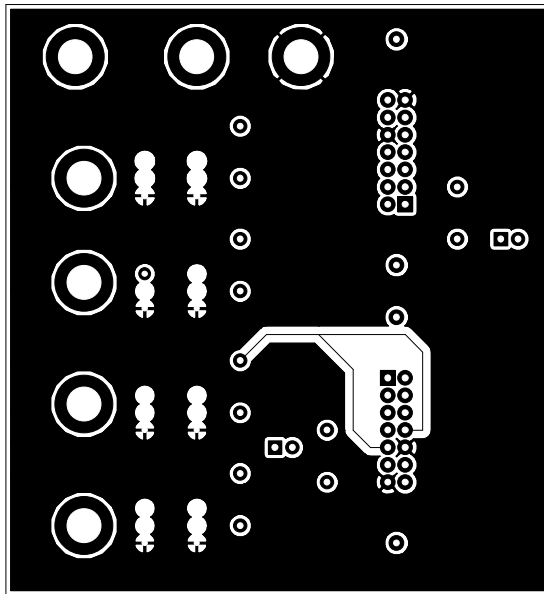
Size: A4

Date: 2016-06-19

Rev: -

KiCad E.D.A. kicad 4.0.0-rc2-stable

Id: 1/1



Autor: Pedro Martínez Osorio

Sheet:

File: Modulo_PWM.kicad_pcb

Title: PCB Acoplamiento a driver - Salidas

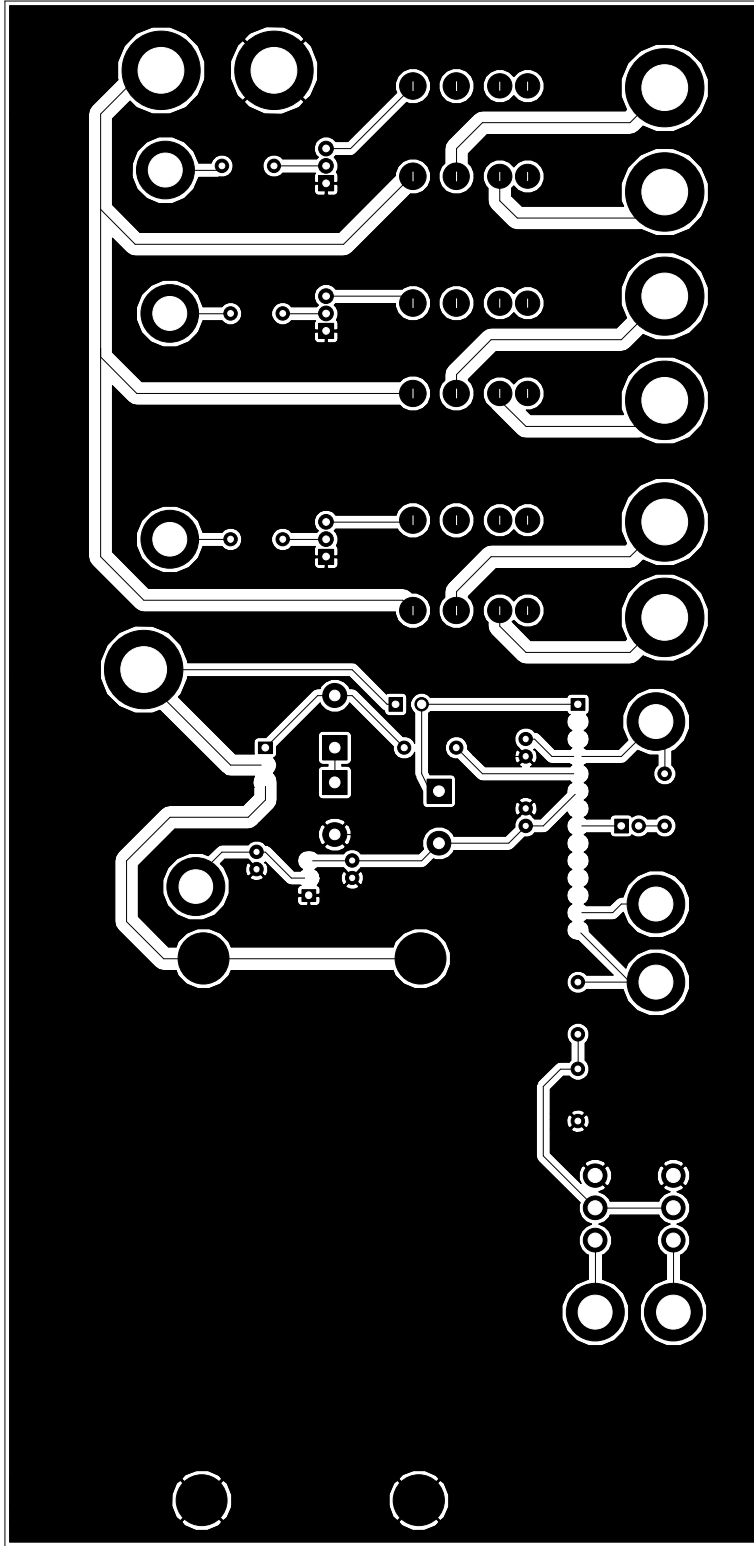
Size: A4

Date: 2016-06-19

Rev: -

KiCad E.D.A. kicad 4.0.0-rc2-stable

Id: 1/1



Autor: Pedro Martínez-Osorio

Sheet:

File: Reles_Switches.kicad_pcb

Title: PCB Relés, Switches y IGBT Descarga CDCLink

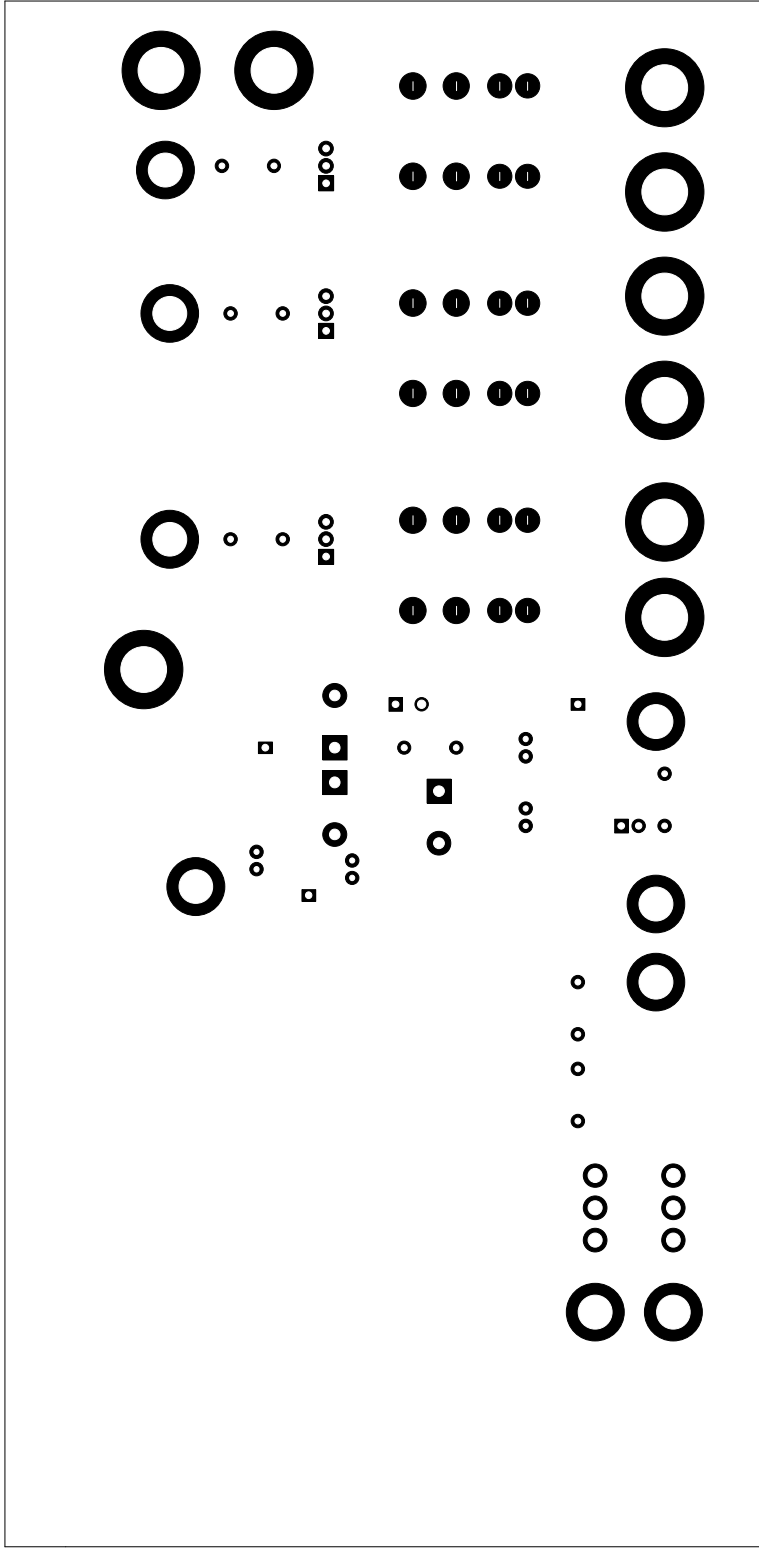
Size: A4

Date: 2016-06-19

Rev: -

KiCad E.D.A. kicad 4.0.0-rc2-stable

Id: 1/1



Autor: Pedro Martínez-Osorio

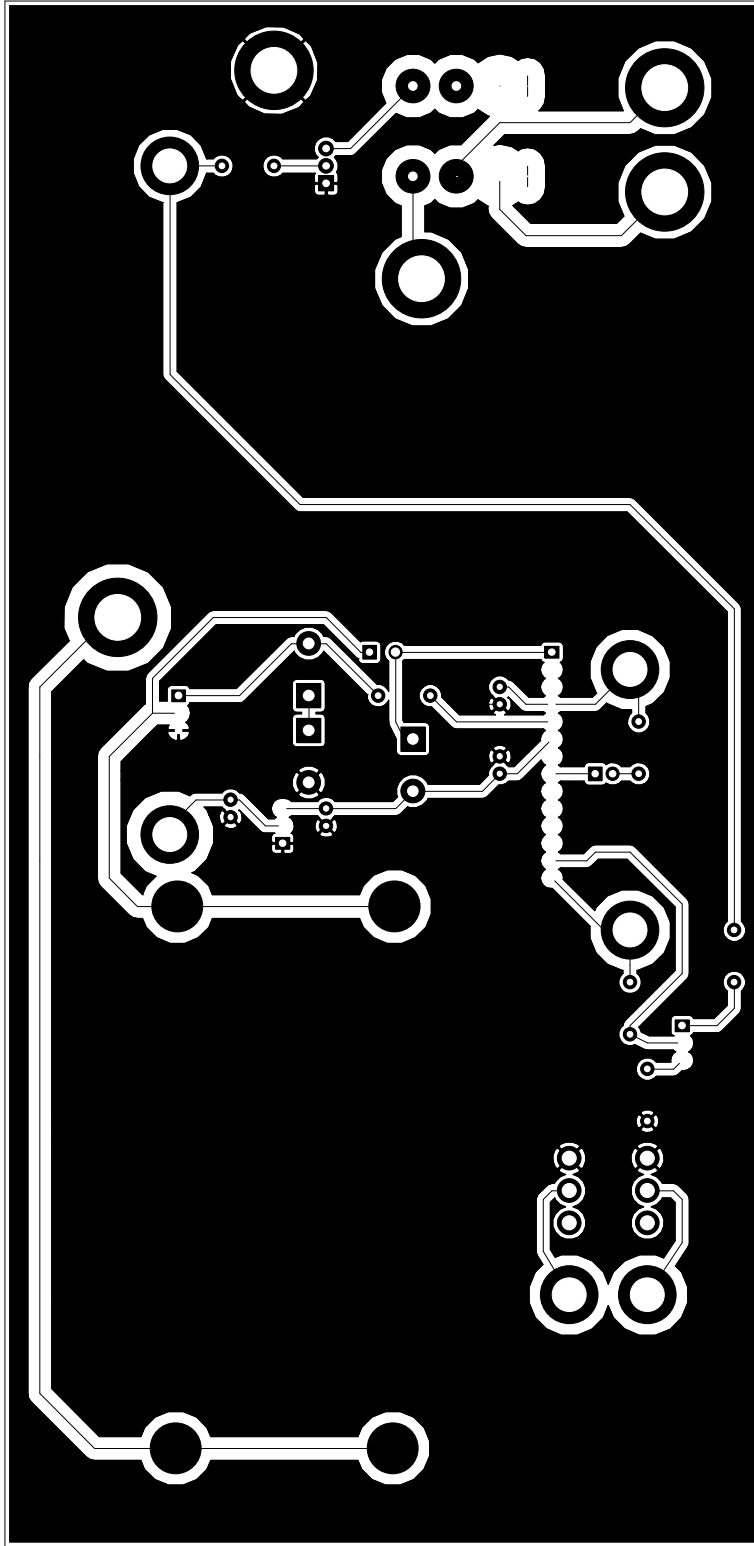
Sheet:
File: Reles_Switches.kicad_pcb

Title: PCB Relés, Switches y IGBT Descarga CDCLink

Size: A4 Date: 2016-06-19

KiCad E.D.A. kicad 4.0.0-rc2-stable

Rev: -
Id: 1/1



Autor: Pedro Martínez-Osorio

Sheet:

File: Solouno.kicad_pcb

Title: PCB Relés, Switches y IGBT Descarga CDCLink

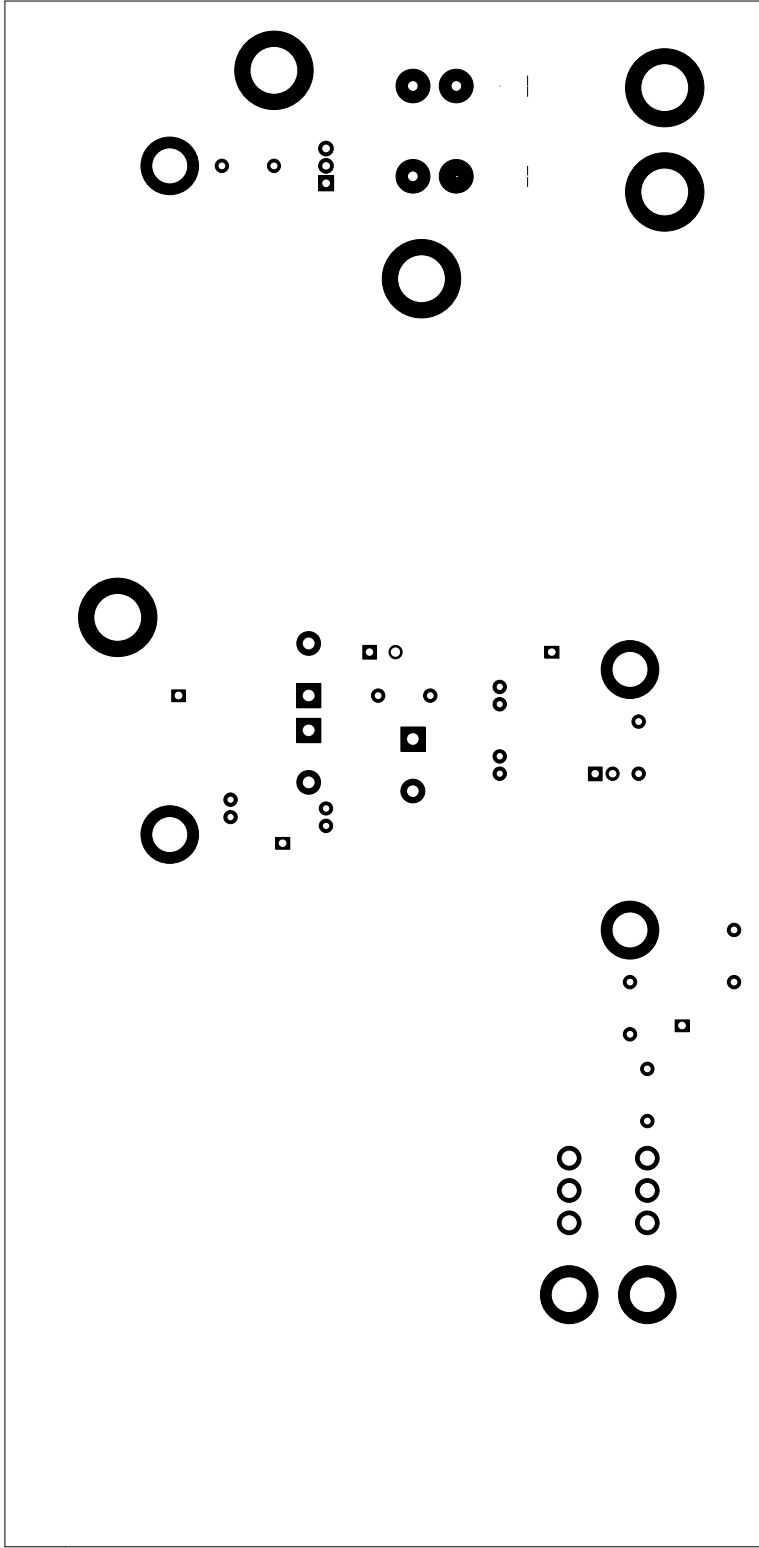
Size: A4

Date: 2016-06-19

Rev: -

KiCad E.D.A. pcbnew 4.0.0-rc2-stable

Id: 1/1



Autor: Pedro Martínez-Osorio

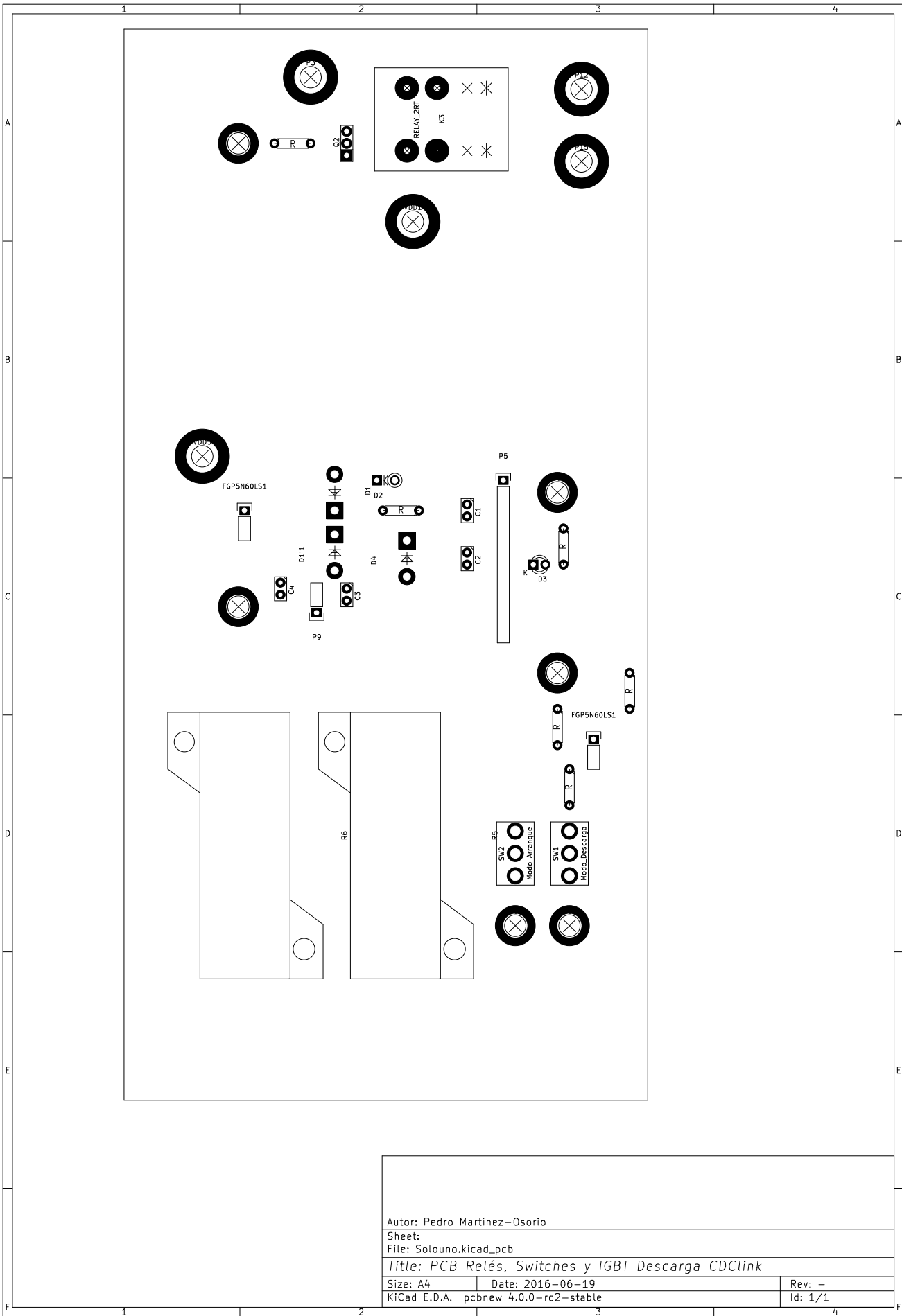
Sheet:
File: Solouno.kicad_pcb

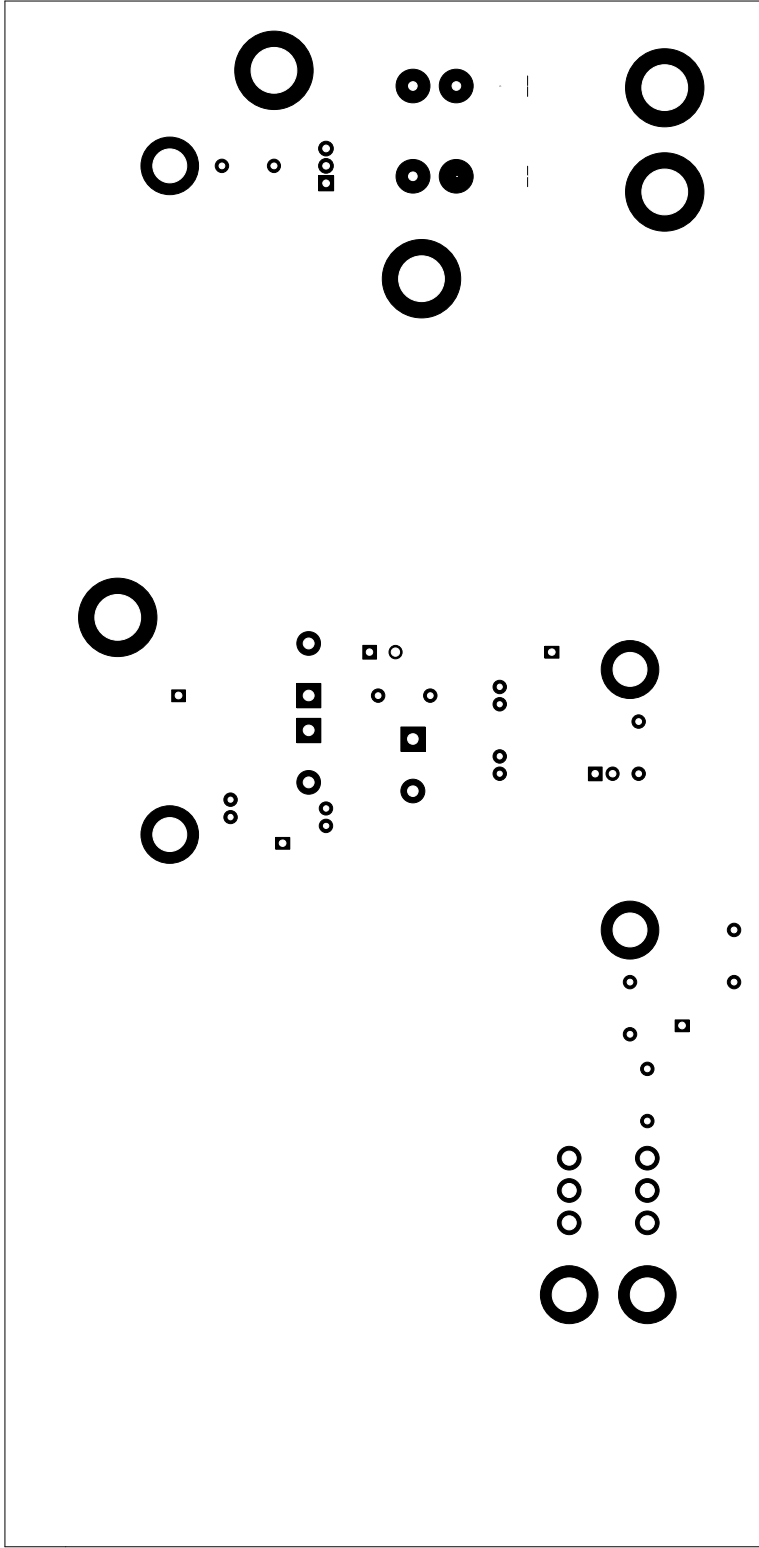
Title: PCB Relés, Switches y IGBT Descarga CDCLink

Size: A4
KiCad E.D.A. pcbnew 4.0.0-rc2-stable

Date: 2016-06-19

Rev: -
Id: 1/1





Autor: Pedro Martínez-Osorio

Sheet:
File: Solouno.kicad_pcb

Title: PCB Relés, Switches y IGBT Descarga CDCLink

Size: A4 Date: 2016-06-19

Rev: -

KiCad E.D.A. pcbnew 4.0.0-rc2-stable

Id: 1/1

DOCUMENTO III

PRESUPUESTO





UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
INGENIERO INDUSTRIAL

ÍNDICE DE LA MEMORIA



Índice del presupuesto

Capítulo 1	MEDICIONES	IV
1.1	MEDICIONES – CIRCUITO DE POTENCIA	IV
1.2	MEDICIONES – PCB ENTRADAS	V
1.3	MEDICIONES – PCB ACOP. DRIVER	VI
1.4	MEDICIONES – PCB RELÉS Y SWITCHES	VII
1.5	MEDICIONES – DSP	VIII
1.6	MEDICIONES – LICENCIAS DE SOFTWARE	IX
1.7	MEDICIONES: HERRAMIENTAS	X
1.8	MEDICIONES: HORAS DE TRABAJO	XI
Capítulo 2	Precios Unitarios	XIII
2.1	PRECIOS UNITARIOS– CIRCUITO DE POTENCIA	XIII
2.2	PRECIOS UNITARIOS – PCB ENTRADAS	XIV
2.3	PRECIOS UNITARIOS – PCB ACOP. DRIVER	XV
2.4	PRECIOS UNITARIOS – PCB RELÉS Y SWITCHES	XVI
2.5	PRECIOS UNITARIOS– DSP	XVII
2.6	PRECIOS UNITARIOS – LICENCIAS DE SOFTWARE	XVIII
2.7	PRECIOS UNITARIOS: HERRAMIENTAS	XIX
2.8	PRECIOS UNITARIOS: HORAS DE TRABAJO	XX
Capítulo 3	SUMAS PARCIALES	XXII
3.1	SUMA PARCIAL – CIRCUITO DE POTENCIA	XXII
3.2	SUMA PARCIAL – PCB ENTRADAS	XXIII
3.3	SUMA PARCIAL – PCB ACOP. DRIVER	XXIV



3.4	SUMA PARCIAL – PCB RELÉS Y SWITCHES.....	XXV
3.5	SUMA PARCIAL – DSP	XXVI
3.6	SUMA PARCIAL – LICENCIAS DE SOFTWARE.....	XXVII
3.7	SUMA PARCIAL: HERRAMIENTAS.....	XXVIII
3.8	SUMA PARCIAL: HORAS DE TRABAJO.....	XXIX
Capítulo 4	: PRESUPUESTO GENERAL	XXX



Capítulo 1 MEDICIONES

1.1 MEDICIONES – CIRCUITO DE POTENCIA

COMPONENTES	CANTIDAD
Supercondensadores Maxwell “16V Small Cell Module”	2
Semipunte IGBT SKM75GB176D de Semikron	2
Driver IGBTs SKHI 23/12 (R) de Semikron	2
Condensador electrolítico EGPA101ELL511MM30S de Nippon Chemi-Con	2
Bobinas 1410478C de Murata	20
Disipador de calor P3-300B de Semikron	1
Cable 30 A	5m



1.2 MEDICIONES – PCB ENTRADAS

COMPONENTES	CANTIDAD
Sondas LEM Tensión LV25-P	2
Sondas LEM Corriente LA-100P	2
Filtros de Bessel LTC1065 de Linear Technology	4
Low power dual OP-AMPS LM358,A-N de STMicroelectronics	8
Referencia de tensión de 3V LT1461 de Linear Technology	1
Resistencias 10% de 0.5W, de distintos valores	40
Condensadores de papel de distintos valores	18
Bananas de 4mm	12
PCB fabricado por EUROCIRCUITS	1



1.3 MEDICIONES – PCB ACOP. DRIVER

COMPONENTES	CANTIDAD
Optoacopladores 70OL6010	4
LEDs de 3mm	2
Resistencias 1% de 0.5W, de distintos valores	6
Conectores DIN 4651	2
Bananas de 4mm	7
PCB fabricado por EUROCIRCUITS	1



1.4 MEDICIONES – PCB RELÉS Y SWITCHES

COMPONENTES	CANTIDAD
Relés 2903660 de Phoenix Contact	3
Interruptores SPDT	2
IGBT FGP5N60LS de Fairchild (descarga Cdlink)	1
Driver disparo IGBT M57962L de Powerex (para IGBT descarga)	1
Referencia de tensión de -12V L7912CV	1
Transistores BJT 2N2222A	3
Condensadores de tántalo de distintos valores	2
Condensadores electrolíticos de distintos valores	2
Bananas de 4mm	8
Bananas de 8mm	9
Resistencias 1% de 0.5W, de distintos valores	7
Diodos zener de distintos valores	3
LED de 3mm	1
PCB fabricado por EURO CIRCUITS	1



1.5 MEDICIONES – DSP

COMPONENTES	CANTIDAD
Controlcard F28335 de Texas Instruments	1
Docking Station C2000 de Texas Instruments	1



1.6 MEDICIONES – LICENCIAS DE SOFTWARE

COMPONENTES	HORAS DE PROYECTO	HORAS DE USO AL AÑO
MATLAB-SIMULINK R2009.b	250	1000
Code Composer Studio	10	20
LTSpice	10	100
KiCad	250	500



1.7 MEDICIONES: HERRAMIENTAS

COMPONENTES	CANTIDAD	HORAS DE PROYECTO	DE HORAS USO AL AÑO
FUENTE 30VDC 5A	2	300	500
OSCILOSCOPIO Yokogawa DL 850	1	200	500
Polímetro	1	50	500
Soldador	1	30	300
Desoldador	1	10	200
Destornillador	1	10	1250
Ordendador	1	400	1600



1.8 MEDICIONES: HORAS DE TRABAJO

TAREA	HORAS DE PROYECTO
Diseño PCB	150
Diseño Control	50
Simulaciones Matlab- Simulink	150
Programación DSP	100
Montaje	50
Ensayos y resolución de problemas	100
Documentación	100
TOTAL	700



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
INGENIERO INDUSTRIAL



Capítulo 2 PRECIOS UNITARIOS

2.1 PRECIOS UNITARIOS– CIRCUITO DE POTENCIA

COMPONENTES	€/ud
Supercondensadores Maxwell “16V Small Cell Module”	101.00
Semipunte IGBT SKM75GB176D de Semikron	64.15
Driver IGBTs SKHI 23/12 (R) de Semikron	206.8
Condensador electrolítico EGPA101ELL511MM30S de Nippon Chemi-Con	3.16
Bobinas 1410478C de Murata	8.33
Disipador de calor P3-300B de Semikron	112.75
Cable 30 A	1.37€/m



2.2 PRECIOS UNITARIOS – PCB ENTRADAS

COMPONENTES	€/ud
Sondas LEM Tensión LV25-P	50.50
Sondas LEM Corriente LA-100P	30.47
Filtros de Bessel LTC1065 de Linear Technology	9.09
Low power dual OP-AMPS LM358,A-N de STMicroelectronics	0.35
Referencia de tensión de 3V LT1461 de Linear Technology	2.76
Resistencias 10% de 0.5W, de distintos valores	0.02
Condensadores de papel de distintos valores	0.71
Bananas de 4mm	1.21
PCB fabricado por EUROCIRCUITS	64.38



2.3 PRECIOS UNITARIOS – PCB ACOP. DRIVER

COMPONENTES	€/ud
Optoacopladores 70OL6010	0.62
LEDs de 3mm	0.15
Resistencias 1% de 0.5W, de distintos valores	0.03
Conectores DIN 4651	3.15
Bananas de 4mm	1.21
PCB fabricado por EUROCIRCUITS	25.78



2.4 PRECIOS UNITARIOS – PCB RELÉS Y SWITCHES

COMPONENTES	€/ud
Relés 2903660 de Phoenix Contact	6.49
Interruptores SPDT	1.99
IGBT FGP5N60LS de Fairchild (descarga Cdclink)	2.23
Driver disparo IGBT M57962L de Powerex (para IGBT descarga)	21.95
Referencia de tensión de -12V L7912CV	0.34
Transistores BJT 2N2222A	0.85
Condensadores de tántalo de distintos valores	1.42
Condensadores electrolíticos de distintos valores	0.34
Bananas de 4mm	1.21
Bananas de 8mm	1.64
Resistencias 1% de 0.5W, de distintos valores	0.03
Diodos zener de distintos valores	0.17
LED de 3mm	0.15
PCB fabricado en ICAI	15.01



2.5 PRECIOS UNITARIOS– DSP

COMPONENTES	€/ud
Controlcard F28335 de Texas Instruments	76.63
Docking Station C2000 de Texas Instruments	34.33



2.6 PRECIOS UNITARIOS – LICENCIAS DE SOFTWARE

COMPONENTES	€
MATLAB-SIMULINK R2009.b	2000
Code Composer Studio	0
LTSpice	0
KiCad	0



2.7 PRECIOS UNITARIOS: HERRAMIENTAS

COMPONENTES	€
FUENTE 30VDC 5A	219.9
OSCILOSCOPIO Yokogawa DL 850	5995
Polímetro	45
Soldador	35
Desoldador	35
Destornillador	10
Ordendador	799



2.8 PRECIOS UNITARIOS: HORAS DE TRABAJO

TAREA	€/h
Diseño PCB	150
Diseño Control	50
Simulaciones Matlab-Simulink	150
Programación DSP	100
Montaje	50
Ensayos y resolución de problemas	100
Documentación	100
TOTAL	700



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
INGENIERO INDUSTRIAL



Capítulo 3 SUMAS PARCIALES

3.1 SUMA PARCIAL – CIRCUITO DE POTENCIA

COMPONENTES	CANTIDAD	€/ud	€
Supercondensadores Maxwell “16V Small Cell Module”	2	101.00	202.00
Semipunte IGBT SKM75GB176D de Semikron	2	64.15	128.30
Driver IGBTs SKHI 23/12 (R) de Semikron	2	206.80	413.60
Condensador electrolítico EGPA101ELL511MM30S de Nippon Chemi-Con	2	3.16	3.16
Bobinas 1410478C de Murata	20	8.33	166.66
Disipador de calor P3-300B de Semikron	1	112.75	112.75
Cable 30 A	5m	1.37€/m	6.85
TOTAL			1033.32



3.2 SUMA PARCIAL – PCB ENTRADAS

COMPONENTES	CANTIDAD	€/ud	€
Sondas LEM Tensión LV25-P	2	50.50	101.00
Sondas LEM Corriente LA-100P	2	30.47	60.94
Filtros de Bessel LTC1065 de Linear Technology	4	9.09	36.36
Low power dual OP-AMPS LM358,A-N de STMicroelectronics	8	0.35	2.80
Referencia de tensión de 3V LT1461 de Linear Technology	1	2.76	2.76
Resistencias 10% de 0.5W, de distintos valores	40	0.02	0.80
Condensadores de papel de distintos valores	18	0.71	12.78
Bananas de 4mm	12	1.21	14.52
PCB fabricado por EUROCIRCUITS	1	64.38	64.38
TOTAL			296.34



3.3 SUMA PARCIAL – PCB ACOP. DRIVER

COMPONENTES	CANTIDAD	€/ud	€
Optoacopladores 70OL6010	4	0.62	2.48
LEDs de 3mm	2	0.15	0.30
Resistencias 1% de 0.5W, de distintos valores	6	0.03	0.18
Conectores DIN 4651	2	3.15	6.30
Bananas de 4mm	7	1.21	8.47
PCB fabricado por EURO CIRCUITS	1	25.78	25.78
TOTAL			43.51



3.4 SUMA PARCIAL – PCB RELÉS Y SWITCHES

COMPONENTES	CANT.	€/ud	€
Relés 2903660 de Phoenix Contact	3	6.49	19.47
Interruptores SPDT	2	1.99	3.98
IGBT FGP5N60LS de Fairchild	1	2.23	2.23
Driver disparo IGBT M57962L de Powerex (para IGBT descarga)	1	21.95	21.95
Referencia de tensión de -12V L7912CV	1	0.34	0.34
Transistores BJT 2N2222A	3	0.85	2.55
Condensadores de tántalo de distintos valores	2	1.42	2.84
Condensadores electrolíticos de distintos valores	2	0.34	0.68
Bananas de 4mm	8	1.21	9.76
Bananas de 8mm	9	1.64	14.76
Resistencias 1% de 0.5W, de distintos valores	7	0.03	0.21
Diodos zener de distintos valores	3	0.17	0.54
LED de 3mm	1	0.15	0.15
PCB fabricado por EURO CIRCUITS	1	15.01	15.01
TOTAL			94.47



3.5 *SUMA PARCIAL – DSP*

COMPONENTES	CANTIDAD	€/ud	€
Controlcard F28335 de Texas Instruments	1	76.63	76.63
Docking Station C2000 de Texas Instruments	1	34.33	34.33
TOTAL			110.96



3.6 SUMA PARCIAL – LICENCIAS DE SOFTWARE

COMPONENTES	HORAS DE PROYECTO	DE	HORAS DE USO AL AÑO	€/U	AMORT ANUAL	€
MATLAB-SIMULINK R2009.b	250		1000	2000	25%	125
Code Composer Studio	10		20	0	25%	0
LTSpice	10		100	0	25%	0
KiCad	250		500	0	25%	0
TOTAL						125



3.7 SUMA PARCIAL: HERRAMIENTAS

COMPONENTES	CANT	HORAS PROY.	HORAS USO ANUAL	€/U	AMORT	€
FUENTE 30VDC 5A	4	300	500	219.9	20%	105.56
OSCILOSCOPIO Yokogawa DL 850	1	80	500	5995	20%	191.84
Polímetro	1	50	500	45	20%	0.90
Soldador	1	30	300	35	20%	0.70
Desoldador	1	10	200	35	20%	0.35
Destornillador	1	10	1250	10	20%	0.02
Ordendador	1	400	1600	799	20%	39.95
TOTAL						339.32



3.8 *SUMA PARCIAL: HORAS DE TRABAJO*

TAREA	HORAS	€/H	€
Diseño PCB	150	50.00	7500.00
Diseño Control	50	50.00	2500.00
Simulaciones Matlab-Simulink	150	35.00	5250.00
Programación DSP	100	20.00	2000.00
Montaje	50	20.00	1000.00
Ensayos y resolución de problemas	100	60.00	6000.00
Documentación	100	40.00	4000.00
TOTAL			28250.00



Capítulo 4 : PRESUPUESTO GENERAL

CONCEPTO	COSTE (€)
CIRC. POTENCIA	1033.32
PCB ENTRADAS	296.34
PCB ACOPL. DRIVER	43.51
PCB RELÉS Y SWITCHES	94.47
DSP	110.96
LICENCIAS DE SOFTWARE	25.00
HERRAMIENTAS	339.32
MANO DE OBRA	28250.00
TOTAL	30192.92



UNIVERSIDAD PONTIFICIA COMILLAS
ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA (ICAI)
INGENIERO INDUSTRIAL
