ESCUELA TECNICA SUPERIOR DE
INGENIEROS INDUSTRIALES

ESTACION REMOTA INTELIGENTE

MADRID, 16 DE AGOSTO DE 1980

EDUARDO LAINEZ BERDONCES

ESTACION REMOTA INTELIGENTE

EL PRESENTE PROYECTO CONSTA DE LOS SIGUIENTES DOCUMENTOS

Madrid, 16 de agosto de 1980

Fdº.: Eduardo Lainez Berdonces

ESCUELA TECNICA SUPERIOR DE
INGENIEROS INDUSTRIALES

ESTACION REMOTA INTELIGENTE

RESUMEN DEL PROYECTO

MADRID, 16 DE AGOSTO DE 1980
EDUARDO LAINEZ BERDONCES

E S T A C I Ó N R E M O T A I N T E L I G E N T E

R E S U M E N D E L P R O Y E C T O

R E S U M E N

OBJETO

El objeto del presente proyecto tiene como fin último automatizar una amplia gama de procesos. Su principal aplicación será para aquellos en los que es necesario mantener una serie de pequeñas o grandes instalaciones aisladas, como pueden ser emisoras, repetidores de radio-enlaces, etc.

El problema que se plantea en estos procesos son los costes de mantenimiento, de una parte si están atendidas, estos costes son elevados y el rendimiento del personal que realiza éste, por las características de los procesos, es mínimo.

En caso de no tener una atención continua, cuando se produce el fallo puede pasar bastante tiempo antes que el responsable de solucionarlo, tenga conocimiento del hecho, con lo cual el tiempo de pérdida de servicio puede ser muy elevado.

La solución que se plantea es colocar en cada una de estas instalaciones aisladas, en caso de estar atendidas en la actualidad se puede eliminar este personal, una estación remota inteligente que nos realizará:

- La supervisión y control de los equipos a ella conectados.
- Puede enviar el estado de estos equipos a un centro de control, si a él se la conecta.
- Se le podrán enviar desde este centro de control una serie de órdenes a realizar en los equipos de la instalación.

La composición de estas instalaciones es variable, por lo que a fin de que el sistema pueda abarcar una amplia gama de ellas, sin inversiones inútiles, se ha creado un sistema modular, en el que el usuario puede realizar la composición de estación remota inteligente según los equipos a supervisar y controlar que tenga en sus instalaciones a automatizar.

MÓDULOS

El sistema va montado en una serie de tarjetas que reciben el nombre según la función que realizan así disponemos de:

. Tarjetas de entradas analógicas:
aceptan16 entradas desde la instalación exterior a la estación remota inteligente. Estas señales por el tipo de convertidor usado pueden variar entre 0 y + 5v, en esta tarjeta se realiza la conversión a digital de manera que el microprocesador pueda conocer el valor de la señal.

Según el valor, en cada momento, de estas señales el microprocesador comparándolas con valores previamente establecidos realizará la acción que tenga indicada.

La carga que representan estas entradas para los equipos de la instalación es despreciable, pues el convertidor está realizado en tecnología MOS.

. Tarjetas de entradas digitales:
aceptan 16 señales todo o nada. A fin de aislar los equipos a supervisar del equipo supervisor estas entradas se realizan mediante relés.

para activarlos necesitamos de la instalaciòn un potencial de 0v.; con una capacidad de drenar como minimo 10 m A.

Su otro estado lògico vendrá representado por un circuito abierto en la instalaciòn.

Al igual que las entradas anteriores, es el microprocesador el que "sabe" en que estado debe estar cada señal y la actuaciòn a realizar en caso de tener el contrario.

- Tarjeta de salidas digitales:
  proporcionan cada una 16 puntos de contro en la instalaciòn, mediante sus dos posibles estados, un potencial de 0v. a travès de un contacto capaz de dejar pasar 500 m A ò el mismo contacto abierto al igual que en las entradas, este contacto està actuado por la bobina de un relè con lo que se mantiene el aislamiento entre los equipos.

El microprocesador 8085 es el que gobierna todas las transferencias de datos entre mòdulos, y va montado sobre otra tarjeta, la de CPU. En ella se ha montado ademàs del microprocesador:

- Un reloj programable, con el que obtenemos las distintas frecuencias necesarias para el funcionamiento total del sistema.

- Una USART que nos convierte datos paralelo en datos serie con lo cual es posible la conexiòn de la estaciòn remota inteligente a un modem que a su vez la conectara a un centro de control, por el tipo de USART conectada, la velocidad de transmisiòn podra variar entre 110 y 96.000 baudios.

En la transmisiòn sera asincrona, con 8 bits de datos por caracter, emplearemos paridad para este caracter, como un control de la transmisiòn.

- Un circuito de protecciòn y encendido mediante el cual temporizamos, al encender el sistema durante 500μsg - a fin de que el microprocesador comience correctamente su secuencia de trabajo.

  Por otra parte el circuito de protecciòn, nos impide que por alguna circunstancia, no prevista, el microprocesador se salga del programa a ejecutar.

- El resto de los circuitos de la placa son para amplificar la capacidad de las salidas y entradas del microprocesador.

Los datos asi como el programa a ejecutar necesitan, una cantidad de memoria como soporte fisico. Al ser variable la cantidad de entradas y salidas que podemos conectarle, las necesidades de memoria tambien lo seran por lo que se imponia poder ampliar la memoria modularmente, es lo que se ha hecho, cada tarjeta de memoria tiene 4096 palabras de ocho bits en memoria de solo lectura y 1024 palabras, tambien de ocho bits en las que se puede leer y escribir. Pudiendo poner de 1 a 4 tarjetas segùn el tamaño y complejidad de los equipos de la instalaciòn que supervisa la estaciòn remota inteligente.

La zona de lectura escritura, es no volatil, su contenido no varia aun quitandole la alimentación, esta posibilidad la logramos mediante tres pequeñas baterias montadas sobre la misma placa. Por el infimo consumo de estas memorias podemos conservar los datos en ellas por unos 180 días.

Todas las placas de la estación remota inteligente van interconectadas a traves de otra, que proporciona la continui

dad física entre señales, a su vez también a esta placa - vienen cableados los puntos de la instalación que queremos controlar.

Con el fin de reducir al mínimo los consumos de las placas siempre que ha sido posible se han empleado en las pasti-- llas de lógica TTL la serie 74LS, la distribución de la - alimentación también se realiza por la placa de interconexión, a fin de evitar que las caidas de tensión en esta - distribución nos afectasen el buen funcionamiento del resto de las placas, para las mas cercanas, físicamente, a la fuente de alimentación, como son las memorias y las CPU, - se alimentan con ±5 v ya regulados. Las placas de entrada/ salida se alimentan con tensión mayor de 5 v sin estabilizar procediendose a obtener los ±5 v en cada placa para el consumo propio necesario.

Madrid, 16 de agosto de 1980

Fdo.: Eduardo Lainez Berdonces

DOCUMENTO N.º 1 MEMORIA

ESCUELA TECNICA SUPERIOR DE
INGENIEROS INDUSTRIALES

ESTACION REMOTA INTELIGENTE

DOCUMENTO Nº 1

MEMORIA

MADRID, 16 DE AGOSTO DE 1980

EDUARDO LAINEZ BERDONCES

MEMORIA

M E M O R I A

M E M O R I A

INDICE

1. INTRODUCCION

1.1. OBJETIVOS DEL PROYECTO

Cada vez se plantea con mas frecuencia la necesidad de vigilar y controlar de forma automatica una gran variedad de procesos tecnicos, explotaciones, condiciones ambientales etc.

El primer paso para solucionar estos problemas de vigilància y control, es el conocimiento del proceso a supervisar o controlar. Procesos bien conocidos son: transporte y distribuciòn de energia eléctrica, transportes de agua y gas, condiciones ambientales en edificios o ciudades, vigilancia en edificios, estaciones de radio-enlaces control de trafico en ciudades, control de procesos industriales...

Hasta hace pocos años estos procesos, aun siendo bien conocidos, necesitaban de un extenso equipo de personal para su mantenimiento y control. Personal necesario, pero poco rentable dentro de todo el proceso.

En la actualidad hay soluciones viables tecnica y economicamente. Por una parte se dispone ya de una amplia gama de productos que permiten reducir las condiciones del entorno fisico a señales electricas y viceversa.

Se dispone tambien de los equipos e infraestructura que hacen posible la transmisiòn de la informaciòn necesaria a cualquier distancia.

El problema se reduce entonces a realizar, con recursos electronicos, sistemas de adquisiciòn, elaboraciòn y emisiòn de informaciòn.

Las diversas aplicaciones se caracterizan por el nù-

mero de señales a tratar, caracteristicas de cada una, tipo y complejidad del tratamiento que es preciso dar a la informaciòn condicionamientos de tiempos, seguridad etc. Pero es posible un tratamiento global de todos los procesos mencionados si logramos un sistema modular con un nùmero razonable de señales a tratar, con una gama adecuada de ellas, y un tratamiento de la informaciòn adquirida, que se pueda comparar con unos valores previamente fijados.

La evoluciòn de la Tecnologia y costes en electronica han ido mofificando los criterìos de realizaciòn de estos sistemas, que han pasado del envio desde los distintos puntos de adquisiciòn de datos a un unico centro de gestiòn, a la actualidad en la que se desarrollan sistemas de inteligencia distribuida, este paso ha sido posible con la apariciòn en el mercado de microprocesadores.

El sistema que se realiza en el presente proyecto entra dentro de esta segunda filosofia ya que sera capaz de:

- Gobernar de forma autonoma los procesos a supervisar y controlar en las estaciones remotas cuyas señales estan conectadas a el.
- Integrarse a una red de inteligencia distribuida para el control total de un proceso mas amplio.

Asi el control para estaciòn remota que que se plantea, sera unico en pequeños sistemas como puede ser el control de las condiciones ambientales de un edificio,

a su vez podria ejercer funciones de vigilancia a partir de un determinado momento que prefijemos. O bien formara parte de una red mas compleja, por ejemplo en la supervisiòn de una red de radio-enlaces situaremos en cada estaciòn remota no atendida un control, que debera estar preparado para conectarse a un modem de transmisiòn de datos, con el que tendra acceso a una linea telefonica que interconectara las estaciones remotas a una unidad centralizada de gobierno.

Con una red de este tipo se logra:

Racionalizar y optimizar la utilizaciòn del personal encargado del mantenimiento de estaciones no atendidas, justificando cada desplazamiento y evitando, por tanto, las visitas y pruebas rutinarias.

-Optimizar la calidad de funcionamiento de las estaciones por medio de:

- Oportunos controles de ajuste en la estaciòn, si son posibles en el equipo a controlar
- Conmutaciòn automatica a los equipos de reserva, si los hubiera y los principales no quedasen dentro de unos margenes prefijados.

- Creaciòn de un archivo historico con las variaciones detectadas en las estaciones. Con lo que se aportan de forma rapida y fiable datos de trabajo para:
  - El personal de Mantenimiento, siendo posible reducciòn del tiempo medio de reparaciòn de fallos.
  - El personal de Ingenieria que tomando como base estos datos podra deducir las modificaciones a realizar en los puntos debiles del

sistema, lo cual nos proporcionara mayor intervalo entre fallos.

- Con la disminuciòn del tiempo de reparaciòn y el aumento del tiempo entre fallos, sera mayor la fiabilidad del sistema.

- Control de forma continua y automatica del estado de todas las estaciones que el sistema supervise.

1.2. CONFIGURACION DE LA ESTACION REMOTA INTELIGENTE

1.2.1. GENERAL

Los sistemas informaticos se clasifican en pequeños, medios y grandes segùn la cantidad de informaciòn a tratar y la complejidad del problema. En razòn del estado de la tecnologia, en particular de los circuitos electronicos complejos se utilizaban para los sistemas pequeños y medianos logica cableada, reservada a una aplicaciòn concreta, mientras que el ordenador de procesos, era utilizado para los grandes sistemas con una cantidad de perifericos considerable.

En la actualidad se puede rellenar el vacio entre estos dos extremos usando microprocesadores y una estructura del sistema adecuada. Las ventajas de la programabilidad y la modularidad, con una relacciòn precio/prestaciònes favorable, aparecen asi en los grandes y pequeños sistemas. Con el fin de no realizar un proyecto rigido, para una aplicaciòn especifica, debido al gran campo de aplicaciòn con que puede contar, y a la vez las diferentes composiciones de estaciones remotas que pueden convivir dentro de un sistema de supervisiòn màs amplio, se ha desarrollado una familia de modulos.

Estos modulos son en esencia, una unidad central programable y unidades de entrada/salida para unos tipos especificos de señales, que se comunican entre si a traves de unos caminos de señales normalizados.

A partir de estos modulos normalizados se forman las estaciones remotas, segùn los distintos equipos a supervisar o controlar, existentes en cada una de ellas.

No teniendo problemas para una expansiòn futura de las instalaciones y equipos existentes.

El diseño de esta familia de modulos, se ve facilitado grandemente por el desarrollo de la tecnologia actual de una parte, de otra, la agrupaciòn por caracteristicas de las señales a utilizar.

El esquema de bloques de la estaciòn remota inteligente puede verse en el plano E.R.I.

1.2.2. COMPOSICION

La estaciòn remota esta compuesta de dos tipos de equipos; los equipos a supervisar y telemandar y el equipo de supervisiòn propiamente dicho.

Dentro de los primeros estan incluidos, los equipos propios de la estaciòn de que se trate, estos podran ser desde las medidas de las tensiones de alimentaciòn, de los distintos equipos instalados, a las distintas alarmas que se puedan dar (fuego, apertura de puerta de la estaciòn remota etc.)

El equipo de supervisiòn objeto de este proyecto incluye aquellos componentes instalados en la estaciòn remota, destinados a realizar la supervisiòn y telemando de los equipos anteriores,

asi como procesar la información resultante de esta supervisión, tomar las acciones pertinentes y enviar la información de estados resultantes de la supervisión a un centro de control.

La configuración tipo de una estación remota a nivel de diagrama de bloques se presenta en el plano E.R.I.

En esta configuración se distinguen cinco bloques fundamentales:

a) Unidad de telemedidas
b) Unidad de teleseñales
c) Unidad de telemandos
d) Unidad de proceso
e) Unidad de interfase

1.2.3. UNIDAD DE TELEMEDIDAS

Basicamente esta formada por un modulo de adquisición de datos que incluye un multiplexor analogico y un convertidor analogico a digital.

Las entradas a medir seran referidas a masa. El multiplexor es direccionable por la Unidad Central de Proceso, y el convertidor analogico/ digital es compatible con el bus de datos por lo cual no hay más limitación, en cuanto ampliaciones, que la capacidad de direccionamiento de circuitos de entrada/salida del microprocesador empleado.

Las medidas se transformaran a tensión para ser aplicadas a la unidad, deberan ser en la escala de 0 a 5v de tensión continua.

1.2.4. UNIDAD DE TELESEÑALES

Definimos como unidad de teleseñales a un modulo que acepta señales discreta (todo/nada), la tarjeta conforma estas entradas y bajo control de la unidad central de proceso las presenta en el bus de datos, tambien son validos aquì las mismas consideraciones, en cuanto a aplicaciones que en el parrafo anterior.

1.2.5. UNIDAD DE TELEMANDOS

La tarjeta de salidas digitales, prevee 16 canales de control por medio de rèles, transistores o acopladores opticos. Estos a su vez atacaran los elementos de maniobra apropiados en la estaciòn.

La operaciòn de la tarjeta esta bajo control absoluto de la unidad central de proceso, con su programaciòn normal asegura la realizaciòn correcta de los telemandos. Los telemandos, dependiendo de esta programaciòn pueden ser continuos o impulsivos. Para evitar que debido a un fallo en la alimentaciòn propia del equipo de supervisiòn los telemandos que se especifique lo contrario los telemandos seran impulsivos debiendo preveerse en los equipos a supervisar el enclavamiento necesario.

1.2.6. UNIDAD CENTRAL DE PROCESO

La unidad de proceso se implanta a base de un microprocesador de ocho bits, que es quien realmente se ocupa de todo el control de proce-

so.

Se complementa con una memoria PROM (solo lectura) que contiene el programa a ejecutar, y una memoria RAM (lectura y escritura) para manejo de datos, resultados intermedios, tablas valores variables etc.

Contiene ademas, toda la generaciòn de tiempos necesaria para todo el sistema, se le ha incorporado tambien un circuito para preveer posibles perdidas de control, este circuito supervisara el buen funcionamiento de la unidad central de proceso y del programa.

La cantidad de memoria de uno y otro tipo (PROM y RAM)dependera de los canales a supervisar, lo que se ha previsto en el sistema es una cantidad de memoria inicial (4 Kbytes de PROM y 1Kbyte de RAM) que sera suficiente para sistemas pequeños, y se han previsto tres placas mas de memoria a usar en el caso de sistemas mayores.

1.2.7. UNIDAD DE INTERFASE

Va montada fisicamente en la misma tarjeta de la unidad central de proceso, su misiòn es pasar la informaciòn que se pretende transmitir y que aparece en paralelo sobre el bus de datos a serie para enviarse por un modem. Se encarga tambièn de generar una serie de bits de control, como arranque, parada, paridad.

La comunicaciòn es asincrona de arranque-para

da, estando todo el protocolo de comunicaciones controlado por el microprocesador.

La velocidad de transmisiòn sera seleccionable por programaciòn pudiendo variar entre 300 y 1200 baudios.

Su principal componente es una pastilla de circuito integrado, de la misma familia que el microprocesador, la USART (Universal Synchronous/ Asynchonous Receiver/Transmitter) 8251A de la firma Intel.

La descripciòn detallada del funcionamiento de esta pastilla se ve en 3.2.3.

2. MICROPROCESADOR INTEL 8085

2.1. GENERAL

A partir del comienzo de la decada de los 60, los ordenadores comienzan a ser aplicados en la industria para controlar procesos industriales continuos o semicontinuos, tales como refinamientos de aceite, derivados del petroleo, pulpa de papel, aceros elaboraciòn de alimentos.

Se esperaba que los instrumentos de control convencionales fueran rapidamente desplazados por lo que se llamo control digital directo, en los cuales el ordenador llevaba a cabo los calculos necesarios y enviaba instrucciones directamente a los instrumentos localizados en la planta.

En la practica, la aplicaciòn de ordenadores para controlar procesos dependia en gran parte de los instrumentos usados para medir y analizar dentro de la planta.

En todas las areas se han realizado mejoras durante los ùltimos años, pero ningun avance ha sido màs importante en los procesos de control que la introducciòn, a comienzo de los años 70, del microprocesador.

Este ha reducido el coste de los sistemas para controlar procesos, incrementando su flexibilidad y seguridad.

Con los microprocesadores ya no se dedican los ordenadores al control de complejos y grandes procesos, para que sea rentable, como una planta de etileno o una refineria de aceite.

En la actualidad el nivel de precios en que se mueven, pueden ser extendidos economicamente a un gran número de operaciones de procesamiento a pequeña escala, como puede ser el control del menos sofisticado electrodomestico.

La elecciòn para este proyecto de un microprocesador de la firma INTEL, se debe al gran número de facilidades que esta firma proporciona con sus familias de pastillas de circuitos integrados para la elaboraciòn de un sistema.

Dentro de esta firma el 8085, presenta entre sus caracteristicas:

- Alimentaciòn unica de +5voltios.
- 1,3 microsegundos de ciclo de instrucciòn.
- generaciòn interna de reloj solo necesita un cristal o una red RC para funcionar.
- De codificacion interna de las señales de su estado interno.
- Cuatro vectores de interrupciòn.
- Una entrada/salida serie
- posibilidad de direccionar directamente hasta 64 Kilo palabras de ocho bits de memoria.

Todo lo anterior hace aparecer el 8085 como, el microprocesador de ocho bits con mayores prestaciones del mercado, en cuanto velocidad y posibilidades de interconexiòn a otros circuitos de su familia.

Lo anterior, unido a un precio razonable y la posibilidad de segundas fuentes, nos ha inclinado a tomar este micro para este proyecto.

2.2. CIRCUITERIA INTERNA DEL MICROPROCESADOR 8085

Una CPU (unidad central de proceso) consta de las siguientes unidades funcionales interconectadas:

- Registros
- Unidad aritmetica y logica
- Circuiteria de control

Como tal CPU el microprocesador 8085 contiene estas unidades, perfectamente diferenciadas.

Los registros son unidades de almacenamiento temporal internas a la CPU, algunos registros, tienen usos especificos. Otros son de ulidad màs general, entre estos ùltimos cabe destacar en el 8085 el acumulador o registro A.

Por lo general el acumulador almacena uno de los operandos que deben ser manipulados por la unidad aritmetica y logica, es de destacar que el acumulador actua como registro fuente y destino, esto es ; una operaciòn de la unidad aritmetica y logica puede ser por ejemplo, sumar el contenido del acumulador con el contenido de otro registro. Hasta aqui el acumulador actua como un registro fuente, de datos, la segunda parte de la instrucciòn es almacenar el resultado en el propio acumulador, en esta parte el acumulador actua como un registro destino. La capacidad de este registro es de ocho bits.

Ademas de este registro el 8085 contiene una matriz de registro. Esta matriz esta dividida en seis registro de 16 bits cada uno.

Uno de estos registros de 16 bits es el contador de programa, su misiòn es saber en todo momento cual es la direcciòn de la instrucciòn siguiente a la que se esta ejecutando, cada vez que se realiza una extraccion de la memoria para leer una instrucciòn o datos este contador se actualiza incrementandose en una unidad.

Igual ocurre en el caso de escrituras de instrucciones o datos en la memoria RAM, en todo momento el contador de programa nos seña la direcciòn a la que posteriormente accederan los controles del microprocesador.

Hay algunos tipos de instrucciones que rompen esta secuencialidad, son las instrucciones de JUMP (saltos) en estos casos la propia instrucciòn contiene el codigo de la direcciòn a la que quiere acceder, el microprocesador reemplaza su contador de programa por esta direcciòn con lo que la continuidad del programa se mantiene.

Un tipo especial de saltos dentro de programas

son los saltos a una subrutina, entendamos esta como un programa dentro de otro programa, al acabar la ejecuciòn se le ordena al micro que vuelva al programa que estaba ejecutando con anterioridad, pero para esto el microprocesador necesita saber desde donde llego a ese programa, otro de los registros de 16 bits nos solucionara este problema es el denominado STACK POINTER .

Cuando el microprocesador recibe una instrucciòn de CALL, tipo anterior de saltos, lo que hace es almacenar su contador de programa en una zona de memoria denominada STACK, cargando en su contador de programa la direcciòn indicada en la instrucciòn de CALL, con lo que se ira a ejecutar la primera instrucciòn de tratamiento de esta subrutina, al acabar esta basta con un codigo de instrucciòn sin direcciòn denominada RETURN para que el micro realice el proceso inverso, o cambie su contador de programa por el contenido del Stack y continue en el programa que estaba ejecutando.

Si solo tenemos una subrutina en el programa, el proceso seria el descrito anteriormente ahora bien dentro de una subrutina se puede llamar a otra y asì sucesivamente, no hay limitaciòn si tenemos suficiente stack , entonces esta zona se comporta como una memoria LIFO (ùltimo en entrar, primero en salir) con lo que a cada salto el stack pointer nos señalara la direcciòn donde esta contenida la ùltima entrada, al retornar de esta, nos señalara la inmediata anterior y asi sucesivamente.

Otro de los registros de 16 bits de la matriz de registros es el Address Latch a traves de el se puede realizar la transferencia de 16 bits de datos entre cualquiera de los otros registros, B,C,D,E,H y L tomados dos a dos, o por separado hacia las lineas de datos o direcciones.

Los otros seis registros de ocho bits mencionados en el punto anterior, son registros de utilizaciòn general, pueden ser usados como registros individuales o como registros de 16 bits de dos en dos.

Cada operaciòn que el microprocesador puede realizar es identificada por un unico byte conocido como un codigo de intrucciòn o un codigo de operaciòn. Con esta longitud de palabra de ocho bits podemos distinguir hasta 256 codigos distintos de posibles acciones a tomar, normalmente mas que las que tiene ningun microprocesador. El microprocesador realiza una primera operaciòn al tomar la posiciòn de memoria que le indica su contador de programa, utilizando este codigo en un registro conocido como el registro de intrucciones. Con el codigo de la instruccion en este registro lo que hara ahora es decodificar el tipo de instrucciòn a ejecutar.

Esto lo realiza el circuito denominado decodificador de instrucciones y codificador de cidos maquina.

Ademas de los registros, comentabamos al principio que el microprocesador dispone de una unidad aritmetica y lògica esta sera la encargada como su pro-

pio nombre indica de realizar las operaciones aritmeticas o logicas dentro de la CPU con los datos binarios.

La unidad aritmetica y logica contiene un sumador capaz de combinar el contenido de dos registros, de acuerdo con la operaciòn aritmetica o logìca que se le especifique de la decodificaciòn de la instrucciòn, si la unidad aritmetica y logica fuera un simple sumador, el programador tendria que hacèrse sus subrutinas con las que realizar otras operaciones, esto en la mayoria de las unidades aritmeticas y logìcas no es asi sino que ya llevan incorporadas, como en el caso que nos ocupa, la posibilidad de restar, realizar operaciones logìcas como or, and y realizar desplazamientos de bits, las entradas a la unidad aritmetica y logica son por una parte el registro A y por otra un registro temporal, al que tiene acceso cualquiera de los registros de utizaciòn general.

La unidad aritmetica y logica tambien contiene una serie de biestables que son los indicadores, biestables que varian segùn los resultados de las operaciones que realiza la unidad artmetica y logica.

La ultima parte, funcional que nos queda por examinar son los circuitos de tiempo y de control, estos a partir del reloj externo por un lado y de la decodificaciòn del registro de instrucciones de otra va a controlar la ejecuciòn de todos los eventos que han de producirse para la ejecuciòn de la

instrucciòn.

Como puede verse en el diagrama de blòques del microprocesador de INTEL 8085 ademas de lo expresado anteriormente dispone de otros circuitos de control que van a supervisar el trabajo con las interrupciones a la unidad central de proceso y la entrada/salida serie de que dispone .

2.3. ASIGNACION DE TERMINALES

Fisicamente el microprocesador 8085 es una pastilla de circuito integrado con mas dimensiones de 51 milimetros de largo por 15 de ancho, y nos presenta 40 terminales para su trabajo con el mundo exterior el nombre de estos terminales y su funciòn se detalla a continuaciòn.

A8 - A15

Son ocho lineas de salida tri-estado, son los ocho bits mas significativos de las 16 lineas de direcciòn.

ADO - 7

Son ocho bits que llevan, en un momento determinado los ocho bits menos significativos de las 16 lineas de direcciòn, en otro momento posterior de cada ciclo son las ocho lìneas de datos.

Como las anteriores son tri- estado, permaneciendo en estado de alta impedancia durante los modos HALT y HOLD del microprocesador.

ALE

Salida, que nos indica que en las ocho lineas an--

teriores estan presentes, los ocho bits correspondientes a los bits menos significativos de las 16 lineas de direcciòn.

SO, SI

Son dos señales de salida que nos dan codificado el estado en que se encuentra el microprocesador.

RD

Señal de salida que indica a la posiciòn de memoria seleccionada anteriormente, con las lineas de direcciòn o al circuito de entrada/salida, seleccionado igualmente que las lineas de datos estan preparadas para la transferencia de datos (READ)

Al igual que ADO-7 permanece en estado de alta impedancia durante los modos HALT y HOLD del microprocesador.

La señal es activa, con un nivel logico bajo (0,0,4v)

WR

Linea que señala a la memoria o a un determinado circuito de entrada/salida, seleccionado anteriormente por la decodificaciòn de las lineas de direcciòn, que los datos contenidos sobre las lineas de datos pueden ser escritos.

READY

Durante un ciclo de escritura o lectura si esta señal esta alta, la transferencia de datos se realizara normalmente.

Si esta baja quiere decir que la memoria o el circuito de entrada/ salida que ha seleccionado anterior -

mente, no esta preparado para la recepciòn o el envio de lòs datos.

Mediante esta entrada al microprocesador, lo podemos hacer trabajar con memorias o perifericos màs lentos que el microprocesador.

HOLD

Es una señal de entrada al microprocesador indicadole que otro microprocesador, quiere usar las lineas de direcciones y datos de su sistema. Se emplea en sistemas con màs de un microprocesador, o para transferencias de datos a la memoria a gran velocidad (Direct Memory Access)

Cuando el microprocesador recibe esta señal, al acabar la instrucciòn que este ejecutando pasa a modo HOLD poniendo en estado de alta impedancia las señales de direcciòn, datos RD, WR ya vistas anteriormente y la linea de IO/M que veremos màs adelante.

HLDA

Señal de salida, las siglas se corresponden en ingles con HOLD Acknowledge, su misiòn es indicar al exterior que se da por enterado que desean usar sus líneas de datos y direcciones y que lo permite en el final del ciclo que se esta ejecutando.

INTR

Linea de entrada se usa como una peticiòn general de interrupciòn.

Con esta señal el contador de programa no se incrementa sino que se leen las lineas de datos, se de-

be colocar en estas el codigo de una instrucciòn "CALL" o "RESTART" con lo cual podemos saltar a una subrutina para atender esta interrupciòn.

INTA

Linea de salida que se emplea en vez de RD en el ciclo siguiente al de la aceptaciòn de INTR. Se emplea para indicar al dispositivo que provoco la interrupciòn que esta va a ser atendida.

RST.5.5. RST.6.5. RST.7.5.

Tiene el mismo diagrama de tiempos que INTR pero el efecto es solo interno en el microprocesador, no necesita leer nada sobre las lineas de direcciòn. Automaticamente salta a la direcciòn que correspona cada una de ellas.

Todas ellas tienen mayor prioridad de ejecuciòn que INTR.

Entre ellas la de mayor prioridad es la 7.5 y la menor la 5.5. Estas interrupciones son permitidas o no por el programador mediante lo que se denomina el enmascaramiento.

TRAP

Entrada de interrupciòn prioritaria, el programador no puede enmascararla, tampoco se ve afectada por el permiso general de la interrupciones.

RESET IN

Esta entrada situa el contador de programa a cero, quitando ademas los biestables del permiso de interrupciones y HLDA.

No afecta ningun otro indicador o registro, excep-

to el de instrucciones. El microprocesador permanece en este estado tanto tiempo como se tenga aplicada esta entrada a nivel bajo.

RESET OUT

Es una salida del microprocesador. Indica a los circuitos que tenga conctados a el que la unidad central de proceso (CPU) esta siendo inicializada, le ha llegado un RESET IN.

X1, X2

Entre estas dos entradas debemos colocar un cristal o una red RC que nos proporcionara la frecuencia de trabajo del microprocesador.

En vez de lo anterior se puede colocar en la entrada X1 un reloj externo, la frecuencia de entrada se divide por dos para dar la frecuencia interna de trabajo del microprocesador.

CLK

Es una salida, que se emplea como reloj general del sistema. El periodo de esta señal es doble que el de la entrada X1 o que el periodo del cristal ò el circuito RC que se coloca entre X1 y X2.

IO/M

Indica que el ciclo de lectura ò escritura es para circuito de entrada/salida, señal a 1 logìco ò memoria 0 logìco en esta salida.

SID

Lìnea de entrada de datos serie. El estado logìco que coloquemos sobre esta linea, pasa al bit 7 del registro acumulador al ejecutar la intrucciòn RIM.

SOD

Lìnea de salida de datos serie. Se pone a 0 ò 1 logica segùn lo que especifiquemos con una instrucciòn SIM.

Vcc

Terminal para aplicar 5v de alimentaciòn

Vss

Alimentaciòn, 0 voltios.

2.4. POSIBILIDADES DE PROGRAMACION INTEL 8085

Por muy sofisticado que sea un ordenador, solo puede hacer lo que le digamos que haga. Esto se lo decimos mediante una serie de codigos ordenados, denominado programa.

Cuando se diseña un ordenador los ingenieros diseñan la unidad central de proceso para realizar una serie de instrucciones, consecuentemente las operaciones que pueden ser entendiads y realizadas por la CPU se denomina juego de instrucciones del ordenador.

Cada instrucciòn posibilita al programador para realizar una operaciòn especifica en el ordenador. Todos los ordenadores realizan ciertas operaciones aritmeticas, en su juego de instrucciones, tales como sumar el contenido de dos registros. Ofrecen ciertas operaciones logicas (realizar un OR logico entre los bits de dos registros) e instrucciones que operan con registro (ejemplo incrementar el contenido de un registro).

Tambien incluyen instrucciones que mueven datos entre registros, entre registros y memoria y entre re

gistros y un circuito de entrada o salida.

La mayoria de los juegos de instrucciones producen lo que se llaman instrucciones condicionales. Una instrucciòn condicional especifica una operaciòn que se realizara solo si ciertas condiciones se cumplen, por ejemplo saltar a una determinada instrucciòn si el resultado de la ùltima operaciòn aritmetica ha sido cero.

Organizando coherentemente una secuencia de instrucciònes, el programador puede decirle al ordenador que realice una funciòn especifica.

El ordenador, sin embargo, solo puede ejecutar programas cuyas instrucciones esten en codigo binario (esto es una serie de ceros y unos) que se denominan codigos maquina. El realizar un programa en estas condiciones seria horrible or lo que los fabricantes de ordenadores han desarrollado una serie de lenguajes de programaciòn.

Hay programas que posteriormente convierten estos codigos de instrucciones de programaciòn en codigos maquina entendibles por el ordenador.

Un tipo de lenguaje de programaciòn es el lenguaje ensamblador, en el se asigna un nombre unico a cada codigo de instrucciòn. El programador puede escribir un programa, llamado programa fuente, usando estos nombres, nemotecnicos de la funciòn que realiza cada instrucciòn, y ciertos valores con los que operar.

Despues el programa fuente se convierte en un programa entendible para el ordenador denominado programa

objeto. Este paso ya lo puede realizar automaticamente el ordenador mediante un programa ensamblador Cada instruccion en lenguaje ensamblador se convierte en una instruccion en codigo maquina.

Todo lo dicho arriba para ordenadores en general se cumple tambien para cualquier tipo de mini ordenador o microprocesador en el que nos ocupa su juego de instrucciones se puede dividir en cinco diferentes tipos de instrucciones:

- Grupo de transferencia de datos.
  Realiza transferencias de datos entre registro o entre memoria y registros.

- Grupo de operaciones aritmeticas.
  Suma, resta incrementa o decrementa los contenidos en registros o en posciones de memoria.

- Grupo logico.
  Es capaz de realizar las operaciones logicas AND, OR y OR exclusivo, ademas compara, gira y hace el complemento logico con los datos contenidos en registros o en memoria.

- Grupo de saltos.
  Este grupo contiene instrucciones que permiten al microprocesador realizar saltos, condicionales o incondicionales, saltos a subrutinas y retornos de estas subrutinas.

- Grupo de instrucciones de entrada/salida y control de operacion.
  Con estas instrucciones realizamos transferen-

pias de datos a o desde circuitos de entrada/salida, y tambien realizamos funciones de control hacia los indicadores de operaciòn interna al microprocesador

El formato que se emplea en estas instrucciones, es el conjunto de ocho bits que se denomina byte. Cada byte ocupa una posiciòn de memoria, la direcciòn de esta posiciòn es unica.

El microprocesador puede direccionar con sus 16 lineas de direcciòn un total de 65.536 bytes.

Las instrucciones del microprocesador 8085 pueden ser de uno, dos o tres bytes de longitud. En casos en que la instrucciòn tenga dos o tres bytes estos se almacenan en memorìa en posiciones consecutivas la direcciòn de la instrucciòn sera la del primer byte.

El formato exacto de la instrucciòn dependera de la operaciòn particular a ejecutar.

Los datos, como las instrucciones, son almacenados en posiciones sucesivas de memoria, el 8085 tiene cuatro modos diferentes para direccionar datos almacenados en memoria, estos modos son:

- Directo, el 2º y 3º bytes de la instrucciòn contiene la direcciòn exacta del dato al que hace referencia la instrucciòn, (los bits de menor orden estan almacenados en el byte 2º, y los de mayor orden en el byte 3º).

- Registro, la instrucciòn especifica el registro ò registro par en el que se puede localizar el dato.

- Indirecto, a traves de registro. En el codigo de la instrucciòn se hace referencia a un registro par, este registro contiene la direcciòn de memoria donde puede obtenerse el dato.
- Immediato, la instrucciòn contiene en su codigo el dato, puede ser una cantidad de 8 ò 16 bits.

Dentro del grupo de instrucciones de control de operaciòn, lo que el programador tiene es una serie de posibilidades de dirigirse a unos indicadores que pueden estar a cero o uno logico, segùn los resultados que se obtengan de otras operaciones anteriores estos indicadores son:

- Cero. Se pone a un uno logico si el resultado de ejecutar una instrucciòn es cero.
- Signo. Si el bit màs significativo del resultado de ejecutar una instrucciòn tienenel valor uno este indicador se pone a uno, si no permanece a 0.
- Paridad. Este indicador se pone a uno si la suma de los unos del resultado de una operaciòn es par (paridad par) si no es asi el indicador permanece o cambia a cero.
- Acarreo. Si el resultado de una instrucciòn de sumar o restar nos rebasa el tamño del registro con la que lo estemos ejecutando el indicador se pone a uno.
- Acarreo Auxiliar. Este indicador se pone a uno si la ejecuciòn de la instrucciòn causa un acarreo desde el bit 3 al 4 de no ser asi no se pone a uno.

Las principal aplicaciòn de este indicador, tiene lugar cuando trabajamos con los ocho bits divididos en dos grupos de cuatro bits cada grupo, nos representa un nùmero decimal codificado en binario.

A grandes rasgos los puntos mencionados anteriormente, dan una visiòn general de las posibilidades de programaciòn a nivel ensamblador del microprocesador. Una informaciòn con mayor detalle de cada instrucciòn se adjunta en el anejo.

2.5. OPERACION DEL MICROPROCESADOR 8085

2.5.1. OPERACION POR PROGRAMA

La ejecuciòn de cualquier programa, consiste fundamentalmente en una serie de operaciones de lectura (Read) y escrituras (Write) donde cada operaciòn transfiere un byte de datos entre el microprocesador 8085 y una direcciòn de memoria ò un circuito de de entrada/salida.

Mientras que el microprocesador es capaz de variar las direcciones, lòs datos y la secuencia de las operaciones, no puede hacer otra cosa que leer y escribir. Con excepciòn de unas cuantas lìneas de control, estas operaciones de lecturas y escritura son la unica comunicaciòn entre el microprocesador y el resto de los componentes del sistema.

Cada operaciòn de lectura o escritura se denomina un ciclo maquina. La ejecuciòn de cada instrucciòn consiste en una secuencia que dura de 1 a 5 ciclos maquina.

A su vez cada ciclo maquina consta de tres a seis ciclos de reloj dependiendo del tipo de instrucciòn que ejecute.

Todas las instrucciones a realizar comienzan con un ciclo de busqueda del codigo de esta instrucciòn, su diagrama de tiempos se muestra en el plano E.R.I. 01.01

En el puede verse que lo primero que realiza el microprocesador en cada ciclo maquina es sacar las tres señales de su status (SO, S1 e IO/M) que definen el tipo de ciclo de maquina que tiene lugar.
La señal IO/M nos indica si el ciclo se refiere a un circuito de entrada/salida (Input/Output) o se refiere a memoria (memory).
Esto nos da una posibilidad, que es la de poder direccionar un dispositivo de entrada/salida como una posiciòn de memoria.
La señal S1 nos indicara si es ciclo de lectura o de escritura. SO y S1 juntas nos valen para luego identificar el tipo de ciclo a realizar.
Para el caso de busqueda estas señales estan IO/M = 1, SO = 1.
Tambien envia 16 bits de direcciones al comienzo de cada ciclo maquina para identificar la posiciòn de memoria o el dispositivo de entrada/salida al que el microprocesador quiere acceder.
En el caso de un ciclo de busqueda, es el contenido del contador de programa lo que coloca en las lìneas de direcciòn.

Las lìneas con los bits màs significativos van apermanecer durante todo el ciclo maquina, no es asi las menos significativas que solo permanecen durante un periodo de reloj, durante el resto estas mismas lìneas se van a comportar como lìneas de datos. Al ser esta informaciòn transistoria lo que hacemos es introducirla en un circuito externo tipo 8212 para disponer de ella durante todo el ciclo maquina.

El microprocesador dispone de una señal para controlar esta introducciòn , la señal ALE que se produce justo en el momento en que las lìneas AD0-7 contienen parte de la direcciòn de memoria ò la direcciòn del dispositivo de entrada/salida.

Despues de enviar el status y las direcciones, el microprocesador nos genera la señal RD, durante esta señal el microprocesador cargara los datos que provienen de la posiciòn de memoria que ha seleccionado antes, en su registro de instrucciones, despues de esto quita la señal RD. Con esto ya tiene en su registro de instrucciones, el codigo de la instrucciòn a ejecutar, durante el siguiente estado decodicara la instruccion, a partir de aqui ya sabe si debe entrar en un nuevo estado dentro del mismo ciclo, o ejecutar un nuevo ciclo maquina.

- Lectura de memoria

Durante los estados T1, T2 y T3 el diagrama de tiempos es idèntico al de una operaciòn de

busqueda con la excepciòn de que el status que envia fuera durante T1 es IO/M = 0, S1 = 1 y S0 = 0, que identifica el ciclo como una lectura en memoria.

Hay otra segunda diferencia al finalizar T3, si es una busqueda el microprocesador dentro del mismo ciclo maquina, genera el estado T4, de no ser una busqueda siempre desde T3 pasa a T1 del siguiente ciclo maquina.
La direcciòn de memoria usada en un ciclo de busqueda es siempre el contenido del contador de programa, mientras que en una lectura de memoria puede tener diversos origenes. Al igual, el dato leido en una lectura de memoria se coloca en el registro apropiado, no en el de instrucciones.El diagrma de tiempos pude verse en el plano E.R.I. 01.01

- <u>Lectura en un dispositivo de entrada/salida</u>

La lectura de un dispositivo de entrada/salida es identica a la lectura de memoria excepto en la señal IO/M, para un dispositivo entrada/salida esta se encuentra en 1 logico y para memoria se encuentra en 0 logico.

Las diez y seis lìneas de direcciòn se usan para indicar una posiciòn de memoria, cuando se trata de una entrada/salida de un dispositivo la direcciòn de esto se duplica sobre las lineas A00-7 e identica sobre las A8-A15.

Su diagrama de tiempos esta representado en el plano E.R.I. 01.01

- Escritura en memoria

Con las señales de estado IO/M = 0, S1 = 0 y S0 = 1 identificamos el tipo de ciclo maquina que se va ejecutar, escritura en memoria.

Envia fuera la direcciòn, durante el tiempo T1 igual que se hacia en la lectura de memoria sin embargo al final de este tiempo hay una diferencia, en la lectura las lìneas AD0-7 quedaban esperando el dato, en este caso es el microprocesador el que debe poner el dato sobre estas lineas, el dato se coloca aqui al comienzo del tiempo T2. A la vez se genera la señal WR señal que nos posibilitara para realizar la escritura en la memoria o en un dispositivo de entrada/salida.

El diagrama de tiempos para esta operaciòn puede verse en el plano E.R.I. 01.02.

- Escritura en un dispositivo de entrada/salida

Se puede ver en el plano E.R.I. 01.02 la secuencia de señales que tiene lugar para la realizaciòn de una escritura en un dispositvo de entrada/salida los ciclos maquina son identicos excepto la señal IO/M que en el caso anterior estaba a un 1 logico y en este esta a "0" logico, la direcciòn que usamos ahora esta contenida en la mitad de las lìneas de direcciones, la otra mitad tiene el mismo contenido.

Podemos tomar cualquier grupo de ellas a efectos de decodificar cualquiera de ellos.

2.5.2. OPERACION POR INTERRUPCIONES

Veiamos anteriormente que la operaciòn normal del microprocesador, consiste en la ejecuciòn de unas lecturas y escrituras, ahora bien hay fenomenos, que no se producen en un tiempo determinado, como puede ser una peticiòn de datos desde la estaciòn central a una de las remotas que controla, sino que van a depender de una serie de condiciones externas a la estaciòn. Hay otras que aun siendo periodicas, se producen con poca frecuencia en el tiempo, a nivel de los tiempos del microprocesador, para poder atender estos casos el microprocesador deberia estar explorando las lineas por las que estos fenomenos aparecieron de manera casi ininterrumpida, con lo cual la potencia del micro descenderia notablemente.

Para evitar este problema lo que se hace es trabajar con interrupciones, esta forma consiste en que el microprocesador este realizando periodicamente su programa, dejando puesto lo que denominamos el permiso para interrupciones, general y el particular de la interrupciones que nos interesen en cada momento. Cuando el evento exterior que esperamos se produce, el microprocesador abandona la tarea que esta realizando en ese momento y se pone a tratar la interrupciòn, cuando acaba con este trabajo, el microprocesador retorna a seguir con la tarea que estaba realizando.

El microprocesador 8085 tiene cinco lineas de interrupciòn, estas son INTR, RST 5.5, RST 6.5, RST 7.5 y TRAP. En la estaciòn remota usaremos la RST 7.5 y la RST 6.5 ya que no hay que añadir ningùn circuito auxiliar externo para tratarlas, el enmascaramiento (permiso particular) es interno.

Estas interrupciones RSTs producen la ejecuciòn de un RESTARTinterno (salvando el contador de programa, lo introduce en el stack) saltando a la direcciòn de RESTART correspondiente si esta puesto el permiso general de interrupciones y no tiene puesta la mascara correspondiente.

La señal TRAP no debe cumplir estas condiciones,

no tiene permiso particular, y provoca una interrupciòn aunque no esten permitidas las interrupciones.

Hay dos diferentes tipos de entradas en las señales de interrupciòn. RST 5.5 y RST 5.6 son activas con un nivel logico 1. RST 7.5 es detectada en el flanco de subida de esta, con lo que solo se requiere una subida para poner un biestable interno y ya este continuara puesto hasta que se atienda la interrupciòn.

Despues se quitara automaticamente.

El estado de las mascaras de estas tres interrupciones puede ser modificado con la instrucciòn SIM.

Con las interrupciones está fijada una prioridad, que determina que interrupciòn debe atender primero en el caso de tener varias a la vez, esta prioridad es de mayor a menor:
TRAP, RST 7.5 RST 6.5 RST 5.5 e INTR. Ahora bien este esquema de prioridades puede quedar roto por programaciòn, con lo que una interrupciòn 5.5 puede interrumpir una rutina de tratamiento de una interrupciòn de mayor prioridad, si permitimos las interrupciones dentro del tratamiento de la màs prioritaria antes de acabar de tratarla.

La entrada TRAP es de mayor prioridad, reune las caracteristicas logicas de las anteriores, es decir debe subir a un nivel alto y permanece en el hasta que sea reconocida, ya que se emplea en situaciones de emergencias, esto evita falsos disparos por ruidos o espuréos.

3. DESCRIPCION Y OPERACION DE LOS MODULOS

3.1. INTRODUCCION

En el apartadol.2, de la presente memoria se ha presentado la configuraciòn de la estaciòn remota a nivel de diagrama de bloques. Vamos a describir en este apartado cada tarjeta, su composiciòn funciones de cada elemento y modo de operaciòn.

3.2. TARJETA DE UNIDAD CENTRAL DE PROCESO

Los planos electricos de esta tarjeta pueden verse en el plano 02.03, en el podemos ver que contiene la pastilla del microprocesador, con el fin de obtener la maxima rapidez que nos pueda proporcionar, se le ha conectado un cristal de 6.144MH_Z , con esto lo hacemos trabajar con el minimo periodo de tiempo que nos indica el fabricante.

Las salidas del microprocesador son compatibles en tensiòn con niveles de logica TTL, ahora bien su posibilidad de drenar corriente o darnos corriente es muy limitada por lo que para un sistema de estas caracteristicas hemos de darle esta capacidad necesaria a las distintas señales, para ello estan las pastillas 8216, en lo que se refiere a las lineas de datos.. Y la 74LS125 en las lìneas de control como indicabamos en el apartado referente al microprocesador estas mismas lìneas (AD-s) contienen en una

parte del ciclo las lìneas de menor peso de direcciònes, hemos de separar estas lìneas, cosa que logramos mediante la pastilla 8212 que consisten en 8 biestables, el reloj lo conectamos a la señal ALE que es la que nos indica que en las lìneas AD0- AD7 lo que tenemos son valores de direcciòn.

En la pastilla 74LS257 selector de datos lo que hacemos es obtener las señales de escritura o lectura, en memorìa o en circuito de entrada/salida, a pártir de las genericas lectura, escritura, y la que nos indica si es en memoria o en circuito de entrada/salida.

3.2.1. EL GENERADOR DE TIEMPOS PROGRAMABLES 8253-5

El generador de tiempos programables 8253-5 es una pastilla diseñada especialmente para usarse en sistemas con microprocesadores Intel. Esta construida en tècnologia N-MOS, necesita una alimentaciòn unica de 5v.

Esta pastilla soluciona uno de los problemas màs comunes en cualquier sistema de microprocesador y es la generaciòn de distintos relojes bajo control de programa, el programador configura la pastilla 8253 para obtener estos distintos relojes o controlar retardos.

Su diagrama de bloques interno puede verse en el anejo correspondiente, podemos distinguir los siguientes bloques:

- Data Bus Buffer que es un circuito bidireccional y tri-estado que se usa para interconexiòn del 8253 al bus de datos del sistema. Los datos son transmitidos o recibidos por este circuito, cuando el microprocesador realiza las instrucciones IN o OUT a las direcciones que le hemos asignado. Este circuito tiene tres funciones basicas.

  1. Programar los modos de trabajo del 8253-5
  2. Cargar los registros de conteo.
  3. Leer el valor de los contadores

- Read/Write logic.

  Como su propio nombre indica es el circuito encargado de controlar la logica de lectura y escritura. Acepta entradas del bus de control de sistema y con ellas genera otras para controlar las distintas operaciones del circuito.
  El acceso a este circuito es controlado por la señal CS (chip select) si esta señal no esta permitida, no podemos cambiar ni el modo de actuar de los contadores ni el valor de éstos.

- RD (read)

  Un nivel logico cero en esta entrada indica al 8253 que el microprocesador le esta leyendo datos, estos seran los valores de los contadores.

- WR (Write)

Un nivel logìco cero en esta entrada informa al 8253 que el microprocesador le esta introducciendo un valor correspondiente por las lìneas de datos, estos podran ser segùn la direcciòn una informaciòn del modo en que queremos que trabaje o un valor para cargar un contador.

- A0 y A1

Estas entradas nos seleccionaran con sus cuatro valores binarios posibles, o uno de los tres contadores, con el que queremos trabajar ò bien el cuarto valor que nos servira para direccionar el circuito denominado "Control word register" que nos va a indicar en que modo queremos hacer trabajar a cada contador.

- Control Word Register

Es seleccionado cuando A0 y A1 se encuentran en los estados logicos 1,1.
Entonces acepta informacion de las lineas de datos y la almacena en un registro.
La informaciòn almacenada en este registro, controlara el MODO de operaciòn de cada contador, tambien seleccionamos la forma en que deseamos que se realice la cuenta (binario, BCD).
En este registro podemos escribir solamente, no asi leer.

- Counter 0, Counter 1, Counter 2

Estos tres bloques funcionales son identicos asi que describimos solo uno de ellos. Cada contador consiste en un contador hacia abajo de 16 bits, el contador puede operar en binario o en BCD. Tambien poseen una serie de caracteristicas especiales en los circuitos de carga, de manera que la programaciòn sea minima.

La lectura del contenido de cada contador es posible para el programador con operaciones de READ, el contenido de cada contador puede ser leido, al vuelo sin necesidad de tener que inhibir el reloj de entrada.
Para nuestra aplicaciòn en la tarjeta de unidad central de proceso, podemos ver que las señales RD y WR se han conectado respectivamente a IO/R y IOW con lo cual nos dirigiamos a esta pastilla mediante las instrucciones correspondientes a la seleccion de circuitos de entrada/salida.
Por otro lado hemos conectado juntas las lineas de datos del sistema y de esta pastilla no planteandose ningùn problema al ser estas trinestado.
Para la entrada CS lo que hacemos es decodificar las 6 lineas que nos indican al circuito de entrada/salida al que se refiere el microprocesador.

De manera que estas lineas esten a estado logico 1 1 1 1 1 0 respectivamente empe - zando por la más significativa, estas lìneas las decodificamos en el circuito 74LS30 con cuya salida atacamos al CS en el terminal 21 de la 8253-5.

A las lineas A0 y A1 las atacamos directamente con los bits menos significativos.

Con la anterior selecciòn las direcciones a las que debemos acceder para programar el contador son X'F8', X'F9', X'FA', X'FB'.

La forma en que va a trabajar el 8253-5 debe de ser definida por el programa. Un juego de palabras de control es lo primero que debe recibir el circuito desde el microprocesador para inicializar la forma en que queremos que trabaje.

Estas palabras de control determinan el MODO, la secuencia de carga y la selecciòn de binario o BCD.

La maxima frecuencia a la que puede trabajar el 8253-5 nos viene determinada por la tecnologia de su fabricaciòn y es de 2MHz, en los biestables de la pastilla 74LS74 dividimos la frecuencia del reloj por 4 con lo que atacamos el reloj de entrada a la pastilla con 768KHz.

3.2.2. <u>PROGRAMACION DEL 8253-5</u>

Para el buen funcionamiento de la 8253 el microprocesador tiene que enviarle un juego

de palabras de control con el modo deseado de trabajo, y la cantidad que deseamos que cuente. Estas palabras de control programan el MODO, cargan la secuencia que deseamos y seleccionan si queremos la cuenta en binario o BCD.

Una vez programado, esta listo para realizar las secuencias de tiempos que deseamos.

La cuenta que realiza concada contador es independiente completamente de los otros.

Cada contador tambien debe ser individualmente programador mediante la escritura de màs plabra de control en el Control Word Register, la direcciòn para nuestro caso es la hexadecimal "F3" y el formato de la palabra control es el siguiente:

D_7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

En la que los bits 6 y 7 representan el contador con el que queremos trabajar, la codificaciòn de estos bits es la siguiente:

SC1	SC0	
0	0	Selecciona el contador 0
0	1	Selecciona el contador 1
1	0	Selecciona el contador 2
1	1	Ilegal. No hace nada

Los dos siguientes bits D5, D4 denominados

Read/Load nos van a indicar principalmente el nº de byte que vamos a leer o introducir en el contador correspondiente, el significado concreto de los posibles valores es el siguiente

RL1	RL0	
0	0	Indicamos que introducca el valor actual , en unos biestables de manera que este valor sea estable para una lectura posterior
1	0	Leer/Cargar el byte màs significativo solamente.
0	1	Leer/Cargar el byte menos significativo solamente.
1	1	Leer/Cargar primero el byte menos significativo, despues el byte màs significativo.

Mediante los bits de modo lo que hacemos es indicarle la forma en que queremos que realice la cuenta.

Asi seleccionando modo 0, la salida del contador pasa a estado logico cero, despues cargaremos el valor que deseamos con lo que el contador comenzara a decrementarse. Cuando la cuenta finalice la salida se pone a estado logico 1, este modo se conoce como, interrupciòn al final de la cuenta.

El modo.1 nos dara un impulso de una duraciòn dada por la duraciòn del nùmero de relojes que le hayamos cargado, el comienzo del impulso viene fijado por el flanco de la señal GATE.

En modo 2 es un generador de velocidad la salida se pone baja durante un periodo de reloj de entrada. El periodo desde un pulso de salida al siguiente sera igual al número contenido en el contador. Cuando seleccionamos este modo la salida permanecealta hasta que cargamos el contador.

El modo 3 que es el que usaremos en nuestra aplicaciòn, es similar al dos, excepto que la salida permanece altahasta que la mitad de la cuenta se ha completado y baja en la otra mitad de la cuenta.

De los tres relojes empleamos dos, el primero el cero, es un reloj de tiempo real de 1 sg de duraciòn como reloj de entrada le atacamos con un reloj de 48KHz obtenido a partir del reloj de salida del microprocesador dividido por cuatro, en la pastilla 74LS74 y posteriormente por 16 , Con estos datos tendremos que cargar el contador 0 con un valor hexadecimal "BB80" con este valor obtenemos exactamente el sg que necesitamos para la interrupciòn de tiempo real.

El reloj 1 lo empleamos para generar el reloj necesario para la transmisiòn o recepciòn, este dependerà de la frecuencia a la que podamos transmitir y recibir por lo que esta velocidad sera variable en funciòn del valor que le demos a este contador.

Con el modo cuatro, la salida se coloca en nivel alto, cuando cargamos el contador, este comienza a contar, al acabar la cuenta la salida se pone en bajo durante el tiempo de un reloj de entrada acabado este sube a nivel alto de nuevo.

El último modo el cinco es similar al anterior pero la cuenta no comienza hasta que exteriormente le damos un impulso de disparo, comenzara la cuenta con el flanco de subida de este impulso de disparo.

Asi, los bit en la palabra de control correspondientes a la selección de modo se corresponden de la siguiente forma:

M2	M1	M0	
0	0	0	Modo 0
0	0	1	Modo 1
X	1	0	Modo 2
X	1	1	Modo 3
1	0	0	Modo 4
1	0	1	Modo 5

El bit menos significativo nos indicara si deseamos realizar la cuenta en forma binaria, como contador de 16 bits ó como un contador BCD con cuatro decadas.

Asi este bit sera cero cuando deseemos que cuente binario y uno cuando queremos que cuente como un contador de cuatro decadas.

Para nuestra aplicaciòn en ambos relojes emple aremos cuenta en binario con lo cual este bit lo pondremos a cero. Asi las palabras de control en nuestro caso para el contador cero se ra:

D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	1	X	1	1	0

Lo cual significa que el contador cero, lo car garemos con 2 bytes para contar, que esta puesto en modo tres y desaeamos una cuenta en binario. Esta palabra debera ser enviada a la direcciòn de salida X'FB' posteriormente enviaremos el contenido del contador, en este caso X'BB80' con dos instrucciones de salida a la direcciòn X'F8' la primera de ellas contendra un byte menos significativo X'80' despues el mas significativo: X'BB'. Con lo que el contador comenzara su cuenta hacia cero.

Para el contador 1 la palabra de control sera

D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	1	X	1	1	0

Varia respecto, la anterior en que nos referimos al contador 1, nada mas, esta palabra al igual que la anterior a la direcciòn de salida X'FB', ahora bien el contenido que debemos enviar, esta detallado segùn la velocidad de transmisiòn en el apartado de calculos, seran enviado a la direcciòn de salida X'F9' con lo que una vez que el contador disponga de sus valores comenzara la cuenta atras.

Ahora bien la programaciòn que hemos descrito arriba, no es la unica, sino que podemos mandar primeramente las palabras de control una detras de otra y posteriormente enviar los valores de los contadores, sin tener que enviarlos en el orden en que se envian, las palabras de control. Lo que si hay que tener en cuenta es enviar a cada contador los bytes que le indiquemos en la palabara de control, esto es es si le indicamos que vamos a cargar un byte que sea asì, de no ser asi podremos tener problemas en programaciones sucesivas.

3.2.3. USART 8251A

El modulo de interfase esta implementando en esta tarjeta, su componente principal es la pastilla 8251A. Su misiòn es la conversiòn de datos de paralelo a serìe, en caso de transmisiòn y viceversa en el caso de recepciòn.

La pastilla acepta datos del microprecesador en paralelo y despues los convierte en una trama de datos en serie, convirtiendolos en un caracter en paralelo para que los lea el microprocesador. Ademas cuando estemos en transmisiòn la USART avisa al microprocesador que le puede enviar otro caracter, cuando estamos en recepciòn la USART avisa al microprocesador que tiene ya el caracter listo para que lo tome el microprocesador. El microprocesador puede leer en cualquier momento un byte que genera la USART donde en cada momento indica su estado interno:

El circuito tambien debe borrar o insertar bits que serviran para control del intercambio de información.

Su diagrama de bloques interno esta formado por:

- Data Bus Buffer. es un circuito bidireccional y tri-estado que se usa para interconectar el 8251A al bus de datos del sistema. Los datos son transmitidos o recibidos, cuando el microprocesador realiza las instrucciones IN ò OUT a las direcciones que le hemos asignado. Palabras de control, comandos e información del estado interno se transfieren tambien por este circuito.

- Read-Write control logic. Este bloque acepta entradas desde el bus de control del sistema y genera a partir de estas, las necesarias para controlar el circuito. Contiene el Control Word Register y el Comand Word Register que almacena varios formatos de control para el funcionamiento del circuito.

  Las señales que entran a este circuito son:
  - Reset: Con un nivel logico alto en esta entrada, fuerza la USART a un estado de espera. La pastilla permanecera en este estado hasta que un nuevo juego de palabras de control le sean enviadas por el microprocesador para definirle su modo de operaciòn.

- CLK (clock) Se usa esta entrada para generar tiempos internos. Las entradas o salidas no se referencian a este reloj pero debe tener una frecuencia 30 veces mayor que la velocidad de transmisiòn o recepciòn de datos.

- WR (write) Un nivel bajo en esta entrada informa a la USART que el microprocesador esta escribiendo palabras de datos o de control en ella.

- RD(read) Con un nivel logico igual al anterior el microprocesador le indica que esta leyendo datos o informaciòn de estado de esta pastilla.

- C/D (Control Data) Esta entrada, en uniòn de alas dos señales anteriores informan a la USART que tipo de palabra tiene en el bus de datos asi si es un nivel logico 1 lo interpretara como CONTROL o ESTADO si es un nivel logico 0 lo interpreta como un DATO.

- CS (Chip Select) Con un nivel logico 0 en esta entrada selecciona la pastilla. Ninguna lectura o escritura se puede hacer en la pastilla sin que ocurra la selecciòn de este circuito. Cuando esta entrada se encuentra a nivel logico 1, las señales WR o RD no tienen efecto sobre la pastilla.

- Modem Control. El 8251A tiene un conjunto de entradas y salidas que pueden ser usadas para simplificar la conexiòn a la mayoria de los modem.

Ahora bien estas señales pueden ser usadas para otras funciones, que controlar el MODEM si es necesario. Estas señales son:

- DSR(Data set ready) Es una entrada a la USART, que puede ser verificada por el microprocesador leyendo su estado interno. La entrada se usa para verificar es estado de modem al que esta conectado.
- DTR(Data Terminal ready) Es una señal de salida de utilidad general. Se usa normalmente para indicarle al modem que el terminal de datos esta preparado.
- RTS(Request to Send) al igual que las anteriores es una señal de utilidad general en este caso una salida de la 8251 y se puede emplear para indicarle al Modem, que quiere transmitir.
- CTS(clear to send) Un nivel logico cero en esta entrada da permiso a la USART para transmitir los datos en serie, si el bit de transmisiòn esta permitido en el Byte de Comando.

- Transmitter Buffer. Acepta datos en paralelo desde el Data Bus Buffer, convirtiendolos en una trama de datos en serie, introduciendo ademas los bits de control apropiados segun las caracteristicas para la transmisiòn elegidas, poniendo toda esta trama serie en el terminal T x D.

- Transmitter Control. Maneja todas las actividades asociadas con la transmisiòn de datos serie.

Acepta e introduce señales para realizar esta funciòn. Las señales que maneja son:

- T x RDY(Transmitter Ready). Salida para indicarle al microprocesador que el transmisor esta listo para aceptar un caracter de datos. Esta señal puede ser usada como una señal de interrupciòn para el microprocesador. Se quita esta señal con el flanco de WR cuando se carga un caracter desde el microprocesador.

- T x E(Transmitter Empty) Cuando la USART no tiene caracteres para transmitir esta salida se pone en nivel logico "1". Se quita automaticamente cuando recibe un caracter del microprocesador. Esta señal la puede usar el microprocesador para saber cuando ha finalizado la transmisiòn, entonces invertir el modo si espera respuesta.

- T x C(Transmitter Clock) Controla la velocidad, a la cual el caracter se va a transmitir. En transmisiòn asmicrona, que es la que emplearemos en nuestra estaciòn, la velocidad de transmisiòn es una fracciòn del reloj de transmisiòn. Una parte de la palabra de modo, selecciona este factor, que puede ser 1, 1/16 ò 1/64 de T x C.

  Por ejemplo para una transmisiòn a 300 bandios:
  si empleamos(1X) la frecuencia de T x C sera de 300 H_Z

si empleamos (16X) la frecuencia de T xC
sera de 4,8 KHz
si empleamos (64x) la frecuencia de T x C
sera de 19,2 KHz.

3.2.4. PROGRAMACION DE LA USART 8251A

La definiciòn completa del funcionamiento de la USART hay que hacerla mediante el programa. El microprocesador envìa un conjunto de palabras de control para incializarla y darla las ordenes oportunas respecto a la forma en que deseamos llevar a cabo la comunicaciòn

Estas palabras de control deben indicarle, la velocidad, la longuitud del caracter, el nùmero de bits de parada, si la comunicaciòn es en modo sincrono ò asincrono, si deseamos paridad par, impar o ninguna etc.

Una vez programada la 8251A esta lista para realizar la comunicaciòn. La señal T x RDY permanece en estado logico 1 indicando al microprocesador que la USART esta preparada para recibir un caracter que le envie, esta salida desaparece automaticamente cuando el microprocesador le envia un caracter.

Por otra parte, la 8251A puede recibir caracteres en serie del modem, una vez que ha recibido un caracter, la salida R x RDY indicara al microprocesador que tiene un caracter listo para enviarselo La señal se quita automaticamente cuando el microprocesador realiza una lectura. Las palabras de control para definir

totalmente la operaciòn del 8251A deben darse, inmediatamente despues de producirse una desastivaciòn interna o externa.

Las palabras de control pueden dividirse en dos formatos:

- Instrucciones de modo
- Instrucciones de ordenes

Las primeras definen las caracteristicas de operaciòn generales en la 8251A. Son las primeras que debe introducir el microprocesador en la USART, despues de introducir estas puede introducir instrucciones de ordenes.

Las instrucciones de ordenes definen una palabra de estado, es la usada para el control momentaneo del 8251A.

Ambas instrucciones deben ser dadas a la USART en una secuencia predeterminada por el fabricante, las primeras deben seguir a una desactivaciòn , antes de usar la USART para comunicaciones de datos.

Todas las palabras de control que escribimos despues de una instrucciòn de modo, la USART las va a interpretar como instrucciones de ordenes, estas pueden ser variadas en cualquier momento, dentro de un bloque de datos, durante el trabajo con la 8251A. Para volver a introducir una instrucciòn de modo, hay un bit determinado dentro de las instrucciones de ordenes

denominado "master reset"

- Reciver Buffer. es el circuito que recibe los datos en serie, los convierte en paralelo, comprueba los bit añadidos segùn la forma de recepciòn y prepara el caracter limpio para el microprocesador.

  Los datos serie entran por la patilla R x D y son sincronizados con el flanco del reloj R xC.

- Reciver Control. Este bloque maneja todas las actividades relativas a la recepciòn. Tiene los siguientes posibilidades:

  - el circuito de inicializaciòn previene a la USART de errores en lineas de entrada. Antes de comenzar a recibir, datos en serie por la linea R x D se debe de detectar un uno logico despues de una reposiciòn general. Una vez que esto ha estado en en uno logico, se da la posibilidad de que llegue un cero logico, que sera el bit de comienzo de un caracter.

  - Contiene ademas un circuito denominado detecciòn de falso bit, para evitar que transitorios, o ruidos puedan ser interpretados como bit de datos, es decir que aunque detecte un nivel bajo estando preparado no lo tomara inmediatamente como un bit de comienzo sino que, examinara el contenido

del bit, despues de un cierto tiempo, en la mitad del bit, si este esta ahora a nivel logico cero ya lo tomara como un autentico bit de comienzo de caracter.

- Dispone de un biestable tipo T para detectar la paridad del caracter, poniendo indicador correspondiente en el status mediante otro biestable.

- Si al final del caracter no recibe el bit de parada coloca el biestable de error correspondiente, asi como el bit de error de trama en el byte de estado interno.

Las señales que maneja este circuito son:

-R x RDY (Receiver Ready) Esta salida indica que la USART contiene un caracter que esta listo para que lo tome el microprocesador.R x RDY puede conectarse a la estructura de interrupciones del microprocesador o bien puedo enterarse del estado de esta señal haciendo una lectura del estado interno.

- R x C (Reciver Clock) controla la velocidad a la que se recibe el caracter Al igual que en la transmisiòn la velocidad es una fracciòn de la frecuencia del reloj, y puede ser tambien 1, 1/16 ò 1/64.

Al poner este bit en estado logico 1 lo que haçe es desencadenarse una operaciòn de desactivaciòn interna, que nos situa ra la USART de nuevo en fase de aceptar instrucciones de modo.

El formato de la instrucciòn de modo es el siguiente:

D7	D6	D5	D4	D3	D2	D1	D0
S2	S1	EP	PEN	L2	L1	B2	B1

Los dos bits màs significativos D6 y D7 nos definen los bits de parada que al final del caracter queremos que introcca la USART asi segùn los valores logicos que toman estos bits tendremos las siguientes posibilidades:

D7	D6	
0	0	No valido
0	1	Añade 1 bit de parada
1	0	Añade bit y medio
1	1	Añade 2 bits de parada

El bit 5 en uniòn del cuatro nos indica ra, si deseamos caracter de paridad y que tipo. Asi el bit 4 a estado logico 1 nos indica que trabajaremos con bit de paridad, lo debe introducir la USART.

En caso de trabajar con paridad el bit 5 nos indica con su valor logico si deseamos, enviar o el caracter nos llegara, con paridad par o impar.

Con los bits D2 y D3 lo que hacemos es seleccionar la longuitud del caracter que deseamos de la siguiente forma:

D3	D2	
0	0	Caracter con 5 bits de longitud
0	1	Caracter con 6 bits de longitud
1	0	Caracter con 7 bits de longitud
1	1	Caracter con 8 bits de longitud

Con los bits menos significativos de la instrucciòn indicamos la relacciòn existente entre el reloj, y la velocidad de transmisiòn asi los valores que daremos seran:

D1	D0	
0	0	Para modo Sincrono
0	1	Para el empleo de X1
1	0	Para el empleo de X 16
1	1	Para el empleo de X 64

Una vez introducida en la USART la palabra correspondiente de modo, al realizar una transmisiòn la 8251A automaticamente añade un bit de comienzo (nivel logico cero), despues introduce los bits de datos correspondientes 5,6,7,8 los indicados en la instrucciòn de modo, a la linea primero va el bit menos significativo, al final la USART introducira tambien los bit de parada que le hayamos indicado.

Si hemos indicado paridad, par o impar, la introducira despues de los bits de datos y antes de los de parada.

El caracter asi formado es transmitido en serie y puesto en la salida T x D, los datos van siendo desplazados hacia el modem con el flanco de caida del reloj T x C, a una velocidad igual a 1, 1/16 ò 1/64 del reloj, que tenga segun la instruccion de modo.

En el caso de recepciòn la linea R x D esta normalmente en estado alto, un flanco de bajada en esta linea, indica a la USART la llegada de un bit de comienzo de caracter. Ahora bien, si en la instruccion de modo le indicamos que el reloj es 16 ò 64 veces, la velocidad de transmisiòn no tomara esta bajada como buena, sino que hara sus calculos para comprobar en el centro de este caracter que es tal, y no un ruido, o espureo en la entrada.

Si el caracter efectivamente es de comienzò, el contador de bits localiza el centro de cada bit, el bit de paridad, si existe, y los de parada.

Si existe un error de paridad colocara el indicador correspondiente en su byte de estado, Si encuentra a uno alguno de los bits correspondientes a los de parada, lo que hace es poner otro indicador en el mismo byte, este es el indicador denominado error de trama. Con la detecciòn de los bits de parada introduce ya el caracter en paralelo en un registro interno, infi-

candole al microprocesador mediante la linea R x RDY que tiene un caracter para que se lo tome. Si antes de que el microprocesador tome este caracter, le llega otro a la USART lo que ahora esta escribirlo encima del anterior, perdiendo el 1º, pero en su byte de estados coloca en estado logico uno el indicador correspondiente a OVERRUN.

Es de señalar, que aunque se ponga uno o varios de los biestables de error, la USART no deja de funcionar.

Despues de introducir la instrucciòn de modo, debemos darle a la USART la instrucciòn de control, despues de este comando la 8251A estara lista para realizar la comunicaciòn en la forma que le definimos, el formato que tiene esta instrucciòn de control es el siguiente:

D7	D6	D5	D4	D3	D2	D1	D0
EH	IR	RTS	ER	SBRK	RxE	DTR	TxEN

El significado de estos bits es el siguiente:

TxEN Es el permiso para transmisiòn, con este bit a estado logico 1 podemos realizar la transmisiòn, con este bit a 0 no permitimos la transmisiòn.

DTR Con este bit a 1 forzamos la salida de igual nombre a un nivel bajo, para indicar al modem que el terminal esta preparado.

R x E Es el permiso para recibir, con este bit a 0 no permitimos la recepciòn.

SBRK Envia un caracter compuesto por todo ceros, cuando este bit esta en estado logico 1.

E R Con este bit en estado logico 1, se reponen los biestables de error paridad, overrun y trama.

RTS Con este bit 1 forzamos la salida de igual nombre a un nivel bajo, con esto pedimos al modem una requisiciòn para transmitir.

IR Es la reposiciòn interna, al ponerlo a estado logico uno volvemos a poner la USART en forma de recibir la instrucciòn de modo. (master reset, del que hablabamos antes).

E H No tiene sentido en transmisiòn asicrona, que es la que empleamos.

Dentro de la comunicaciòn es necesario, examinar el estado en que se encuentran los circuitos internos de la USART y del modem, para facilitar la determinaciòn de este estado interno, el 8251A dispone de un byte de datos denominado estado interno, leyendo este byte el programador sabra, por el bit correspondiente, si existe algùn tipo de error por los bit 3,4 y 5; si se

ha detectado un caracter de sincronismo en el caso de trabajar en forma sincrona, bit 6, si esta listo para transmitir o recibir con los bits 0 y 1 respectivamente, o si el registro de transmisiòn ya esta vacio mediante el bit 2, con el bit 7 comprobamos si el modem esta preparado para rèalizar el paso del mensaje.

En nuestra aplicaciòn se han previsto dos direcciones de circuito de entrada/salida la hexadecimal FF y la FE, mediante el circuito integrado 74LS30 decodificamos los 7 bits màs significativos el bit menos significativo lo conectamos directamente a señal C/D, con lo cual, para introducir la instrucciòn de modo y las de ordenes, deberemos realizar las salidas correspondientes a la direcciòn X FF en el registro acumulador diberemos tener preparado, si es la instrucciòn de modo las caracteristicas para nuestra aplicaciòn asi, nos quedara:

D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	1	1	1	1	1

Con la introducciòn en la direcciòn x FF del anterior formato fijamos que los caracteres seran de 8 bits, con uno de paridad, que llevara un bit de parada y que el reloj para trabajar es 64 veces la frecuencia de la velocidad de tranmisiòn.

Posteriormente le debemos enviar las instrucciones de ordenes, ahora bien este formato ya no sera rigido sino que debera ir variando segùn la estaciòn comience su trabajo, asi nada màs comenzar deberemos poner, la USART en modo recepciòn esperando que el centro de control, envie un mensaje, para esto debemos poner el bit correspondiente, que es el 2 (permitir la recepciòn y avisamos al modem mediante el bit 1, es decir para esto el microprocesador enviara a la direcciòn de salida X FF el codigo X Ø 6 con lo que la USART quedara esperando un caracter desde el centro de control. Para el caso de desear ponerlo en transmisiòn sera el bit 0 a estado logico 1, lo que el microprocesador enviarà a la USART, ademas de una peticiòn para enviar que debe ir al modem, asi el contenido del registro sera X'20', segùn avance la comunicaciòn entre centro y remota deberemos ir cambiando esta instrucciòn de ordenes, esto lo veremos con mayor detalle en el apartado de comunicaciones.

Se ha dispuesto la USART para trabajar con interrupciones, con el microprocesador, asì despues de haberle introducido la instrucciòn de orden correspondiente se nos pueden plantear dos casos:

- Si hemos permitido recepciòn, la USART continuara realizando el programa corres-

pondiente, cuando se reciba un dato en la lìnea, y la USART lo tenga ya en paralelo mediante la señal del terminal 14, RxRDY, vamos a provocar en el microprocesador la interrupciòn 6.5, el ante esto, examinara el estado interno de USART, para determinar si estaba en modo transmisiòn o recepciòn, al estar en recepciòn debe tomar el dato que la USART le tiene dispuesto,esto lo realiza el microprocesador, mediante una instrucciòn de entrada a la direcciòn X FE con lo cual tomara el dato. Para realizar la lectura del estado interno de la USART el microprocesador, hara una lectura a la direcciòn X FF de sus circuitos de entrada/salida.

- Si lo tenemos en transmisiòn, al igual que antes la USART, comenzara o continuara realizando su programa, cuando la USART este preparada para enviar un caracter se lo hace saber al microprocesador poniendo a nivel logico uno, el terminal correspondiente a la señal TxRDY esto provoca la interrupciòn correspondiente en el microprocesador, para verificar la forma en que estaba leera la palabra de estado interno de la 8251A, con una instrucciòn de entrada a la direcciòn X'FF', descriminara si esta en transmisiòn, si es asì enviara el dato correspondiente mediante una instrucciòn de entrada/salida a la direcciòn x'FE'. Al ejecutar esta

salida se repone la señal TxRDY, con lo que el microprocesador puede continuar ejecutando el programa en el punto que lo abandono, para atender la interrupciòn. La USART comenzara a enviar el caracter que recibio el paralelo del microprocesador, hacia el modem en serie, introduciendo el bit de paridad y de parada correspondientes.

El formato del caracter a recibir o enviar sera:

B.C D0 D1 D3 D4 D5 D6 D7 B.P B.Par

En el tiempo, en la linea, tendremos primero el bit de comienzo, despues los 8 bits del caracter a enviar, enviando primero el menos significativo despues enviara el bit de paridad, al ser par lo pondra a uno logico, si el nùmero de estos en el caracter, es impar si es par lo pondra a estado logico cero. Posteriormente enviara el bit de parada, un bit a estado logico uno.

3.2.5. CIRCUITO DE PROTECCION Y ENCENDIDO

El circuito de protecciòn esta formado principalmente por un monoestable de tiempo ajustable. El que sea ajustable se debe a que el ser el sistema modular no es facil preveer la duraciòn que tendra el programa en cada ciclo, por ello sera un punto a ajustar una ver definidos las teleseñales y telemedidas con que contara la estaciòn remota en cada caso concreto.

El funcionamiento es sencillo, si la secuencia del programa no es la correcta, este dejara que transcurra mayor tiempo que el que corresponde al monoestable 74LS122, si esto es asì la salida negada de este, pasara a nivel logico 1 con lo que provocara en el microprocesador un restablecimiento interno, haciendole comenzar de nuevo el programa en la posiciòn cero de la memoria. Para que esto no ocurra tendra que dar, antes de acabar el tiempo dèl monoestable, una instrucciòn de salida, a la direcciòn que le hemos asignado, que es la X'FD' con esto comenzara de nuevo a contar su tiempo, esta instrucciòn se dara al comienzo del programa, con lo que antes de acabar este tiempo, de nuevo deberemos pasar por el mismo punto del programa principal. Con el potenciometro R3 aplicado el ciclo podra enviar desde 45 msg hasta 4,5 sg. que abarca ampliamente la minima y la maxima capacidad de teleseñales y telemedidas con que puede contar la estaciòn remota.

Se puede lograr tambien manualmente, que el micro-

procesador comience el programa presionado el pulsador intestable, con esto se nos descargara el condensador C_1, mientras dura la carga por la resistencia R_2, le estamos aplicando a la entrada RESET IN un impulso negativo, con lo que tambien se provoca el restablecimiento general del microprocesador, a su vez genera un impulso positivo por su salida RESET OUT, impulso que empleaemos para restablecer las condiciones de reposo de los circuitos exteriores.

Este mismo circuito esta tambien diseñado para que tenga lugar el mismo efecto descrito anteriormente, al encender el equipo, cosa que nos recomienda el fabricante, debido a la tecnologia en la que esta construido el microprocesador.

3.3. TARJETA DE MEMORIA

Dentro del sistema una parte importante del precio viene fijado por las pastillas de memoria por lo que al igual que todo el sistema se ha pensado tambien en su modularidad, entonces se ha prevosto una placa con cuatro K bytes de memoria EPROM, o su correspondiente ROM para el caso de tiradas largas, y en la misma placa lleva montado 1Kbyte de RAM, caso de pequeños sistemas con esta placa tendremos suficiente memoria, para sistemas mayores hemos de ampliar con otra placa u otras placas identicas.

El decodificador de direcciones se realiza con tres decodificadores de 3 entradas, 8 salidas que nos dan la selecciòn para cada pastilla de memoria no solo de esta placa sino de las cuatro posibles que pueden tener el sistema, con la pastilla Z1 decodificamos de dos en dos Kbytes los 16 posibles de memoria EPROM, por lo que en nuevas placas de memoria a añadir no debe figurar este decodificador si no que debemos tirar dos puestos desde los permisos de las pastillas de memoria, a la selecciòn correspondiente.

Con el codificador Z2 producimos las señales SELAO y SELAI que nos indicaran que estamos dentro de los 4K bytes de memoria RAM, con lo cual en placas de memoria sucesivas, tampoco debemos colocar este decodificador, sino puentear los permisos del decodificador Z3 con las señales SELAO y SELAI de la forma adecuada.

En Z3 obenemos los permisos necesarios para decodificar el K byte de cada placa.

Al estar las memorias configuradas como 256 palabras de 4 bits, cada una de las pastillas de selecciòn nos ataca dos

pastillas de memoria, con lo que con cada dos pastillas formamos 256 palabras de ocho bits.

Con cada decodificador 23 podemos decodificar las direcciones de dos Kbytes de memoria, con lo que en cada placa debemos tomar los 4 bits más significativos, o los cuatro de menor peso.

Este decodificador si es necesario en las nuevas placas de memoria a añadir

3.3.1. MEMORIA/EPROM

La memoria usada en el caso de EPROM es la 27'16 de Intel en el csaò de EPROM para ROM totalmente compatible con ella terminal a terminal tenemos la pastilla 2316E tambien de la firma INTEL.

La interconexiòn de la pastilla es simple, necesitamos las once lìneas de direcciòn que nos decodificaran, una direcciòn entre las 2048 posibles, la selecciòn de la pastilla y una señal que empleamos para aprovechar una ventaja que nos proporciona el fabricante y es la de tener menor consumo, del orden de la cuarta parte, cuando no esta seleccionada; y las conexiones a la alimentaciòn, masa y una unica tensiòn de +5v.

Su tiempo de acceso es de 450n sg con lo que es directamente compatible con el tiempo de trabajo del microprocesador no teniendo que producir estados de espera en ciclos de acceso a memoria, para lectura.

Por otra parte la programaciòn es simple y rapida, el tiempo total para programar los 16384 bits es de 100 sg, esta programaciòn se puede hacer en cada posiciòn de memoria secuencialmente o bien de modo aleatorio.

3.3.2. MEMORIA DE LECTURA ESCRITURA

El tipo de memoria de lectura y escritura que usamos, es la 5101L-1 de Intel principalmente por su bajo consumo, lo que nos permite, disponer mediante màs pequeñas baterias incorporadas sobre la misma placa de circuito impreso de 1024 palabras de memoria RAM no volatil.

En el caso de que esta posibilidad, para alguna aplicaciòn no nos hiciera falta, este tipo de pastilla es compatible pin a pin con la pastilla 2101A de la misma marca, con las mismas caracteristicas pero sin la posibilidad de su bajo consumo, ahora bien es bastante màs barata.

Cada pastilla tiene 1024 bits organizado como 256 palabras de cuatro bits, por lo que se necesitan ocho lìneas de direcciòn, disponemos ademas de dos permisos para seleccionar la memoria.

3.4. TARJETA DE TELEMEDIDAS

Esta tarjeta nos posibilita para explorar 16 entradas analogicas de medidas realizadas en los equipos a supervisar en la estaciòn remota, habra que realizar en la estaciòn remota la conversiòn de niveles correspondiente para entregarselo al equipo supervisor, como una señal entre 0 y 5v.

La parte principal de la tarjeta, es un convertidor analogico/digital en el se realiza, la conversiòn de las entradas analogicas entre 0 y 5v a un nùmero digital de 8 bits, que puede ser entendido por el microprocesador.

El empleado es el circuito integrado ADC 816 CCN, de la firma National Semiconductor, es un circuito integrado de tecnologia CMOS en el que se realiza la conversiòn de 0, 5v a ocho bits.

Mediante este circuito podemos acceder a cualquiera de los 16 canales de entrada sin ninguna limitaciòn de orden.

El tiempo de conversiòn de cada medida es de 100n sg, para comenzar la conversiòn, debemos darle por una pastilla la de comienzo , un impulso pòsitivo, por cuatro lìneas distintas debemos darle codificado en binario la direcciòn que deseamos explorar, con esto el convertidor comienza su trabajo, despues de 100μ sg el circuito nos indicara que ha terminado la conversiòn y tiene en las ocho lineas de datos el resultado de la conversiòn esta señal puede emplearse para realizar la lectura de datos por medio de interrupciones, en nuestro caso para una exploraciòn secuencial, que es la que emplearemos.

no tiene mucha importacia ya que durante este tiempo el microprocesador, estara tratando la conversiòn anterior.

Cada 16 puntos de exploraciòn que necesitemos, debemos asignarle una direcciòn como circuito de entrada/salida para el microprocesador, para esto en la placa disponemos de ocho miniinterruptores, conectado cada uno de ellos, a una de las entradas de una puerta exclusive -or, luego con estos circuitos y la pastilla siguiente dara un nivel lògico cero, si la direcciòn del circuito de entrada/salida que envia el microprocesador por sus lineas de direcciòn coincide exactamente, con el complemento a uno de la direcciòn marcada con los ocho mini-interuptores de selecciòn.

Este circuito con pequeñas modificaciones sera el que empleemos en la selecciòn de direcciòn de todos los circuitos de entrada/salida, el limite sera el de 256 direcciones que es la maxima capacidad de direccionamiento del microprocesador, hay que descontarle las fijas que empleamos para la USART, el circuito de protecciòn y el reloj programable.

3.5. TARJETAS DE TRANSMISIÓN O TERMINALES

Estas tarjetas aceptan 16 entradas de planta, cada entrada debe de ser un circuito que nos excite una bobina, la tarjeta conforma estas entradas y bajo control del microprocesador las presenta en el bus de datos.

Ahora bien en este caso hemos de proporcionarle dos direcciones para su conexión con el microprocesador ya que este tomara los datos con la capacidad de su bus de datos, es decir ocho líneas, para ello emplearemos el mismo tipo de decodificador de direcciones que en el caso del convertidor, pero solo decodificamos los siete bit mas significativos, de manera que con el menos significativo discriminamos, a cual de los dos grupos de ocho bits pertenece.

Sobre el bus de direcciones también hemos dispuesto, dos circuitos 74LS25, para evitar sobrecargar al bus en mas de una carga de circuito integrado, serie 74LS por cada placa esto viene a representar 400n A de carga.

En la entrada a las líneas de datos cuatro circuitos integrados de este mismo tipo nos permiten mediante su permanencia en estado de alta impedancia, mientras no este seleccionado, el poder cablear juntas las 16 líneas a los 8 del bus de datos del microprocesador.

Como elementos de entrada se han previstos relos miniaturas con una tensión posible de 5, 12, 15, 24 o 48v por la forma en que se describe el funcionamiento en el pliego de condiciones emplearemos 5v, la corriente de excitación de la bobina oscila alrededor de 100 A, dependiendo de la tensión de trabajo, ser recomendable

para la detecciòn del estado de otros contados, como puede ser aperturas de puertas o ventanas de la remota o bien para realizar acoplamientos con equipos exteriores de reles, es posible atacarlos tambien en el caso de 5v con una puerta TTL de la serie 74 ya que es capaz de drenarnos 16 m A de corriente, la correspondencia entre la entrada y la salida sera, no activada la entrada, un cero en las lìneas de datos del microprocesador

Normalmente se realizara la excitaciòn por la aplicaciòn de una tierra en el terminal correspondiente, ahora bien al disponer de ambos terminales de la bobina en el conector, no tendremos problemas para que la excitaciòn se realice al aplicar la tensiòn positiva en el otro terminal de la bobina.

3.6. TARJETAS DE SALIDAS DIGITALES O TELECONTROLES

Estas tarjetas incorporan cada una a la estaciòn remota inteligente 16 canales de control, por medio de contactos de relos, estos telecontroles podran ser impulsivos o continuos dependiendo de la programaciòn es màs interesante hacerlos impulsivos y que los equipos de la estaciòn dispongan de algun tipo de enclavamiento, con ello en caso de una reposiciòn en la estaciòn remota inteligente, por una falta de tensiòn de alimentaciòn o perdida de control de programas no nos afectara el estado en que se encuentra la estaciòn.

La operaciòn de estas tarjetas esta bajo control absoluto del microprocesador, que con su programaciòn normal y los cambios que detecte en la estaciòn o que reciba del centro de control realizara los cambios oportunos para buen funcionamiento global de la estaciòn.

Al igual que las tarjetas de entradas, hemos de proporcionar dos direcciones de entrada/salida, en este caso salida a cada placa puesto que con una direcciòn tendriamos acceso solamente a ocho canales, limite de la capacidad del bus de datos.

Para asignarle estas dos direcciones, empleamos el mismo circuito integrado, dos pastillas SN-74LS86 y más resistencias y obtenemos los dos permisos necesarios para decodificar, uno de los dos grupos de ocho bits

Al igual que en el resto de las placas las lìneas de los buses solo se ven cargadas por una carga 74LS.

Los reles son reles SELDUO de 5v, con diodo de protecciòn interno al contacto, segùn el tipo elegido puede soportar 250 ò 500m.A.

La correspondencia del microprocesador al rele sera: un uno logico como dato para el microprocesador, sera un contacto cerrado para la estaciòn. Al disponer de los dos terminales del contacto en el conector de salida, la conexiòn es libre, es decir podemos aplicar a la estaciòn cualquier tensiòn, sin pasar de la maxima permitida por el contacto que sera de 100v de corriente continua o alterna.

Los esquemas electricos de la placa puede verse en el documento II planos

3.7. FUENTE DE ALIMENTACION

La fuente de alimentaciòn para el sistema, nos proporciona la energia suficiente a la tensiòn adecuada para el buen funcionamiento del equipo.

Todos los circuitos han sido diseñados para trabajar exclusivamente con tensiòn de +5v de corriente continua el consumo previsto para cada estaciòn remota se estimo inicialmente en 6 amperios, calculos en el correspondiente apartado, nos indican que con esta previsiòn es suficiente para cualquier combinaciòn, de estaciòn remota. En el apartado correspondiente a calculos se verifica este punto ampliamente.

En tanto no se aplique al sistema un voltaje externo de 220v de corriente alterna, las baterias en las tarjetas de memoria, alimentar la RAM-CMOS manteniendo intacto su contenido.

Se emplean transformadores toroidales, con el consiguiente ahorro en espacio y peso que ello representa. Se usa un transformador de 220v/10v de doble secundario, que conectaremos en paralelo con lo que disponemos de 8 amperios de corriente, empleamos un pequeño puente rectificador para la detecciòn de fallo de alimentaciòn, con su circuito asociado producimos una señal logica, FDA (fallo de alimentaciòn) la llevamos directamente a la entrada FAI del microprocesador, aun cuando la alimentaciòn falle, el microprocesador esta alimentado unos milisegundos, por la gran capacidad del condensador de filtro, aplicado, este tiempo pequeño desde el exterior, representa para el microprocesador el poder realizar unas cuanto miles de instrucciones.

Luego sin tener alimentaciòn, el microprocesador, al ponerse la señal de TRAP lo que nos hara sera almacenar el contenido de los registros e indicadores con los esta trabajando en el momento del fallo, en memoria RAM no volatil, con lo que no se nos perdera ningun dato.

Cuando se de realmente el fallo de alimentaciòn (+5v en 4,75v) el microprocesador estara en reposo y esperandolo.

El circuito de potencia, es clasico dentro de los circuitos con regùladores integrados. Empleamos para tensiòn de referencia el LM-309X que nos fija +5v entre sus terminal 2 y 3 y aprovechamos sus caracteristicas internas de, regulaciòn, protecciòn contra cortocircuitos, compensaciòn de la salida con el incremento de la temperatura etc.

Fisicamente ira montada sobre una placa de iguales medidas què el resto de las tarjetas, sus planos electricos pueden verse en el documento II plano E.R.I. 02.02

3.8. CONSTRUCCION MECANICA

Todas las tarjetas del sistema tienen la misma medida 132x 140 m.m, estas tarjetas estan hechas de fibra de vidrio, reforzado con una capa de resina y tienen un espesor de 1,6 m.m.

Fisicamente, la tarjeta puede apreciarse en el plano nº 03.04 , se puede observar en el plano que la placa acaba en una hilera de contactos que se introducen en un conector de 80 terminales, ambos lados de placa tienen 40 contactos. Estos conectores de 80 terminales van montados sobre la placa de circuito impreso, posterior, donde se realiza toda la interconexiòn entre placas como puede verse en el plano nº 03.02 correspondiente al plano electrico de la placa de interconexiòn, el material de esta placa de interconexion será el mismo que el de las tarjetas, donde van montados los distintos modulos de exploraciòn y control.

A fin de evitar dañar las placas al introducirlas o extraerlas se ha dotado a cada placa de una orejeta que nos valdra para presionar, en el caso de introducciòn de la placa sin lastimarse los dedos, para el caso de extraerla servira de palanca, a fin de sacarla sin tener que forzarla lateralmente.

La separaciòn entre conectores es de 8 modulos (1 modulo = 2,54m.m es decir 10 modulos por pulgada).

En esta misma placa y en la parte posterior tenemos, otro conector, de 36 terminales que nos servira para la interconexiòn de los equipos a supervisar de la estaciòn a nuestro equipo de control. Se ha diseñado una placa

que puede verse en el plano número 03.03 que se introduce en este conector y que queda fijada por unas bridas metálicas superior e inferior, para evitar que por alguna maniobra en la estación se desconectarsen, en esta placa de circuito impreso van soldados los cables que interconexionan la estación remota inteligente con el resto de la estación.

La interconexión con modem, esta de acuerdo con la recomendación V 24 de CCITT y consiste en un conector hembra marca Cannon DB-25S. de 25 terminales.

El soporte, es una unidad que puede ser introducida en un armario normalizado de 19" pulgadas, puede encontrarse en el mercado una amplia gama de estos armarios, por lo cual la estación remota inteligente podra ir en uno, de estos armarios, ella sola o bien compartiendole con otros equipos de la estación.

Los planos de este soporte mencanico pueden verse en el documento dos planos

3.9. CAPACIDAD TOTAL DE LA ESTACION REMOTA INTELIGENTE

En el punto anterior veiamos la construcciòn mecanica de la estaciòn remota inteligente, en el plano del documento II nùmeros 03.01 y 03.02 podemos apreciar que el bastidor en que va contenida la estaciòn remota inteligente tiene una anchura total de 19", en ambos lados y a efecto de poderla fujar a un bastidor normalizado dispone de un ala de 1" a cada lado, lo que nos da una anchura disponible de 17". Lateralmente se ha dejado un espacio a fin de fijar el panel posterior, con la que guiamos las placas de interconexiòn de la estaciòn al equipo supervisor. Reservando el espacio suficiente en la parte izquierda del chasis para la colocaciòn de la fuente de alimentaciòn. Podemos ubicar en la estaciòn remota inteligente 17 tarjetas, de las cuales las cuatro primeras estan reservadas a la cuatro posibles placas de memoria con que puede contar el sistema, la quinta sera la unidad central de proceso, y las doce restantes, seran entradas, analogicas ò digitales, ò salidas digitales segun la configuraciòn de estaciòn que deseemos controlar.

En total disponemos de 192 puntos, que podemos usar, para introducir señales, analogicas ò digitales y realizar salidas de control.

La posiciòn en el chasis de la placas de memoria puede ser la una a la cuatro, no tieniendo una posiciòn fija Al igual que las tarjetas de entrada/salida, podemos ponerla desde la posiciòn 6 a la 17 en cualquier conector las señales de la estaciòn deben entrar en el conector posterior contiguo.

4. COMUNICACION

La informaciòn entre un circuito de control y las estaciones remotas inteligentes, se transmite en forma de trenes de impulsos binarios. Esta informaciòn digital, es llevada sobre una onda portadora para su transmisiòn por un canal fijo, esta funciòn sera realizada por los modem junto con las lineas de transmisiòn.

Se emplea para ambos sentidos de la transmisiòn la misma via de comunicaciòn (half-duplex), por lo que la transferencia de informaciòn en ambos sentidos no podra ser simultanea. La linea de transmisiòn, es el punto mas determinante para la velocidad de adquisiciòn, en el centro de control, de los valores y cambios habidos en las estaciones remotas inteligentes.

El sistema que emplearemos es la de un enlace multipunto, en una misma linea a dos hilos coexisten varias estaciones remotas inteligentes y un centro de control. El centro de control es el que controla y gobierna las transferencias de informaciòn desde cada central remota inteligente. Todas las estaciones remotas inteligentes reciben los datos que se transmiten a la linea y todas pueden transmitir por ella.

Es un instante dado solo una estaciòn remota inteligente o el centro debe estar transmitiendo, ya que si hubiese dos o màs transmitiendo a la vez, el mensaje no seria inteligible para ninguno de ellos.

Dentro de las soluciones economicamente razonables el enlace mutipunto es la soluciòn mas aceptada y la mas fiable para conectar varias estaciones remotas inteligentes, a un centro de control.

4.1. FUNCIONAMIENTO

El centro de control interrogara ciclica y automaticamente a todas las estaciones remotas inteligentes para requerir los estados de los equipos a ella conectados. La estaciòn remota inteligente, mientras, realiza, la supervisiòn ciclica de todos los canales propios de la estaciòn que controla. Cuando el centro de control interroga a la estaciòn remota inteligente esta le enviara codificadas las variaciones que se han producido en la estaciòn y que son situaciones anomalas, desde la anterior conexiòn.

La estaciòn remota inteligente es autonoma, es decir tiene autonomia, para continuar la supervisiòn de su estaciòn, aun cuando fallen las comunicaciones ò el propio centro de control.

Cada estaciòn remota inteligente tendrá una direcciòn que vendra expresado por dos bytes, al inicializar una estaciòn remota inteligente esta se pondra en modo recepciòn, cuando detecte estos dos bytes que forman su direcciòn, la estaciòn remota inteligente "sabe" que el mensaje que viene a continuaciòn es para ella, dentro de este mensaje el primer byte sera el número de bytes del mensaje para esa estaciòn remota, despues vendran los caracteres propios del mensaje, finalizando con un caracter de control, generado a partir del contenido del mensaje total y que servira como caracter de comprobaciòn del mensaje, este deberá generarse de igual manera por el centro de control y por la estaciòn remota inteligente, para cumplir su cometido.

Asi tenemos 1 bit de comprobaciòn de caracter, que nos servira como control de cada caracter del mensaje y un caracter al final de mensaje.

El primero se debe de dar como valido con cada caracter que se recibe. Se detecta en la estaciòn remota inteligente, preguntando la unidad central de proceso a la USART en cada caracter si hay error de paridad. El segundo, caracter final de mensaje, lo ira generando la estaciòn remota inteligente con los caracteres del mensaje. Cuando el numero de caracteres acabe, este caracter debe de coincidir con el ultimo del mensaje.

Las dos condiciones anteriores, que no se dan errores de paridad durante el mensaje y que coincida el caracter fin de mensaje se deben cumplir para que el texto sea dado como valido por la estaciòn remota inteligente, o por el centro de control. De no ser asì el mensaje no sera tenido en cuenta por la estaciòn remota inteligente o por el centro de control, depende del sentido de la comunicaciòn.

4.2. POSIBILIDADES

La velocidad de transmisiòn, vendra limitada por la calidad del tipo de linea que empleemos, no asi por el equipo de la estaciòn remota inteligente diseñado ya que la USART 8251A, empleada, tiene posibilidad de realizar transmisiones a una velocidad de hasta 64000 baudios.

Normalmente se emplearà un canal de servicio propio de la estaciòn remota o una linea suministrada por CTNE. A medida que aumentemos las velocidades de transmisiòn el numero de mensajes erroneos va aumentando, para que el porcentaje entre los mensajes enviados y los erroneos no sea alto se recomienda para estas aplicaciones el uso de una velocidad no mayor de 1200 baudios.

4.3. INTERCOMUNICACION

A fin de evitar perdidas, innecesarias de tiempo de ocupaciòn de la linea el sistema de intercomunicaciòn previsto se basara en no tener la linea ocupada mientras se ejecuta, algun tipo de orden o se realizan las exploraciones para ello, podemos ver una comunicaciòn dividida en cinco partes:

- La primera, el centro de control enviara a la estaciòn remota inteligente, o bien una peticiòn ordinaria de informaciòn o la realizaciòn de una orden concreta, mientras esto ocurre en la estaciòn remota inteligente, solo se estan comprobando los caracteres del mensaje en su doble control, el de paridad y el de final del mensaje, con lo que unos cuantos microsegundos despues de que este mensaje acabe la estaciòn remota inteligente ya esta en disposiciòn de saber, si este mensaje le ha llegado bien o no, con lo que comienza la segunda parte del mensaje.

- En esta segunda parte, despues de comprobar la estaciòn remota como ha recibido el mensaje, consistente en su direcciòn y un solo byte de informaciòn, si la transmisiòn a sido buena ò no,con este mensaje el centro de control debe actuar en consecuencia, o volviendo a enviar de nuevo el mensaje ò esperar al ciclo siguiente para enviarle el mismo mensaje.

- Posteriormente el centro de control, se dedicara a trabajar con el resto de las estaciones remotas, con lo que la remota inicial tendra tiempo de decodificar su mensaje, actuar, preparando la contestaciòn para la siguiente interrogaciòn, en esta tercera parte de

la comunicaciòn el centro de control pedira a la estaciòn remota inteligente, el resultado de la peticiòn anterior.

- La fase siguiente, la estaciòn remota inteligente, enviara al centro de control, la respuesta a la peticiòn de la fase primera que ya tiene elaborada, con lo que comenzara a transmisiòn para enviarsela al centro de control, acabara la comunicaciòn con la ùltima fase que sera con la que el centro de control indique a la estaciòn remota que ha recibido bien el mensaje, con lo cual la estaciòn remota inteligente dara por acabado esta comunicaciòn, reponiendo los indicadores, que le hacen falta para llevarla a cabo y cambiando los estados de las tablas en que se basara para saber si actuaciones o problemas que tenga la estaciòn son conocidos por el centro de control.

Si despues del envio a la primera peticiòn la transmisiòn no ha sido buena, dependiendo del tipo de error puede que la estaciòn remota inteligente no, conmutase para enviarle al centro de control la validaciòn o no del mensaje para estos caos se prevee un tiempo de espera de seguridad de 2sg, si en este tiempo no contesta la estaciòn remota inteligente, dara el mensaje como no valido.

La estaciòn remota inteligente a su vez desechara la informaciòn recibida si se produce este tiempo de espera desde un caracter a otro, de un mensaje que considere como propio. Para el centro de control siete mensajes consecutivos con una estaciòn remota, en los que la transmisiòn no llege a resultar satisfactoria dara una alarma, indicandoselo al operarador del cen

tro de control, puesto que existira una averia.

4.4. TIEMPOS

Desde el punto de vista de comunicaciones el sistema consiste en un modem en el centro de control y un modem en cada una de las estaciones remotas inteligentes, conectados todos ellos a la linea semiduplex.

La comunicaciòn se lleva a caba mediante un "Polling" ciclico de todas las estaciones, en cada una de las partes que veiamos en el apartado anterior intervienen unos tiempos que dependen de:

- La linea de comunicaciònes
- La velocidad de transmisiòn
- el tipo de modem

con estos tiempos parciales de totalizan tres tiempos fundamentales que intervienen en un sistema de comunicaciòn con "Polling"

- Tiempo invertido en una interrogaciòn negativa y sin respuesta.
- Tiempo para una interrogaciòn positiva y la respuesta de que el mensaje se ha recibido.
- Tiempo para transmitir el mensaje propiamente dicho, que dependera de los equipos conectados a la estaciòn remota.

Para calcular con exactitud estos tiempos es necesario el conocer exactamente todos los tiempos de cada una de las señales que intervienen en la comunicaciòn entre dos modem. El CCITT en la recomendaciòn V24 establece unos requerimientos minimos, a efectos de tiempos de

establecimientos de señales, que todos los modem han de satisfacer, pero estos margenes son bastante amplios y los fabricantes se mueven dentro de ellos con bastante dispersiòn.

Por todo ello es dificil estimar estos tiempos sin ponerse en un caso muy concreto de tipo de linea, velocidad de transmisiòn y tipo de modem.

Para el caso que nos ocupa, trabajando a 1200 baudios, se puedé estimar que para establecer comunicaciòn con la estaciòn remota inteligente y recibir o enviar un mensaje menor o igual a 100 caracteres sera del orden de 1 sg.

5.- BIBLIOGRAFÍA

La bibliografía consultada en el proyecto ha sido la siguiente:

- VOLTAJE REGULATOR

  NATIONAL SEMICONDUCTORS. 1973.

- DESIGNING WITH TTL INTEGRATED CIRCUITS.

  TEXAS INSTRUMENTS INC. 1971

- SYSTEMS ANALYSIS FOR DATA TRANSMISION

  JAMES MARTIN

- MICOPROCESADORES TOMO I Y II

  E.T.S.I. de TELECOMUNICACIONES. 1979.

- MCS-85 USER'S MANUAL

  INTEL 1978.

- PRINCIPIO DE LAS FINANZAS DIRECTIVAS

  WESTON & BRIGHAM HOLT 1968

6.- PRESUPUESTO

Según se indica en el documento IV, el presupuesto asciende a la cantidad de CIENTO SETENTA Y NUEVE MIL - QUINIENTAS TREINTA Y NUEVE PESETAS.

Madrid, 16 de Agosto de 1980

Fdº: Eduardo Lainez Berdonces

CALCULOS

C A L C U L O S

I N D I C E D E C A L C U L O S

1. TARJETA DE CPU

El funcionamiento de la tarjeta, plano nº 02.03, esta descrito de forma general en el punto 3.2 de la memoria.

Con objeto de reducir al mínimo el consumo de potencia, siempre que ha sido posible se ha empleado para los circuitos lógicos, puertas de la familia 74LS por su bajo consumo. La máxima corriente que admite el microprocesador en sus líneas de datos, controles o direcciones, en estado lógico 0 es de 2m.A, suficiente para alimentar directamente una puerta de lógica TTL pero no un sistema como el objeto del presente proyecto, por lo que nuestro primer paso es proporcionarle capacidad a las líneas (buses) de datos y direcciones.

1.1. BUS DE DATOS

Las líneas AD0 a AD7 del microprocesador contienen durante una parte del tiempo las líneas menos significativas, del bus de direcciones, y durante el resto del tiempo nos representa el bus de datos, bidireccional.

Mediante las pastillas 8216 obtenemos en vez de 2 m.A de corriente que es capaz de admitir, el microprocesador 50 m.A en estado lógico cero que es capaz de admitir la pastilla. Con esta capacidad, supuesto que todas las pastillas fuesen de la fami-

lia lógica TTL 74LS, sobre el bus de datos podremos disponer de:

$$N = \frac{50 \text{ m. A}}{0,4 \text{ m.A}} = 125 \text{ pastillas}$$

número que se vera incrementado por el uso de pastillas MOS. En estas pastillas disponemos de dos controles, el primero es la selección de la pastilla, control que estará siempre validado ya que para esta aplicación, no empleamos acceso directo a memoria, en el que sería necesario desactivar el bus de datos del microprocesador, por lo que ambas pastillas 1 de las pastillas se conectan directamente a un cero lógico.

El otro control, patilla 15 de las pastillas es la señal DIEN que nos indicará en que sentido se realiza la transferencia de información, del micro procesador al bus de datos o viceversa, la tabla de verdad para esta patilla es:

DIEN	
0	DI = DB
I	DB = DO

Así con un cero lógico, sacaremos datos desde el microprocesador al bus de datos, cero que debe estar previsto para las escrituras. Con un uno lógico la transferencia se realiza desde el bus de datos al microprocesador, este estado se debe de dar cuando el microprocesador desee leer el bus de datos, así de-

bera estar en estado lógico 1 cuando se den las señales $\overline{RD}$ o $\overline{INTA}$, asi la tabla de verdad será:

$\overline{RD}$	$\overline{INTA}$	DIEN	
0	0		No se puede dar
0	1	1	Transferencia del bus al microprocesador
1	0	1	
1	1	0	Transferencia del microprocesador al bus

Tabla de verdad que se cumple con la puerta NAND que ataca las patillas 15 de las pastillas 8216.

1.2. BUS DE DIRECCIONES

Las líneas AD0 a AD7 contienen parte de la dirección, de memoria o el circuito de entrada salida al que el microprocesador desea tener acceso, estas líneas son de dirección durante el estado T1 en cada ciclo de memoria del microprocesador, a su vez hay una señal especifica, la señal ALE que nos indica que sobre estas líneas esta disponible la dirección.

A fin de disponer de esta dirección durante todo el ciclo máquina del microprocesador, lo que hacemos es usar esta señal ALE como reloj de las pastillas 8212 que consisten en ocho biestables cada una, la primera por ser necesaria por la aplicación descrita, la segunda a fin de proporcionarnos igual capacidad a la totalidad del bus de direcciones. A0 - A15.

En este caso con este tipo de pastillas pasamos de los dos miliamperios de capacidad para el microprocesador, a 15 m.A, asegurándonos un mínimo de 3,65 v en nivel lógico 1, totalmente compatible con las lógicas a las que ataca.

1.3. BUS DE CONTROL

Básicamente las funciones que realiza el microprocesador, son lecturas o escrituras en memoria o en un circuito de entrada salida. A fin de no tener que decodificar, en cada tarjeta si lo operación que se desea realizar, le afecta o no se ha procedido a decodificar de modo común cuatro señales que formaran parte de este bus de control, estas señales son:

$\overline{MEMR}$: Lectura de memoria. Activa en nivel lógico cero.

$\overline{MEMW}$: Escritura de memoria. Activa en nivel lógico cero.

$\overline{IO/R}$: Lectura en un circuito de entrada salida. Activa en nivel lógico cero.

$\overline{IO/W}$: Escritura en un circuito de entrada salida. Activa en nivel lógico cero.

Asi cualquier tarjeta de entrada/salida pondra o tomará datos en o sobre el bus de datos en el tiempo de estas señales.

Cada tarjeta de entrada/salida representa para estas señales una carga de 0,4 m.A. con lo que empleando la pastilla 74LS 257A tenemos capacidad para conectar:

$$N = \frac{24}{0,4} = 60 \text{ tarjetas}$$

número que no alcanzaremos en el presente sistema.

En nivel alto es menos restrictivo.

La pastilla 74LS257A tiene, posibilidad de tener las salidas en estado de alta impedancia, posibilidad que no emplearemos en esta placa, asi que la salida estará permitida siempre, mediante la entrada SELECT patilla 1, lo que nos realiza es seleccionar uno de los dos grupos de entradas, las entradas A's o las B's. Asi esta patilla la hemos conectado a la señal $IO/\overline{M}$ con lo cual diferenciamos si nos referimos a un circuito de entrada/salida nivel lógico uno, o a memoria nivel lógico cero.

Por otra parte atacamos con las señales $\overline{RD}$, 1A y 2B con lo que por las salidas 1 y 2 obtendremos $\overline{MEMR}$ y $\overline{IO/R}$ respectivamente, con la señal $\overline{WR}$ atacamos a las entradas 3A y 4B con lo que según el estado de $IO/\overline{M}$ obtenemos en las salidas 3 y 4 $\overline{MEMW}$ y $\overline{IO/W}$, las ecuaciones lógicas que nos cumplen son:

$$\overline{MEMR} = \overline{IO/\overline{M}} \cdot \overline{RD}$$

$$\overline{IO/R} = IO/\overline{M} \cdot \overline{RD}$$

$\overline{MEMW} = \overline{IO/M} \cdot \overline{WR}$

$\overline{IO/W} = IO/\overline{M} \cdot \overline{WR}$

Por otra parte, hay también una serie de señales, que van a formar parte de este bus de control, ya que hemos de emplearlas para distintos cometidos en la realización del proyecto. Estas señales, mediante la pastilla 74LS125 tienen una capacidad de drenar hasta 16 m.A de corriente.

1.4. CIRCUITO DE RELOJ

El tiempo mínimo del ciclo de funcionamiento del microprocesador Intel 8085, que nos proporciona el fabricante es de 320 n sg.

Por otra parte el circuito resonante a emplear entre los terminales 1 y 2, nos indica, que debe ser doble de la frecuencia de trabajo del microprocesador, luego esta será:

$$F = 2 \frac{1}{320 \text{ n sg}} = 6{,}25 \text{ MHz}$$

Ahora bien se ha diseñado para las aplicaciones de este microprocesador, un cristal de cuarzo de 6,144 MHz, que es el que emplearemos. Por una parte obtenemos un tiempo de 325 n sg de período, practicamente el máximo que nos permite el fabricante, de otra con el empleo de ese valor por divisiones sucesivas po-

demos obtener las frecuencias normalizadas para transmisiones de datos.

El reloj que obtenemos a la salida del microprocesador es de una frecuencia de 3,072 MHz, la pastilla 8253-5 (Reloj programable) la máxima frecuencia que admite es de 2 MHz por lo que hemos dividido este reloj por cuatro mediante la pastilla 74LS74, haciendola trabajar como contador asíncrono,asi la frecuencia de trabajo será de 768 KHz, frecuencia que también emplearemos para reloj general de la USART y en el convertidor analógico/digital, con este reloj atacamos la patilla 15 y 18 del reloj programable que corresponden a las entradas de los relojes 1 y 2, mediante la transformación que en el se realiza obtenemos del reloj 1 la frecuencia necesaria, programable, para el trabajo de la USART, patilla 13, la salida 2 en el terminal 17 no la empleamos.

Por otra parte para lograr el reloj de 1 sg, el reloj programable con sus 16 bits nos puede dividir con un máximo de 65.536, por lo que para obtener el reloj de entrada, dividimos el reloj anterior de 768 KHz por 16 mediante la pastilla 74LS93 con lo que el reloj 0 del contador programable, le atacamos con una frecuencia de 768 KHz/16 = 48 KHz., por el terminal 9, mediante la salida correspondiente en el terminal 10 daremos al microprocesador una interrupción cada segundo, la interrupción que emplea

mos es la 7.5 por lo que en la dirección X'30' deberá contener la dirección del comienzo de la subrutina de tratamiento de reloj.

1.5. CIRCUITO DE ARRANQUE Y RESETEO

El microprocesador 8085 emplea un circuito interno especial para incrementar su velocidad de trabajo. Por ello el fabricante no nos garantiza su funcionamiento correcto hasta 500 μ sg. despues de que la tensión de alimentación tenga 4.75 v. Para evitar que pueda trabajar antes de este tiempo lo que hacemos es, mediante el circuito RC formado por R2 y C1, producirle un nivel lógico cero en la entrada $\overline{RESET\ IN}$ durante este tiempo.

Asi el condensador C1 se cargará por una parte a traves de R2 y por otra a traves de la resistencia que presenta el inversor 74LS04, en su entrada, resistencia de un valor mínimo de 20K para este tipo de puerta.

Por otra parte, esta puerta entenderá nivel lógico 0 hasta un máximo de 0,7 v luego en este tiempo la tensión en extremos del condensador C1 no debe pasar de este valor.

La fórmula que nos da la tensión en el condensador será:

$$Vc = Va\ (1 - e^{-t/RC})$$

Con R formada por R2 y 20 K en paralelo y C coincidiendo con C1.

Fijamos C1 en 1μF, limitamos los 500μsg desde que la alimentación vale 5 v, como mas favorable teniendo asi:

$$R\ min = -\frac{t}{C\ ln\ (1 - \frac{Vc}{Va})} = \frac{500\ sg}{1\ F.\ 0,150} = 3315\ ohms.$$

$$luego\ R2\ será = \frac{20.\ 3,315\ K}{16,685} = 3,97\ K$$

tomamos la resistencia comercial superior asi R2 = 4,3 K 5% 1/8 w.

Por otra parte a efectos de mantenimiento, nos puede interesar producir una reposición en el momento que deseemos, para ello se ha colocado en el circuito el pulsador P1, al pulsarlo provocamos la reposición y hacemos que el contador de programa del microprocesador tome el valor X'ØØØØ'.

A fin de evitar que se pueda quemar el contacto del pulsador por la descarga brusca del condensador C1, se ha puesto en serie con el pulsador la resistencia R1, para que esta corriente no sea mayor de 10 m A la resistencia debe valer 500 Ω tomamos la comercial mas cercana asi R1= 510 Ω 5% 1/8 W.

1.6. CIRCUITO DE PROTECCION

Es posible que el microprocesador por alguna causa no prevista en la programación pudiera perder el control del trabajo que esta realizando en la estación remota inteligente, con lo cual siendo un fallo esporadico, necesitase de una intervención manual, con lo cual seria necesario el desplazamiento de una persona hasta el lugar donde la tuviesemos situada.

Para evitar esto se ha previsto un circuito formado por el monoestable 74LS122, las resistencias R_3 y R_4, el condensador C_2 y una pastilla 74LS30, su funcionamiento es el siguiente;

Al producirse en flanco de bajada en laa patillas 1 y 2 del monoestable, este se dispara, produciendo un impulso de un tiempo determinado por C2, R4 y R3 a un nivel logico cero en su terminal 6, con esta salida en estado logico cero el circuito no actua y el microprocesador realiza su trabajo, ahora bien este impulso debe ser de nuevo actuado antes de acabar el tiempo fijado por C2, R4 y R3, en el caso de que esto no ocurriera la salida 6 tomaria el valor lógico 1 con lo que, la salida de lapuerta NAND. a la que ataca provocaria la reposición interna del microprocesador. Para que esto no se de deberemos dar una instrucciòn OUT a la direcciòn X FD periodicamente con un tiempo menor que el monoestable.

Mediante la pastilla 74LS30 decodific mos, estadirección, la salida tendra un nivel logico cero si en su entrada se dan;

A15. A14. A13. A12. A11. A10. $\overline{A9}$. A8 = $\overline{S}$

Lo cual se traducira en la puerta NOR a la que ataca, en un permiso para la señal $\overline{IOW}$, con el flanco de bajada de esta señal volveremos a disparar el monoestable.

Los tiempos para los que debemos preveer el monoestable son variables, dependiendo de la aplicación especifica en la que este situada la estación remota inteligente, así como del estado en que se encuentrea los equipos a ella conectados. El tiempo minimo en el que el programa dara una pasada no nos interesa a efectos de este calculo, ya que su unico efecto aqui es que el monoestable se re-disparara más veces. El maximo tiempo, dando un amplio marger entre aplicaciones con pocas entradas a la esta -- ción remota inteligente y un funcionamiento correcto y muchas entradas a la estación remota y con mal funcionamiento se puede estimar entre 50 mag y 2 sg así la formula para el calculo de tiempo que nos proporciona el fabricante es;

$tw = 0,45 . Rt . Cext$

Con Rt en KΩ

Cext en pico faradios

t en nano-segundos.

si C2 = 100μF

C2 = 100μF

$$R_4 = \frac{2.10^9}{0,45.100.10^6} = 44,4\ K\Omega \text{ luego } R4 = 43,4\ K\Omega$$

Afin de salvar las tolerancias del condensador, R4 potenciometro de 100 KΩ

1.7. RELOJ PROGRAMABLE

El microprocesador trata el reloj prograble como una matriz de circuitos de entada/salida, las funciones que realiza según los estados logicos de su entradas de control son los siguientes.

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	$\overline{A1}$	$\overline{A0}$	
0	1	0	0	0	Cargar el contador cero
0	1	0	0	1	Cargar el contador uno
0	1	0	1	0	Cargar el contador dos
0	1	0	1	1	Escribir la palabra de modo
0	0	1	0	0	Leer el contador cero
0	0	1	0	1	Leer el contador uno
0	0	1	1	0	Leer el contador dos
0	0	1	1	1	No opera salidas en tercer estado
1	X	X	X	X	Inhibido
0	1	1	X	X	No opera salidas en tercer estado

Con esto vemos que hemos de tratar la pastilla como si de cuatro circuitos de entrada/salida se tratase así el terminal 21 corresponde a CS y su ecuación logica sera;

$$\overline{CS} = IO/\overline{M}.\ A15.\ A14.\ A13.\ A12.\ A11.\ \overline{A10}$$

Con lo cual las direcciones asignadas son;

X' F8' Para leer o cargar el contador cero

X' F9' Para leer o cargar el contador uno

X' FA' Para leer o cargar el contador dos

X' FB' Para escribir la plablabra de modo.

Supuesto que los terminales A0 y A1 patillas 19 y 20 respectivamente las conectamos alas señales A8 y A9 del bus de direcciones del microprocesador.

Las señales $\overline{RD}$ y $\overline{WR}$ patillas 22 y 23 respectivamente las conectamos a las señales $\overline{IO/R}$ y $\overline{IOW}$ del microprocesador, asi tendremos que realizando un IN a la dirección X' F8' leemos el contador cero y haciendo un OUT a la misma dirección cargamos ese mismo contador. Previamente deberemos haber realizado la escritura de la palabra de modo, como se indico en la memoria.

Al reloj 1 le atacamos con una frecuencia de 768 KHz, las necesarias para el trabajo de la USART seran;

Empleando 16x	para	300 baudios	300 x 16 = 4,8 KHz
	para	600 baudios	600 x 16 = 9,6 KHz
	para	1200 baudios	1200 x 16 = 19,2 KZz

Luego deberemos cargar en el contador.

Para	300 baudios;	160_{10}	6	X' A0'
Para	600 baudios;	80_{10}	6	X' 50'
Para	1200 baudios;	40_{10}	6	X' 28'

En elcaso de emplear la forma 64x las frecuencias necesarias son para:

300 baudios	300 x 64 = 19,2 KHz
600 baudios	600 x 64 = 38,4 KHz
1200 baudios	1200 x 64 = 76,8 KHz

luego en el contador 1 deberemos cargar respectivamente

para 300 baudios X' 28'

para 600 baudios X' 14'

para 1200 baudios X' A'

Para el reloj cero que nos proporcionará, la interrupción cada segundo la frecuencia de entrada es de 48 KHz patilla 9 con lo que le deberemos cargar con el valor 48000 - en base 10 es decir, X'BB80', con lo cual tendremos una - frecuencia de 1 sg en la patilla 10, que nos provocará en cada flanco de subida la interrupción 7.5 en el microprocesador.

Las patillas correspondientes al bus de direcciones van - respectivamente unidas al bus de datos del microprocesador.

1.8. USART

Los terminales de control que posee la pastilla 8251-A - son:

$\overline{CS}$ Terminal 11 nos indica que el circuito está seleccionado en estado lógico cero.

C/$\overline{D}$ Terminal 12 en el que nos basamos para tratar de controles o de datos según su valor lógico.

$\overline{RD}$ Que por el terminal 13 nos indica que la transferencia es desde la USART al microprocesador

$\overline{WR}$ Terminal 10 indica inversa al anterior la transferencia se realiza desde el microprocesador a la USART. Según los valores de estas señales será la función que realice las posibilidades son las siguientes:

$\overline{C/D}$	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	
0	0	1	0	La USART pone en sus líneas de datos los que ha recibido, para que los lea el microprocesador.
0	1	0	0	El microprocesador coloca un byte de datos en el bus, para que los tome como tal la USART
1	0	1	0	El microprocesador, en este caso lee por el bus de datos, el byte que le indica el estado interno de la USART
1	1	0	0	El microprocesador envía a la USART por el bus de datos un caracter de control
X	1	1	0	Bus de datos permanece en tercer estado
X	X	X	1	Bus de datos permanece en tercer estado

Para lograr la interconexión al microprocesador, lo que se ha previsto es adjudicarle dos direcciones de entrada/salida éstas son la X'FF' y la X'FE' así, el bit 8 de dirección se ha conectado directamente a la señal $C/\overline{D}$ en la USART con lo que para el tratamiento de datos debemos realizar instrucciones de IN o OUT al circuito X'FE' para leer estado de la USART o enviarle controles nos debemos

encaminar al circuito de dirección X'FF', el resto de los bits de dirección los empleamos para proporcionarnos el - $\overline{CS}$. Así

$\overline{CS}$ = A15.A14.A13.A12.A11.A10.A9.IO/$\overline{M}$

$\overline{CS}$ solo se pondrá a nivel lógico cero cuando, tengamos - que trabajar con la USART, la señal IO/$\overline{M}$ nos evitará - que se nos pudiera producir este permiso, cuando lee-- mos o escribimos en posiciones de memoria RAM, cuya dirección hexadecimal comience por FF ó FE.

$\overline{RD}$ y $\overline{WR}$ van conectadas por su significado semejante, a - las señales IOR y IOW del microprocesador.

La velocidad de transmisión y recepción, para este caso - la misma, nos vendrá dada por la frecuencia del reloj programable. Es necesario otro reloj para eltrabajo interno de la USART, reloj que introducimos por el terminal 20. - Este reloj debe tener una frecuencia 4,5 veces mayor que las de transmisión o recepción cuando trabajamos en 16x ó 64x , para la velocidad más alta:

1200 baudios x 64 = 76,8 KHz luego la frecuencia de 768 KHz es 10 veces mayor y es la que conectamos.

1.9. CONSUMO DE CORRIENTE

El consumo total de corriente de la tarjeta nos vendrá dado por la suma de los consumos de las pastillas, éste será:

Microprocesador	8085A	170 m A
Pastillas	2 x 8216	190 m A
	2 x 8212	180 m A
	1 x 74LS257	6,2 m A
	1 x 74LS125	11 m A
	1 x 74LS00	2,4 m A
	1 x 8253-5	140 m A
	1 x 8251A	100 m A
	3 x 74LS30	1,8 m A
	1 x 74LS122	6 m A
	1 x 74LS02	2,8 m A
	1 x 74LS04	3,6 m A
	1 x 74LS74	4 m A
	1 x 74L593	9 m A

TOTAL CONSUMO CPU: 826,8 mA a 5v de tensión

1.10. DESACOPLO DE ALIMENTACIÓN

Cuando los circuitos lógicos cambian de estado la corriente que se consume cambia también, y nos aparecen transitorios o picos en la tensión de alimentación o sobre líneas que no han cambiado su estado lógico, que dependiendo de su amplitud nos pueden afectar los estados de los circuitos a ella conectados.

Para evitar el problema debieramos introducir en el circuito por una parte condensadores de gran capacidad para evitar las variaciones de baja frecuencia y de otra reactancias para evitar transitorios de alta frecuen--

cia. Ahora bien esta es una solución cara. Una solución de compromiso es introducir entre la alimentación positiva y masa dos diferentes tipos de condensadores que nos darán dos diferentes valores de constantes de tiempo.

Si suponemos que la variación de consumo en la alimentación de un estado lógico a otro puede ser de 100 m A, que la variación se producirá en 20 n sg y que el mayor incremento en la tensión sea menor o igual a 0,1 v.

$\Delta Icc = 100$ m A

ΔV 0,1 v

$\Delta T = 20$ n sg

$$C = \frac{\Delta Icc \cdot \Delta T}{\Delta V} = \frac{100.10^{-3}.20.10^{-9}}{0,1} = 20000.10^{-12} F$$

$$= 0,02 \mu F$$

El mismo cálculo puede hacerse para la determinación del condensador de desacoplo para frecuencias bajas, ahora bien la estimación del ΔT es complicada, la recomendación de los fabricantes es colocar un condensador entre 10 y 50 μF.

Según experiencia del autor del presente proyecto es más interesante distribuir estas capacidades en condensadores más pequeños, físicamente a lo largo de la alimentación de la placa así:

C3 y C4 valdrán 10 ηF

C5, C6, C7, C8, C9 valdrán 2,2 μF

2. TARJETA DE MEMORIA

El funcionamiento de la tarjeta está descrito de forma general en la memoria, su esquema eléctrico está dibujado en el plano nº 02.04. La cantidad de memoria RAM se ha previsto con arreglo a las características de programación del presente proyecto, al ser modular la cantidad de puntos de exploración con que puede contar la estación remota inteligente la memoria también se ha previsto de la misma forma. De igual manera la distribución entre entradas analógicas y digitales también nos influirá en la cantidad de memoria a preveer puesto que para controlar una entrada analógica necesitaremos 4 bytes de memoria RAM en una tabla de márgenes, que nos indicarán los valores por encima y por debajo del valor normal en que la señal está en alarma urgente o no urgente. Dispondremos además de 3 palabras por señal analógica que nos indicarán, la primera en el estado en que se encuentra el canal analógico si está en estado normal, o en alguna situación de alarma. La segunda si no está bien la medida si ha sido transmitida al centro de control y por qué variación lo ha sido de bien a mal, bien a regular, etc. y la tercera nos indicará la medida analógica actual.

Por otra parte necesitaremos una tabla de exploración, de longitud, igual al número de entradas analógicas.

Debemos preveer también la tabla de transmisión para enviar al centro de control y que irá generando por compa-

ración entre las tablas anteriores, y que fijaremos en - 100 bytes de memoria.

Para la realización del intercambio de información entre tablas, necesitamos una tabla intermedia para el manejo de los datos a comparar y deberemos preveer al igual la zona de stack para el almacenamiento de contadores en el caso de saltos a subrutinas o interrupciones y la de contadores. Otra tabla que debe tener será la de recepción.

Aun en el caso de que todas las posibles entradas fuesen analógicas con las 4096 bytes de memoria prevista nos sobra para cubrir sus necesidades, ahora bien si en vez de ser entradas analógicas, lo fuesen digitales los requerimientos de memoria RAM se reducirían notablemente, supuesto que no necesitamos tabla de márgenes, la tabla de - estados se reduce en la palabra para indicar la medida y en la tabla de exploración podemos introducir 8 canales digitales por palabra.

La cantidad de memoria EPROM es una estimación del autor del presente.

2.1. DECODIFICADOR DE MEMORIA

Al encender la estación remota inteligente, automáticamente salta a la posición X'ØØØØ' entonces debemos preveer que en esta parte la memoria sea no volatil, para que automáticamente comience la ejecución del programa.

La máxima capacidad de memoria prevista es de 16 K bytes que comenzará en la dirección X'ØØØØ' y terminará en la X'3FFF'', la memoria EPROM prevista es la INTEL 2716 en cada pastilla disponemos de 2 K bytes de memoria luego debemos decodificar los 16 K bytes de 2 en 2 K para obtener el permiso de cada pastilla. Así la ecuación lógica para la selección de la 1ª pastilla de memoria será:

-1ª pastilla direcciones X'ØØØØ' a X'07FF'

selección = $\overline{A15}.\overline{A14}.\overline{A13}.\overline{A12}.\overline{A11}$

-2ª pastilla direcciones X'0800' a X'0FFF'

selección = $\overline{A15}.\overline{A14}.\overline{A13}.\overline{A12}.A11$

-3ª pastilla direcciones X'1ØØØ' a X'1FFF'

selección = $\overline{A15}.\overline{A14}.\overline{A13}.A12.\overline{A11}$

-4ª pastilla direcciones X'1800 a X'1FFF'

selección = $\overline{A15}.\overline{A14}.\overline{A13}.A12.A11$

-5ª pastilla direcciones X'2000' a X'27FF'

selección = $\overline{A15}.\overline{A14}.A13.\overline{A12}.\overline{A11}$

-6ª pastilla direcciones X'2800' a X'2FFF'

selección = $\overline{A15}.\overline{A14}.A13.\overline{A12}.A11$

-7ª pastilla direcciones X'3000' a X'37FF'

selección = $\overline{A15}.\overline{A14}.A13.A12.\overline{A11}$

-8ª pastilla direcciones X'3800' a X'3FFF'

selección = $\overline{A15}.\overline{A14}.A13.A12.A11$

Luego hemos de decodificar los bit 12, 13 y 14 función fácilmente realizable con la pastilla 8205,

(Z1) con el empleo de esta pastilla además tenemos tres permisos, dos negados a los que conectaremos - los bits 15 y 14, que deben estar negados para leer la EPROM, a su vez en el permiso positivo terminal 6 conectamos la señal $\overline{MEMW}$ como un control reiterativo, no es necesaria.

La memoria en este caso será ampliable hacia direcciones crecientes, así la primera placa de memoria, contendrá la 1ª y 2ª pastilla, en caso de ampliar, no deberemos colocar este decodificador, (Z1) sino puentear en el selector S1 el puente 13 con el 16 y el 14 con el 15.

Para la memoria RAM el permiso debe producirse cada 256 direcciones ya que las pastillas que empleamos están organizadas como 256 palabras de cuatro bits.

Normalmente, por facilidad de decodificación la memoria RAM, se situa en las direcciones más altas de memoria, siendo ampliable hacia abajo, este es el - sistema que hemos empleado en el presente proyecto, comenzando en la posición de memoria X'7FFF' por facilidad de decodificación.

Así las dos primeras pastillas tendrán como direcciones de la X'7FFF' a X'7F00', si las separamos por - grupos de 1K que es el contenido de cada placa la - primera placa tendrá como direcciones de la X'7C00'

a X'7FFF', la segunda placa nos llegará de la X'7800' a X'7BFF', la tercera de la X'7400' a X'77FF' y la última de X'7000' a X'73FF' luego hemos de decodificar los bit del 8 al 15 pero teniendo en cuenta que los cuatro más significativos no varían para ello - empleamos dos decodificadores de 3 a 8 iguales que el empleado para la decodificación de la EEROM, mediante el primero seleccionamos uno de los dos posibles grupos de 2K de RAM que podemos tener, así en la patilla 7 del Z2 tendremos $\overline{S} = \overline{A15}.A14.A13.A12.A11.\overline{IO/M}$ y en la patilla 9 $\overline{S} = \overline{A15}.A14.A13.A12.\overline{A11}.\overline{IO/M}$. En el siguiente decodificador Z3, empleando - las dos salidas anteriores dividimos el grupo de 2K bytes en grupos, 8 grupos de 256 bytes cada uno que emplearemos para dirigirnos a cada dos memorias RAM que nos forman las distintas palabras.

A fin de ahorrar el decodificador Z2 en las placas de ampliación se ha realizado el selectos S3, en los K bytes de dirección superior, es decir, la primera y segunda placa de memoria los valores de las salidas 9 y 7 de Z2 serán S7 = 0 y S9 = 1 en estas dos primeras placas las uniremos, salida 7 de Z2 con entrada 5 de Z3 y salida 9 de Z2 con la 6 de Z3, ya - en la 2ª placa no hace falta Z2 puesto que las señales vienen por conector, generadas en la primera - placa, para las otras dos placas lo que hemos de ha

cer es introducir las señales en Z3 invertidas con lo cual direccionamos los dos Kilobytes de direcciones más bajas. Mediante el selector S2 seleccionamos 1K byte de los dos posibles tomando las salidas 15, 14, 13 y 12 ó las 11, 10, 9 y 7 del decodificador Z3.

Las direcciones correspondientes a cada grupo de dos pastillas serán:

Memoria 1	grupo 1	de X'7F00'	a X'7FFF'
	grupo 2	de X'7E00	a X'7EFF'
	grupo 3	de X'7D00	a X'7DFF'
	grupo 4	de X'7C00	a X'7CFF'
Memoria 2	grupo 1	de X'7B00'	a X'7BFF'
	grupo 2	de X'7A00	a X'7AFF'
	grupo 3	de X'7900	a X'79FF'
	grupo 4	de X'7800	a X'78FF-
Memoria 3	grupo 1	de X'7700'	a X'77FF'
	grupo 2	de X'7600'	a X'76FF'
	grupo 3	de X'7500	a X'75FF'
	grupo 4	de X'7400	a X'74FF'
Memoria 4	grupo 1	de X'7300'	a.X'73FF'
	grupo 2	de X'7200'	a X'72FF'
	grupo 3	de X'7100'	a X'71FF'
	grupo 4	de X'7000'	a X'70FF'

2.2. MEMORIA EPROM

La pastilla seleccionada para esta aplicación es la 2716 de Intel. La conexión que se ha efectuado se ha realizado atendiendo a tenerla en estado de bajo consumo cuando no tengamos que leer en ella. Para lograr esto, en vez de emplear la decodificación de la dirección, para atacar al 'Chip Select' de la pastilla como es usual, empleamos la decodificación de la dirección para alimentar la entrada denominada 'Power Down' empleando la señal $\overline{MEMR}$ para seleccionar la pastilla. Con esto el consumo por pastilla nos baja de 62 m A a 15 m A, lo que nos representa un ahorro del 75%.

Para lectura empleamos: PD/PGM = 0 y CS = 0

En reposo: PD/PGM = 1 y CS = X

2.3. MEMORIA RAM

La memoria que empleamos es la 5101L-1, sobre todo por su propiedad de poderla hacer no volatil mediante unas pequeñas pilas, ya que su consumo para mantener los datos es de 0,14 μA por pastilla, e incluso puede mantenerlos con una tensión de 2v.

Para el presente proyecto, esta aplicación es fundamental ya que de no ser así, con un fallo de alimentación la estación que controlase la estación remota inteligente quedaría sin gobierno hasta aquí nor

mal pero al volver la alimentación, variaría todo el contenido de las tablas, poniéndose en valores aleatorios con lo que al volver a trabajar el microprocesador, los datos con los que compararía los valores serían falsos, con lo que toda su actuación sería desastrosa o tendría que esperar un tiempo sin trabajar, esperando que el centro de control le enviase todos los valores de sus tablas.

La tabla de verdad de la memoria es la siguiente:

CE1	CE2	OD	R/W	DIN	OUT	MODO
1	X	X	X	X	Alta Z	No seleccionada
X	0	X	X	X	Alta Z	No seleccionada
X	X	1	1	X	Alta Z	No permitida salida
0	1	1	0	X	Alta Z	Escritura
0	1	0	0	X	DIN	Escritura
0	1	0	1	X	DOUT	Lectura

Al haber cableado unidas entradas y salidas, hemos empleado el primer modo de escritura.

Así a la patilla 18 (OD) hemos conectado la señal - $\overline{MEMR}$ que será cero cuando leamos. El permiso 1 (CE1) patilla 19 lo hemos conectado a la decodificación - de dirección y al terminal de lectura/escritura, - terminal 20 a la señal de escritura en memoria $\overline{MEMW}$.

El permiso 2 (CE2) lo unimos directamente a los +5v de alimentación; luego por esta entrada tendremos -

permiso desde que comienza a trabajar la estación - remota inteligente hasta unos milisegundos después de producirse la caída de desconectarla o de que - falte la tensión de alterna, que alimenta la esta-- ción remota inteligente.

2.4. CIRCUITO DE BATERÍAS

El circuito diseñado para el caso de un fallo de - alimentación está compuesto por los transistores T1 y T2, las resistencias R1 a R3 los diodos D1 y DZ1, los condensadores C1 y C2 y las baterías. Normalmente, cuando la estación remota inteligente, tiene - alimentación de +5v al estar T1 saturado, la alimentación a las memorias es de aproximadamente 4,8v, - por lo que las baterías que tienen 4,5v no tienen - que alimentar las memorias, ahora bien cuando fallan los 5v, son las baterías a través de D1 las que producen la corriente de mantenimiento de los datos en las memorias.

La máxima corriente que consume cada pastilla de corriente es de 27 m A, así el transistor T1 debe suministrar 27 x 8 m A = 216 m A, la corriente en su base debe ser mayor, para asegurar la saturación, de

$$I_B = \frac{I_C}{h_{FE}\ min} = \frac{216\ m.A.}{h_{FE}\ min.}$$

elegimos para T1 el transistor BC-328 con lo que su

mínima h_{FE} será 100.

Luego la mínima intensidad de la base de TR1 será:

$$I_{B\ MIN} = \frac{216}{100} = 2{,}16 \text{ m A}$$

Esta intensidad debe ser la de colector de T2 que nos vendrá fijada por el Zener DZ1 y la resistencia R3.

El zener DZ1 lo ponemos de 3,3v, la potencia que debe soportar será

$$P_Z = 3{,}3\text{v} \cdot (2{,}16 \text{ m A} + 5 \text{ m A}) = 24 \text{ m w}$$

luego con 1N-746 cumplimos sobradamente los reuqisitos, supuesto que nos soporta 400 m w.

Así por la resistencia R2 deben pasar, la intensidad mínima de mantenimiento de la tensión zener, intensidad que podemos estimar en 5 m A.

Así:

$$R2 = \frac{V_c - V_z}{5 \text{ m A}} = \frac{5\text{v} - 3{,}3\text{v}}{5 \text{ m A}} = 340\ \Omega$$

Emplearemos la comercial inferior así R2 = 330 ohm.

La potencia en R2 será $P = \frac{E^2}{R} = \frac{1{,}7^2\text{v}}{330} = 9 \text{ m w}$

Luego R2 = 330 ohm 5% 1/8 de watio

La intensidad del colector de T2 será la de base de T1, es decir, 2,16 m A vendrá limitada por la resistencia R3 así:

$$R3 = \frac{5\text{v} - V_{BET1} - V_z - V_{CEsat}\ T2}{2{,}16 \text{ m A}} =$$

$$= \frac{5\text{v} - 0{,}7\text{v} - 3{,}3\text{v} - 0{,}2\text{v}}{2{,}16 \text{ m A}} = 370\ \Omega$$

para asegurar la saturación de T1 emplearemos la comercial inferior es decir: 330 Ω

La potencia a disipar en ella será $\frac{0,8v^2}{330\Omega} \simeq 2$ m w

luego R3 = 330 Ω 5% 1/8 de watio.

El transistor T2 elegimos el 2N 708, su h_{FE} mínima es de 15 con lo que la intensidad de base necesaria será

$$I_B = \frac{2,16 \text{ m.A}}{15} = 144 \mu A$$

luego el valor R1 será:

$$R1 = \frac{5v - V - V}{I_B} = \frac{1v}{144 \text{ A}} = 6,5 \text{ K ohm.}$$

Esta es la resistencia máxima que podemos colocar a fin de asegurar la saturación de T2 tomaremos:

R1 = 5,6 K ohm, 5% 1/8w

El diodo D1 evita que durante el funcionamiento normal, se nos puedan dañar las baterías y la corriente que debe proporcionar en funcionamiento es muy pequeña del orden de micro amperios emplearemos el 1N914.

Cuando falle la alimentación el consumo de las memorias será de 10 μA por memoria. como máximo, siendo el valor típico mucho menor con este valor tenemos que la corriente máxima será de 80 μA, por su reducido tamaño y posibilidades para la sujección a la placa de circuito impreso las baterias elegidas son las VARTA tipo 1708 cuya capacidad es de 350 m A H

así el tiempo que el sistema puede permanecer sin alimentación será de:

$$T = \frac{350 \text{ m A H}}{80 \mu A} = 4375 \text{ horas}$$

lo que viene a representar 180 días. Luego lo normal será que tengamos que cambiarlas por envejecimiento, el fabricante nos indica que este tiempo es de dos años.

Para cambiarlas está prevista, una entrada exterior, en la que podemos aplicar una tensión de +5v, la intensidad max que necesitaremos será de 80 μA.

2.5. CONSUMO DE CORRIENTE

Vendrá determinado por el consumo de las pastillas, mas la pequeña corriente que consume el circuito de alimentación previsto para que pueda funcionar con baterías será:

8 pastillas de memoria 5101L-1	216 m A
2 pastillas de memoria 2716 como max sólo una de ellas estará actuada así el total de las dos será	135 m A
3 pastillas 8205	210 m A
Consumo circuito baterías	10 m A

Lo que nos hace un total de 571 m A

En el caso de poner una memoria adicional o más los

consumos debemos añadir por placa de memoria.

8 pastillas de memoria RAM 5101L	216 m A
2 pastillas de memoria EPROM 2716	60 m A
1 pastilla decodificadora 8205	70 m A
Consumo del circuito de baterías	10 m A

Luego nos representa, añadir 356 m A, supuesto que solo una de las placas lleva los tres decodificadores 8205

Así el consumo total de las cuatro posibles placas será

$$I_T = 571 \text{ m A} + 3.356 = 1,639 \text{ Amperios}$$

2.6. DESACOPLO DE ALIMENTACIONES

En esta tarjeta es necesario el estudio de dos circuitos en los que debemos poner condensadores de desacoplo, uno es la alimentación general a la placa, el otro el circuito de alimentación a las memorias RAM en el primer caso podemos estimar que la variación de la corriente de alimentación es de 100 m A, en un tiempo de 20 n sg y que la variación que deseamos es menor de 0,1v.

Así

$$\Delta Icc = 100 \text{ m A}$$

$$\Delta v = 0,1 \text{ v}$$

$$\Delta T = 20 \text{ n sg}$$

$$C = \frac{\Delta Icc}{\Delta V/\Delta T} = \frac{100.10^{-3} \text{ A} \cdot 20.10^{-9} \text{ sg}}{0,1 \text{v}} = 20 \text{ nF.}$$

luego

C3 y C4 serán cermicos de 10 nF/63v

C5, C6, C7, C8 y C9 serán de tantalo 2,2 μF/16v

En el caso de la línea que alimenta las memorias RAM la variación de corriente, será prácticamente los - 216 m A ya que una vez que la memoria recibe la señal de fallo de alimentación en su permiso 2, conmuta a bajo consumo, con los mismos requerimientos anteriores:

$$C = \frac{\Delta Icc}{\Delta V/\Delta T} = \frac{216.10^{-3}\ Amp.20.10^{-9}\ sg}{0,1v} = 43,2\ nF.$$

supuesto que en este caso la línea de alimentación va a un solo punto y es única podemos, poner un solo condensador así:

C1 = 47 nF

C2 = 10 μF

3. TARJETA DE ENTRADAS ANALOGICAS

El esquema electrico de la placa esta representado en el plano 02.05 en el podemos ver diferenciadas las siguientes partes:

La conexión al bus de direcciones, el decodificador de direcciones, la conexión al bus de datos, el convertidor Analogico/digital de ocho bits, el circuito para trabajar con interrupciones, del bus de control tomamos las señales $\overline{IOR}$, $\overline{IOW}$, IO/$\overline{M}$ y RESET OUT necesarias para la transferencia de datos, desde o hacia el microprocesador.

El funcionamiento del convertidor Analogico/digital es como sigue:

las señales analogicas las tiene el convertidor conectadas durante todo el tiempo, cuando deseemos realizar la conversión de una de ellas y proceder a su lectura necesitaremos de una parte decirle cual de las 16 señales que tenemos conectadas a el queremos que convierta, y a la vez que comience la conversión, debemos proporcionarle, la dirección codificada en binario en sus líneas A0, A1, A2, y A3 y proporcionarle un impulso positivo en la señal ALE con este impulso el convertidor carga estos bit de dirección, en un registro interno. Posteriormente o a la vez hemos de darle un impulso positivo en su entrada de START para indicarle que comience la conversión. Con estos pasos la conversión comienza, pasado un tiempo, el fabricante indica 100 μsg, el convertidor termina su trabajo, para indicarlo al exterior pone en nivel bajo una salida de la pastilla llamada EOC siglas de End of Convertion (final de conversión) con lo que dandole un impulso positivo en su entrada TRI-STATE nos pone sobre sus lineas DB0-DB7

el resultado de la conversión.

Luego el microprocesador debera tratarlo en primer lugar como circuito de salida para darle el número del canal que queremos convertir y posteriormente como un circuito de - entrada para leer el resultado de la conversión.

Sabemos que las señales de que dispone el microprocesador para la realización de las instrucciones de entrada/salida son:

- Las líneas de dirección por las que el microprocesador nos dará codificada la dirección del circuito al que desea tener acceso, durante la realización de una instrucción de entrada o salida la dirección del dispositivo nos aparece repetida sobre las lineas 0 - 7 y sobre las líneas 8 a 15.

- Al ser instrucciones de entrada o salida a un circuito externo, la señal IO/M estará a nivel lógico 1 durante todo el ciclo de la instrucción.

- Posteriormente el microprocesador según sea la instrucción actuará asi si la instrucción es para darle al convertidor el número de señal que desea os convertir, sera una salida y el microprocesador enviará por el bus de datos, por los cuatro bits menos significativos el número del canal a convertir, acompañando esta información con la señal $\overline{WR}$.

Si la instrucción es para pedir al convertidor, el resultado de la conversion el microprocesador explorará estos datos con la señal $\overline{RD}$.

Luego con las señales mencionadas hemos de realizar el - tratamiento de la tarjeta, logrando la transferencia de -

datos necesaria.

3.1. DECODIFICADOR DE DIRECCIONES

Lo primero que tenemos que determinar, en la placa es del flujo de señales que el microprocesador envia por los buses, cuales corresponden a esta tarjeta y cuales son para otras tarjetas y por tanto no deben tener efecto en esta.

Esto lo logramos asignando a la placa una dirección, esta dirección se la asignamos con ocho mini-interruptores, cableados de forma que su estado lógico pueda ser 0 ó 1 según la posición en la que se encuentren, cosa que logramos uniendo uno de los dos terminales a tierra, 0 lógico, el uno lógico es un circuito abierto, ahora bien para el buen funcionamiento de los circuitos lógicos que atacaremos, es conveniente no dejar entradas al aire, sino unirlas a 5v a traves de una resistencia, a fin de evitar que ruidos que se produzcan en las conmutaciones de los elementos activos puedan interferir en esta entrada.

Con esto lo que debemos hacer es comparar cada bit del bus de dirección, con el estado logico en que se encuentra cada contacto del mininterruptor.

De esta comparación estableceremos una salida a estado lógico 1, cuando exista coincidencia, entre el bit de dirección y la línea que controla el mini-interruptor correspondiente.

La table de verdad a cumplir por cada bit será:

AX	MX	SX
0	0	1
1	0	0
0	1	0
1	1	1

Siendo Ax el bit de dirección con X de 8 a 15

Mx el valor lógico seleccionada en cada mini-interruptor.

Sx la salida correspondiente a la comparación de cada bit, con su contacto

Luego $Sx = \overline{Ax}.\overline{Mi} + Ax\ Mi$ que es la función exclusive - NOR, podemos lograr esta función con una puerta exclusive -OR seguida de un inversor o bien, para ahorrar el inversor, introducir en los mini-interruptores el complemento de la dirección que deseemos, esta dirección puede ser cualquiera desde la X' 00' a la X' FF' excepto las que hemos empleado para trabajar con la USART, con el reloj programable y con el circuito de protección, y que por facilidad de decodificación nos ocupan las direcciones superiores a - X' F8' , por una parte tenemos ocupadas la X' F8' , X' F9' , X' FA' , X' FB' para el reloj programable, La X' FF' y la X' FE' para la USART y la dirección - X' FD' para el circuito de protección. Asi cualquier dirección inferior a X' F8' es válida para las tarjetas de entrada/salida.

Al introducir en los mini-interruptores el complemento de la dirección, la tabla de verdad a realizar es:

Ax	Mx	Sx
0	0	0
1	0	1
0	1	1
1	1	0

Con lo que $Sx = \overline{Ax}\ Mx + \overline{Mx}\ Ax$ que coincide con la función exclusive or y que podemos realizar con el circuito integrado 74LS86, cuatro puertas ex-

clusive -or de dos entradas cada una.

Luego para que el microprocesador, se entienda con - la placa, si hemos puesto todos los contactos del - mini-interruptor, abiertos (FF) el microprocesador - debe dirigirse a la dirección X' ØØ', anterior a este circuito de decodificación, ponemos dos pastillas - 74LS125 a efecto de que la placa no presente al bus de direcciones mas carga que la de una puerta TTL de la serie 74LS, es decir 400 μA. Además los permisos de estas puertas los conectaremos a la señal IO/$\overline{M}$, - que tendremos que negar, para que solo pasen, los valores que contienen las lineas de dirección a la placa en el caso que el microprocesador este realizando una instrucción de entrada/salida.

Las resistencias a colocar en las líneas del mini-interruptor nos van a presentar una carga, cuando seleccionemos un estado lógico cero A fin de que esta sea mínima el valor que elegimos es de 100 KΩ

Con el uso de las pastillas 74LS86, tenemos ocho señales a estado lógico 1 cuando la instrucción del microprocesador sea de entrada/salida y a la dirección del complemento a uno de la contenida en los mini - interruptores, para evitar tener que tratar ocho señales, en el resto del circuito, las transformamos, mediante una puerta 74LS30, NAND de ocho entradas, una salida; en una sola, la salida de esta puerta asi, esta salida estará a nivel bajo cuando el microprocesador tenga que entablar diálogo con esta placa.

3.2. CIRCUITO DE CONEXIÓN AL BUS DE CONTROL

El microprocesador, en la secuencia de trabajo, que veiamos en la introducción de esta placa, para leer una medida de un canal analogico, conectado a la estación remota inteligente debe primero efectuar una escritura indicando al convertidor analogico que canal de los 16 a el conectado desea leer.
Necesita un impulso positivo en la señal ALE y otro en la señal START, estos impulsos los podemos generar a partir de la señal $\overline{WR}$ del microprocesador, para nosotros transformada en $\overline{IO/M}$, cuando la instrucción sea una escritura para el convertidor de una placa determinada; asi la tabla de verdad a cumplir por la entrada ALE y START que cablearemos juntas por facilidad de diseño será:

$\overline{IO/M}$	$\overline{D}$	START
0	0	1
0	1	0
1	0	0
1	1	0

Siendo D la señal que nos indica que la dirección del microprocesador, coincide con la de la una placa.

START = IO/M . D

Luego obtenemos la señal a conectar en las entradas START y ALE, mediante una puerta NAND seguida de un inversor en cuyas entradas cableamos IO/M y D. Con esto enviandole por el bus datos, por los cuatro bit menos significativos, el valor del canal a convertir de analogico a digital el convertidor comenzará la conversión.

Pasado un tiempo, el microprocesador, para conocer -

el valor que tenia, el canal que mando convertir deberá realizar una lectura a la dirección asignada, para que el convertidor ponga su resultado en el bus de datos debemos proporcionarle un impulso positivo en su entrada TRI - STATE, la tabla de verdad de esta entrada será:

$\overline{IO/R}$	$\overline{D}$	T-S
0	0	1
0	1	0
1	0	0
1	1	0

$T\text{-}S = IO/\overline{R} \cdot D$

lo que realizamos mediante una puerta NAND de dos entradas, seguida de un inversor

3.3. CONEXIÓN AL BUS DE DATOS DEL MICROPROCESADOR

El bus de datos del microprocesador es bidireccional, es decir el flujo de información se realiza tanto en sentido de entrada como en el de salida.

Ahora bien, de los bits de datos del microprocesador, los mas significativos no tienen otra misión que recibir los cuatro bits de mas peso del resultado de la conversión. Ahora bien en los cuatro bits menos significativos caben distinguir dos fases de trabajo, en la primera los cuatro bits menos significativos del bus de datos del microprocesador, le dicen al convertidor que canal es el que queremos convertir, por tanto deben terminar en las líneas A0-A4 del convertidor, en la segunda fase el microprocesador, pedirá los datos de la conversión y los cuatro bits que de-

bemos poner en el bus de datos del microprocesador, son los menos significativos del bus de datos del - convertidor asi pues debemos desdoblar el bus de datos del microprocesador (los cuatro bits menos significativos). Para estos bits empleamos la pastilla 8216 de Intel que nos produce este desdoblamiento, según los estados lógicos de sus controles, los controles que tiene esta pastilla son dos:

$\overline{CS}$ que nos indica que la pastilla trabaja
DIEN que nos indica en que sentido realiza la transferencia de los cuatro bits que maneja.

$\overline{CS}$ debe estar en estado 0 siempre que realicemos un trabajo con el convertidor, su tabla de verdad será:

$IO/\overline{M}$	D	CS
0	0	1
0	1	1
1	0	0
1	1	1

$CS = \overline{IO/M} + D$

función que logramos mediante una puerta NOR seguida de un inversor. La señal DIEN deberá cumplir, que este en estado cero, cuando el microprocesador realiza una lectura, con lo cual uniremos, los bits menos significativos del bus de datos del convertidor a sus - correspondientes en el bus de datos del microprocesador, que este en estado logico uno cuando el microprocesador realiza una escritura con lo cual los bits menos significativos del bus de datos del microprocesador pasaran a las lineas Ao - A4 del convertidor, asi la tabla de verdad de la entrada DIEN será:

T-S	START	DIEN	
0	0	X	→ Ya que la pastilla no esta seleccionada.
0	1	1	
1	0	0	
1	1	X	→ Ya que el estado no se producirá.

$DIEN = START \cdot \overline{T-S}$; $\overline{DIEN} = \overline{START} + T-S$

función que realizamos con una puerta NOR y dos NAND, una de ellas usada como inversor, pues hemos realizado el producto negado.

Los cuatro bits mas significativos solo tienen sentido en la segunda fase cuando el microprocesador, realiza la lectura del resultado de la conversión, a fin de unirlo al bus del microprocesador hemos dispuesto una pastilla 74LS125, que permitira las salidas con la misma señal que permitiamos los bits menos significativos.

3.4. TRABAJO POR INTERRUPCIONES

El convertidor analogico/digital que hemos empleado, dispone de una salida especial para el trabajo por interrupciones. El tiempo de la conversión, no es alto pero en algunas aplicaciones, puede ser interesante no perderlo, por ello se ha diseñado un circuito a partir de esta señal que nos permite ganar este tiempo de conversión para la CIU.

Los estados lógicos que toma esta señal y su significado son los siguientes cronológicamente:

1º Inicialmente la salida EOC esta en estado lógico uno.

2º Cuando realizamos la petición de conversión la salida EOC, toma el estado lógico cero.

3º Al terminar la conversión el convertidor, la señal pasa de nuevo a estado lógico uno.

Las entradas RST del microprocesador, se activan con niveles altos en sus entradas, por tanto la unión directa con una entrada RST de la señal EOC no es posible.

Nos interesa detectar el paso de la señal EOC de nivel bajo a alto, para ello disponemos de los biestables disparados en los flancos, en este caso el 74LS74 uniendo la salida EOC del convertidor, con el reloj del biestable, con la entrada de datos a un cero lógico. La transformación que realizamos es la siguiente:

	EOC	Salida Q del biestable
Inicial	1	Qn-1
Petición de conversión	0	Qn-1
Final conversión	1	0

y añadamos para diseño un nuevo estado: cuando el microprocesador atiende la petición de interrupción leyendo el resultado, todo debe quedar en reposo.

A fin de quitar o poner opcionalmente esta posibilidad las salidas del biestable no se cablean directamente con ninguna señal RST del microprocesador sino que se ha unido a un mini-interruptor, que podemos quitar o poner a voluntad, si queremos activarlo, debemos cerrar uno de los interruptores, a su vez en la placa de CPU antes de atacar la entrada RST, una puerta 74LS30 añadida al efecto, nos posibilita para poder disponer de ocho tarjetas digitales con esta posibilidad asi, los Qn-1 de la tabla anterior deberan ser unos logicos, con lo cual la tabla de estados anterior nos queda

	EOC	Salida del biestable
Inicial	1	1
Petición de conversión	0	Qn-1
Final de conversión	1	0
Leer el resultado de la conversión	1	1

cuadro de estados que resolvemos, uniendo a la en -- trada PRESET del anterior biestable a la señal, T-S como esta es positiva en el momento de efectuar la - lectura necesitamos una inversión previa que realiza mos mediante una puerta NOR, de manera que nos repo- ne el biestable al leer.

A fin de evitar que, al encender inicialmente la es- tación remota inteligente o después de un fallo de - alimentación, no se nos quedase en la secuencia co-- rrecta, introducimos junto con la señal Tri-State la señal RESET que nos inicializa el circuito.

3.5. CONSUMO DE CORRIENTE

La alimentación de +5v de la placa deberá ser capaz de proporcionarnos la alimentación para las siguientes pastillas:

3 pastillas	74LS125	que consumirán	33 mA
2 pastillas	74LS86	que consumirán	12,2 mA
1 pastilla	74LS30	que consumirán	0,6 mA
1 pastilla	74LS02	que consumirán	2,8 mA
1 pastilla	74LS04	que consumirán	2,4 mA
1 pastilla	74LS00	que consumirán	2,4 mA
1 pastilla	74LS74	que consumirán	4 mA
1 pastilla	ADC0816CCN	que consumirán	3 mA
1 pastilla	8216		95 mA

El consumo en las resistencias del decodificador de direcciones, puede considerarse despreciable, pues - supuesto que 4 mini-interruptores esten cerrados, en la selección de la dirección, el consumo de corriente será:

$$IR3 = \frac{Vcc}{Req} = \frac{5v}{25K} = 200\,\mu A$$

Por lo que él consumo total de la plaza es de 156 mA máximo.

Los condensadores de desacoplo seran para esta placa

C1 = 10 nF

C2, C3, C4, C5 y C6 2,2 μF

3.6. CIRCUITO DE ALIMENTACIÓN

Para eliminar los problemas que nos pudieran surgir - con una distribución de +5v a traves de la parte posterior del bastidor, lo que hacemos es llevar hasta - cada placa, la tensiòn de 5v sin regular, mediante un regulador de 5v en cada placa lo realizamos.

El circuito de alimentación esta formado, por R1, C7, C8 y el regulador de +5v.

El consumo total de la placa es de 156 mA, la tensión sin estabilizar es de 12,5v nominal, colocamos R1 a - fin de que el regulador consuma menos potencia, nos - evitaremos el uso de un disipador, asi en R1 podemos calcularla para que caigan en ella una tensión tal - que con el valor nominal menos el 10% de tolerancia, tengamos en la entrada al regulador 7v suponiendo de 0,5v de caida.

$$\text{Asi} \qquad R1 = \frac{12,5 \cdot 0,9 - 0,5v - 7v}{156 \text{ mA}} = 24\ \Omega$$

La potencia que disipa será:

$$R1 = 0,156^2 \cdot 24 \text{ ohm} = 0,58 \text{ w}$$

Asi R1; 22 ohm,1w

en el regulado la potencia en el caso de tensión nominal +10%

$$Pr = (1,1 \cdot 12,5 - 0,5 - 0,156 \cdot 24 - 5v)0,156 = 0,70w$$

no necesitamos disipador.

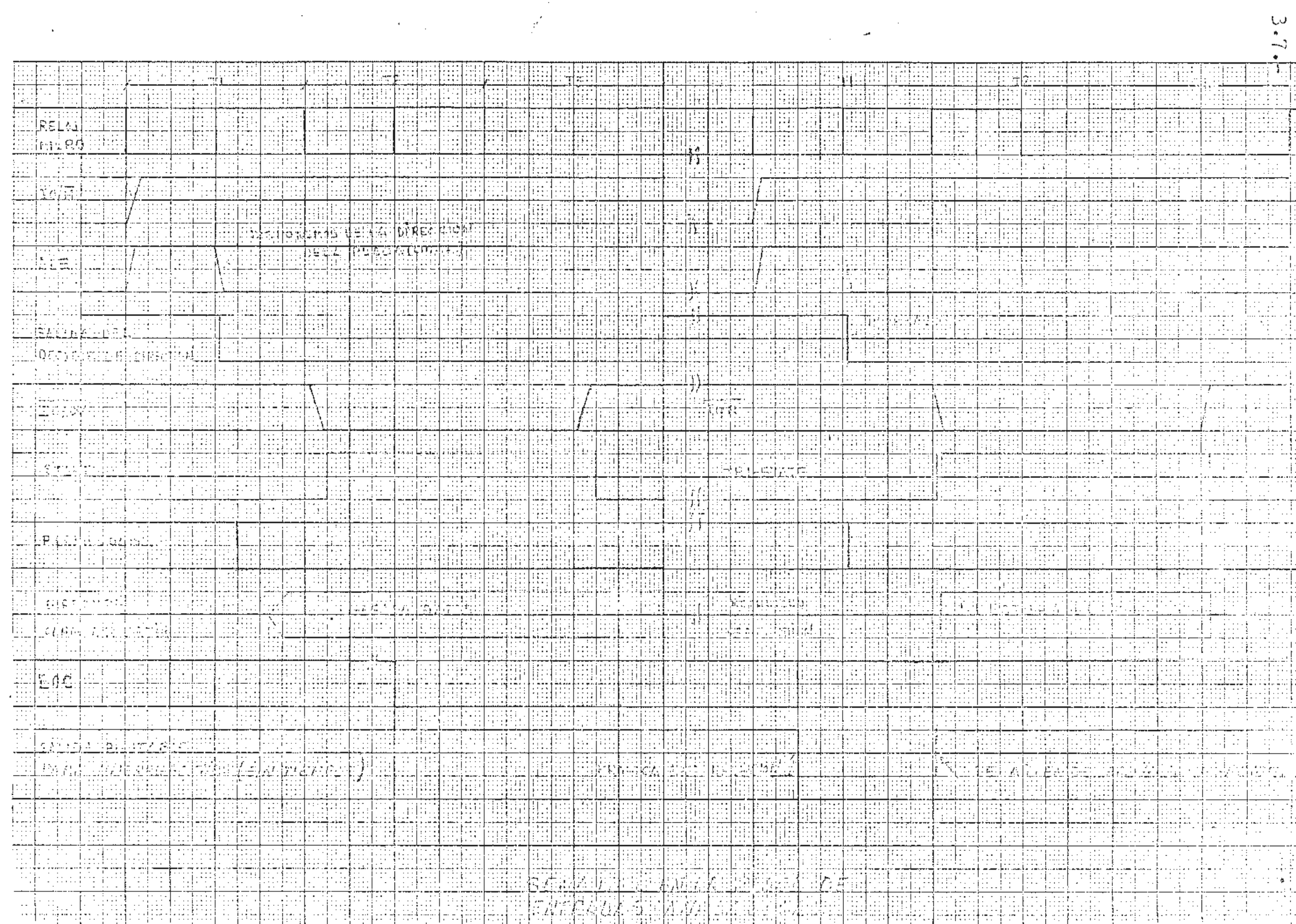
Los condensadores C7 y C8 los recomienda el fabricante si el retificador se encuentra a más de dos pulgadas

del rectificador y para mejorar el ruido de altas frecuencias.

Asi C7 = 2,2 μF

C8 = 0,1 μF.

Regulador de +5v LM 309K


RELAY
MILRO
ECE
EOC

4. TARJETA DE ENTRADAS DIGITALES

El esquema electrico de la placa esta representado, en el plano 02.06 en el podemos ver diferenciadas las siguientes partes:

La conexión al bus de datos compuesto por las pastillas Z12 a Z15, la unión al bus de direcciones formado por las pastillas Z10 y Z20, del bus de control tomamos las señales IO/$\overline{M}$ y la señal $\overline{IO/R}$, necesarias para la identificación de la petición de entrada por parte del microprocesador, y la ultima parte diferenciada sera la de entrada de las señales exteriores.

Las eñales que el microprocesador, produce para realizar una instrucción de entrada a un circuito externo son:

- La dirección del circuito del que el microprocesador quiere tomar datos, sale doblada en las líneas de dirección 0 a 7 y en las 8 a 15 durante el primer estado del ciclo de la instrucción de entrada salida.

- Al ser una instrucción de entrada a un circuito externo, la señal IO/$\overline{M}$, estara a un nivel logico 1 durante todo el ciclo de la instrucción.

- Posteriormente el microprocesador pedira que le pogan los datos el bus esto lo realiza mediante la señal $\overline{RD}$, en nuestro caso la equivalente sera la señal $\overline{IOR}$, generada en la placa de CPU y que nos indica que el microprocesador quiere leer en un dispositivo de entrada/salida.

Luego con estas señales debemos realizar tranferencia de datos desde el exterior, al microprocesador.

4.1. DECOFICADOR DE DIRECCIONES

En primer lugar debemos saber si estos datos, son para una placa determinada, a fin de aprovechar el espacio en cada placa, hemos puesto 16 entradas en cada una, con lo cual al tener el bus de datos ocho bits, debemos asignar a cada placa dos direcciones consecutivas esta designación la logramos con siete mini-interruptores colocados de forma que su estado logico pueda ser 0 ó 1 según la posición en que se encuentren, el bit de dirección menos significativo no debemos tenerlo en cuenta en este primer paso, puesto que este en estado logico 1 ó 0 son los otros siete bits los que nos indicaran que la instrucción es para la placa.

Así lo que debemos hacer es comparar cada bit del bus de direcciones, con los estados en que estan las siete líneas que controlan los siete contactos de los mini-interruptores.

En esta comparación establecemos una salida a estado logico 1, cuando exista coincidencia entre cada bit de dirección que envia el microprocesador y la selección que efectuamos en cada contacto de los mini-interruptores.

Así la tabla de verdad para cada bit sera

Ax	Mi	Sx
0	0	1
1	1	1
0	1	0
1	0	0

Siendo Ax el bit de dirección corres. Mi el valor Logico, seleccionado em el mini-interruptor Sx salida correspondiente a la comparación de cada bit, con su contacto.

Luego $Sx = \overline{Ax} \cdot \overline{Mi} + Ax \cdot Mi$

Función exclusive-or, negada.

Podemos lograr esta función con una puerta excluxive-or, seguida de un inversor, a fin de ahorrar el inversor si introducimos en los mini-interruptores el complemento a uno de la dirección deseada, lo cual nos presenta un ahorro de dos pastillas por placa.

Asi la coincidencia debe ser con el complemento, la tabla de verdad:

Ax	Mi	Sx
0	0	0
1	0	1
0	1	1
1	1	0

que podemos resolver con las pastillas 74LS86, cada una contiene 4 puertas exclusive -or con lo cual con las dos pastillas tratamos las siete lineas de dirección.

Si deseamos darle a una placa la dirección X'BA' bastara que en los mini-interruptores coloquemos X'45', en binario B' 0 1 0 0 0 1 0 1' para lograr un cero con los interruptores

este debera estar cerrado. Y debe permanecer abierto para tener un uno logico luego para la selecciòn anterior debemos abrir los contactos 2 y 6 cerrando el resto.

Cuando el microprocesador, lee en memoria, alguna dirección puede ser memoria y de circuito de entrada/salida, de no diferenciar esto ambos elementos presentarian al bus de datos del microprocesador sus informaciones, con lo cual, no seria cierta la información en el bus en ninguno de ambos casos, para evitarlo solo permitimos la entrada de direcciones a la placa, o la salida de datos de ella con otras condiciones más cuando se trate de instrucciones de entrada/salida.

Para lograr esto empleamos las puertas 74LS125, sobre el bus de direcciones, el permiso de estas pastillas es negado, mientras que la señal IO/$\overline{M}$ que nos discierne entre entrada/salida y memoria es positivo en el caso de instrucción de entrada/salida. Por ello invertimos la señal antes de atacar las pastillas 74LS125 mediante el inversor

Las resistencias que ponemos, en las entradas a las pastillas 74LS86, nos evitaran poner la fuente de alimentación en cortocircuito al poner un cero logico a la entrada, atendiendo a un consumo minimo asignamos a estas resistencias un valor de 100 K

Con el uso de las pastillas 74LS86, tenemos siete señales a estado logico 1 cuando la instrucción del microprocesador se refiere a esta placa, para evitar tener que tratar siete señales las transformamos mediante la pastilla 74LS30, NAND de

ocho entradas en una sola, asi la salida de la pastilla, estare en estado logico cero, cuando la instrución de entrada/salida sea a las direcciones asignadas a esta placa, en caso contrario permanecera en estado logico uno.

Ahora bien con la señal, de la salida de la puerta 74LS30 diferenciamos que la transferencia, es para la placa de salida o entrada con la dirección asignada pero debemos determinar a que grupo de ocho bits nos referimos, si los de dirección superior o inferior, para ello decodificamos la señal anterior y el bit menos significativo de la dirección, en dos permisos S1 y S2 que cumplan, la siguiente tabla de verdad.

A_8	P	S1	S2
0	0	1	0
0	1	0	0
1	0	0	1
1	1	0	0

Así las salidas S1 y S2 cumpliran

$$S1 = \overline{A_8} \cdot \overline{P} \qquad \overline{S1} = A_8 + P$$

$$S2 = A_8 \cdot \overline{P} \qquad \overline{S2} = \overline{A_8} + P$$

La inversión del bit ocho la logramos, aprovechando que sobra una puerta en una de las pastillas 74LS86 uniendo una de las entradas a +5v.

S1 y S2 mediante dos puertas NOR (Z4 y Z6)

Con lo cual tenemos un permiso diferenciado, a estado logico uno, para cada grupo de ocho bits, a los que accedemos con cada dirección.

4.2. CIRCUITO DE CONEXION AL EXTERIOR

Esta interconexión esta realizada por 16 reles reed, empaquetados como si de un circuito integrado se tratasen, con ello logramos un total aislamiento entre los equipos de la estación y los de la estación remota inteligente, fin de tener mayor variedad en las posibles tensiones de entrada, se ha elegido no un relé sino, toda una familia, los CELDUC de la familia D-30 con lo que sin ninguna variación en el cableado de la placa, disponemos de varios tipos de reles a conectar variedad en cuanto a tensión de funcionamiento que pueden ser:

5,12,15.24 y 48v. Según la especificación técnica, para este caso seran aplicables las de nuestra alimentación es decir +5v.

A fin de que la correspondencia en el bus de datos con los equipos de la central, sea:

no activo	cero logico
activado	uno logico

Se han puesto las pastillas Z1,Z2,Z8 y Z9 que nos realizan una inversión de los datos procedentes del exterior, cuando ya el microprocesador desea tomar los ocho datos de una dirección especifica.

4.3. CIRCUITO DE CONEXION AL BUS DE CONTROL

Al microprocesador solo le interesa, que los datos procedentes del exterior, esten en el bus de datos en su impulso de $\overline{RD}$ que es el momento en que se realiza la transferencia, para nosotros esta señal $\overline{RD}$ la transformamos en $\overline{IO/R}$ en la placa de CPU, luego con esta señal deben ponerse los datos externos sobre el bus para ello creamos dos nuevas señales PB1 y PB2 tal que cumplan las siguientes tablas de verdad:

S1	IO/R	PB1
0	0	1
0	1	1
1	0	0
1	1	1

S2	IO/R	PB2
0	0	1
0	1	1
1	0	0
1	1	1

Asi:

$$PB1 = \overline{S1} + IO/R \qquad y \quad PB2 = \overline{S2} + IO/R$$

ó lo que es igual:

$$\overline{PB1} = S1 \cdot \overline{IO/R} \qquad y \quad \overline{PB2} = IO/R \cdot S2$$

ecuaciones que logramos en la pastilla Z7, cuatro puertas NAND, en sus patillas 6 y 8 con estas señales atacamos los permisos de las pastillas con las que accedemos al bus de datos del microprocesador.

4.4. CONSUMOS DE CORRIENTE

La alimentación de 5v de la placa debera ser capaz de proporcionarnos la alimentación para las siguientes pastillas.

6	pastillas	74LS125	consumiran	66 m.A.
2	"	74LS86	"	12,2 m.A.
1	"	74LS02	"	2,8 m.A.
5	"	74LS00	"	12 m.A
1	"	74LS30	"	0,6 m.A.

El consumo en las resistencias puede considerarse despreciable, luego el consumo de +5v de la tarjeta sera 93 m.A.

En el caso de alimentar los reles con +5v de la placa debemos preveer en el peor de los casos (sera que actuan los 16 reles), teniendo en cuenta que la resistencia de la bobina es de 500

$$Ir = \frac{5v}{500\,ohm} \cdot 16 = 160 \text{ m.A.}$$

Lo que nos indica un consumo maximo por placa de 253 m.A

Los condensadores de descopio se calcularan igual que en las otras placas

C1 10 ηF

C2, C3. C4, C5 y C6 2,2 μF

4.5. CIRCUITO DE ALIMENTACION

Al igual que en las placas de entradas analogicas, la alimentación es independiente para cada placa, a partir de una tensión de corriente continua de 12,5v con la que llegamos a la placa, y mediante un estabilizador de tres patillas de +5v y hasta 1 Amperio.

A fin de que la temperatura en la unión del regulador de 5v no supere la maxima permisible y colocar el regulardor sin disipador colocamos en serie con el regulador una resistencia R1.

Para el calculo de esta resistencia, debemos tener en cuenta el consumo maximo de la placa que podra ser 253 m.A, en estas condiciones la entrada al regulador debe ser como ninimo 7v.

Podemos suponer que tenemos 0,5V de caida de tensión entre la fuente y la placa, con lo que tendremos, que pueden estar compensadas en el caso de una variación de 10% a la entrada, si la entrada tiene -10% de la tensión nominal.

$$R1 = \frac{12,5 \cdot 0,9 - 0,5v - 7v}{253 \text{ m.A.}} = 14,8 \text{ ohm} \rightarrow 13 \text{ ohm}$$

La potencia que consumira en este caso sera

P = 0.253.13 = 0,83 W luego R1 = 13 ohm 5% 1W

y la potencia en el regulador: P= 2v. 0,244m.A. = 0,48W

En el caso de máxima consumo la entrada al regulador sera

en caso de 10% de variación.

V r = 1,1 . 12,5 - 253 m.A. 13 ohm - 0,5v = 9,96v

luego la tensión entre la entrada y la salida del regulador sera 4,59v y la potencia a disipar

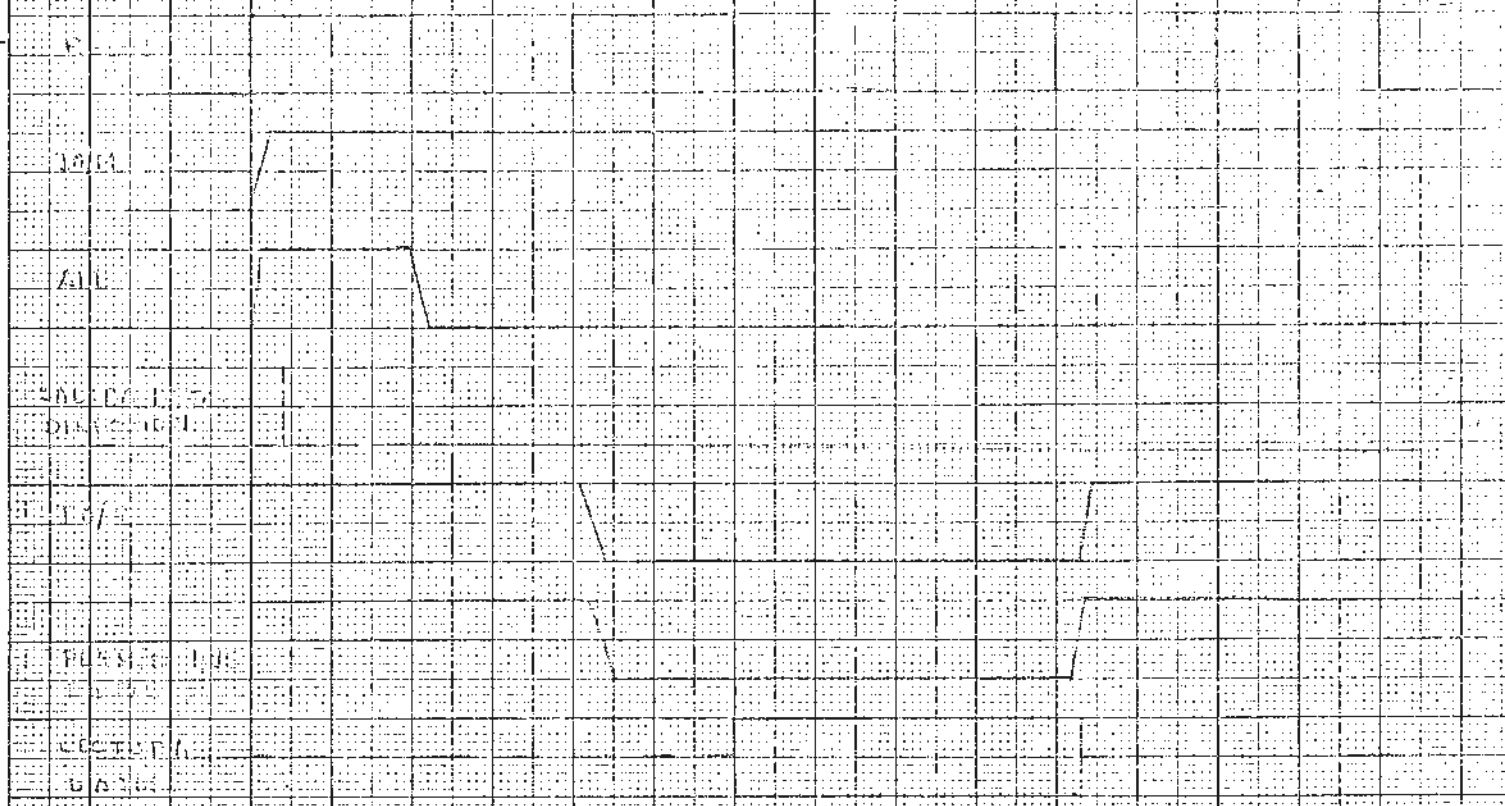
P = 4,96 . 0,253 = 1,25W

1,28W si tenemos en cuenta el consumo del regulador (6 m.A.) en cualquiera de los dos casos, no necesitamos disipador. No sobrepasamos la temperatura de la unión sin el. Ya que la resistencia termica para el LM-309K es de 35ºC/W.

Los condensadores C7 y C8 según recomendación del fabricante del regulador seran: C7 ; 2,2 μF

C8; 0,1 μF

4.6.-



Seeds Tied to Bedraggled Cassava

5. TARJETA DE SALIDA DIGITALES

El esquema eléctrico de la placa está representado en el plano nº 02.07, en el podemos ver diferenciadas las si -- guientes partes:

La conexión al bus de datos compuesto por dos pastillas 74LS125, la unión al bus de direcciones formado por otras dos pastillas del mismo tipo, del bus de control tomamos las señales $\overline{IO/M}$, $\overline{IO/W}$ y RESET OUT; y la salida de las - señales hacia el exterior.

Las señales que el microprocesador produce para realizar una instrucción de salida a un circuito externo son:

- La dirección del circuito al que quiere realizar la - transferencia, sale doblado en las líneas de dirección - 0 a 7 y en las 8 a 15.

- Al ser una instrucción de salida a un circuito externo la señal IO/M, estará a un nivel lógico 1.

- Posteriormente saldrán los datos, que el microprocesador desea enviar al dispositivo de entrada/salida por las líneas donde salieron, durante el estado T1 la dirección - del dispositivo, estas líneas para nosotros están separadas en el bus de datos.

- Los datos van acompañados de la señal WR en estado lógico cero, en nuestro caso equivalente a la señal IOW.

Con estas señales debemos realizar la transferencia de - los datos.

5.1. DECODIFICADOR DE DIRECCIONES

En primer lugar debemos saber si estos datos, son para una placa determinada. A fin de aprovechar el espacio de cada placa, hemos puesto 16 salidas en

cada una, con lo cual al tener el bus de datos ocho bits, debemos asignar a cada placa dos direcciones consecutivas esta designación la logramos con 7 mini-interruptores colocados de forma que su estado lógico pueda ser 0 ó 1 según la posición en que se encuentren, el bit de dirección menos significativo no nos interesa supuesto que en cualquiera de los estados lógicos en que se encuentre, nos referimos a la placa. Así lo que debemos hacer es comparar cada bit del bus de direcciones, la mitad ya que está duplicado, con los estados en que están las siete líneas que controlan los siete contactos de los mini-interruptores.

Sx = 1 en caso de que coincidan la dirección Ax y el valor en el mini-interruptor luego la tabla de verdad para cada bit x será:

Ax	Mi	Sx
0	0	1
1	1	1
0	1	0
1	0	0

$$Sx = \overline{Ax} \cdot \overline{Mi} + Ax \cdot Mi$$

Función exclusive-or, negada

Podemos lograr nuestro propósito con una puerta OR-exclusive, seguida de un inversor, podemos ahorrar el inversor si introducimos en los mini-interruptores el complemento a uno de la dirección deseada, con lo cual evitamos dos pastillas en la placa.

Asi en nuestro caso la coincidencia debe ser con el complemento asi la tabla de verdad:

Ax	Mi	S
0	0	0
1	0	1
0	1	1
1	1	0

Representada por la ecuación

$S = Ax \cdot \overline{Mi} + \overline{Mi} \cdot Ax$

que coincide plenamente con la función exclusive-or, que es la que realiza cada puerta de la pastilla 74LS86 que hemos usado.

Cuando el microprocesador, lee o escribe en memoria la dirección de esta posición, puede coincidir con la de una placa con la consiguiente mezcla de informaciones en el bus de datos, que no serían verdaderos, para evitarlo sólo permitimos la entrada de direcciones a la placa cuando se trate de una instrucción de entrada/salida. Esto lo logramos, mediante las puertas 74LS125 a las que atacan el bus de direcciones. El permiso para realizar la transferencia lo conectamos a la señal IO/$\overline{M}$, ésta será un 1 lógico cuando trata de instrucciones de entrada/salida, el permiso de la 74LS125 es negado, luego debemos invertir esta señal, cosa que realizamos mediante el inversor

Las resistencias, que ponemos, en las entradas a las pastillas 74LS86, nos evitan poner la fuente de alimentación en corto circuito al poner un cero lógico a la entrada, atendiendo a un consumo mínimo asignamos a estas resistencias un valor de 100 K

Con el uso de las pastillas 74LS86, tenemos siete señales a estado lógico uno cuando la instrucción del microprocesador se refiere a esta placa, para evitar tener que tratar siete señales las transformamos mediante la pastilla 74LS30, NAND de ocho entradas en

una sola, así la salida de la pastilla estará en estado lógico cero, cuando la instrucción de entrada/salida sea a las direcciones asignadas a esta placa, en caso contrario permanecerá en estado lógico cero.

Ahora bien con la señal, de la salida de la puerta 74LS30 diferenciamos que la transferencia, es para la placa de salida o entrada con la dirección asignada pero debemos determinar a que grupo de ocho bits nos referimos, si los de dirección superior o inferior, para ello decodificamos la señal anterior con el bit menos significativo de la dirección, en dos permisos S1 y S2 que cumplan la siguiente tabla de verdad

A8	P	S1	S2
0	0	1	0
0	1	0	0
1	0	0	1
1	1	0	0

Asi la salida

$S1 = \overline{A8} \cdot \overline{P} \qquad \overline{S1} = A8 + P$

$S2 = A8 \cdot \overline{P} \qquad \overline{S2} = \overline{A8} + P$

La inversión del bit 8 la logramos aprovechando que sobra una puerta en la pastilla 74LS86 uniendo una de las entradas a + 5v.

S1 y S2 mediante dos puertas NOR.

Con lo cual tenemos un permiso a estado lógico uno para, cada dirección completa de ocho bits.

5.2. INTERCONEXIÓN AL BUS DE DATOS

Los datos procedentes del microprocesador nos vendrán por el bus de datos, posteriormente al envío de la dirección del circuito de entrada/salida al que quiere enviarlos.

Para dejarlos "pasar" a la tarjeta se debe cumplir - de una parte que el ciclo del microprocesador sea de entrada/salida, de otra que sea a esta placa a la que desea tener acceso.

El permiso de las pastillas 74LS125 conectadas al bus de datos debe cumplir la siguiente tabla de estados

IO/M	P	PER
0	0	1
0	1	1
1	0	0
1	1	1

Luego

$PER = P + \overline{IO/M}$

Lo que a efectos de economía, para no añadir puertas OR, realizamos con una puerta NOR y un inversor.

5.3. INTERCONEXIÓN AL EXTERIOR

Hasta ahora, con los cálculos lógicos anteriores, llegamos a tener un permiso cuando la instrucción del microprocesador se refiere a circuitos de entrada/salida y es a ocho puntos de salida de una placa determinada. Por otro lado con estas condiciones hemos abierto el bus de datos a esta placa.

Ahora bien todavía no se ha efectuado ninguna transferencia del microprocesador a los circuitos exteriores.

Los datos en el bus del microprocesador durarán del - orden de los nanosegundos, con este tiempo los equi--

pos normales que se encuentren en una estación tipo reles no se darán por enterados de esta variación, - luego debemos preveer un circuito que nos mantenga - estas órdenes de salida del microprocesador, para - ello, empleamos dos pastillas 74LS273 que consiste - cada una en ocho biestables, disparados en el flanco.

Los datos en el bus de datos del microprocesador, - son válidos en el flanco de subida de la señal $\overline{WR}$. Para nosotros, esta señal, se nos transforma en IO/W, con la misma característica de $\overline{WR}$, activa cuando esta en nivel bajo, así el reloj de cada biestable debe tener un impulso de subida, con la subida de IO/W, es decir, debe cumplirse la table de estados siguiente:

$\overline{IO/W}$	P	CLK
0	0	1
0	1	0
1	0	1
1	1	1

$$CLK = \overline{IO/W} + \overline{P}$$

$$\overline{CLK} = IO/W \cdot P$$

Función que realizamos, invirtiendo $\overline{IO/W}$ después realizamos, el producto invirtiendo la salida con una - puerta NAND para cada biestable. Ya los datos son válidos aunque desaparezcan del bus de datos del microprocesador. Como último paso empleamos reles, a fin de obtener aislamiento eléctrico entre el equipo supervisor y el supervisado. Para atacar los reles de forma adecuada, un cero en el bus de datos, represente un contacto abierto, un uno en el bus de datos represente un contacto cerrado, y con la corriente suficiente, se ataca cada salida de los biestables a - un inversor de colector abierto 7416, cuya carga es

bobina del relè de salida.

En caso de fallo de alimentaciòn o de programa, los biestables de las pastillas 74LS273 quedaràn, con valores lògicos aleatorios, por lo que se ha previsto, que se pongan a cero con la señal RESET OUT.

5.4. CONSUMOS DE CORRIENTE

La alimentación de + 5v. de la placa deberá ser capaz de proporcionarnos alimentación para las siguientes pastillas:

4 pastillas	74LS125	consumirán	44 m A
2 pastillas	74LS86	consumirán	12,2 m A
1 pastilla	74LS02	consumirá	2,8 m A
1 pastilla	74LS00	consumirá	2,4 m A
1 pastilla	74LS30	consumirá	0,6 m A
3 pastillas	7416	consumirán	96 m A

El consumo en las resistencias por su alto valor puede considerarse despreciable con lo que el consumo de + 5v será de 158 m A.

Consumo este que se verá incrementado con la corriente de la bobina de los relés. Ésta será:

$$I_R = \frac{5v}{500} \cdot 16 = 160 \text{ m A}$$

luego el total puede ser de 318 m A.

Los condensadores de desacoplo se calculan, de modo similar a las otras placas siendo

C1 ceramico 10 F/63v

C2, C3, C4, C5, C6 de tantalo 2,2 μF/16v.

5.5 CIRCUITO DE ALIMENTACIÓN

Se pueden hacer las mismas consideraciones que las realizadas, en las anteriores placas, la obtención de los + 5v para la alimentación del problema del disipados para el regulador tiene las mismas consideraciones, variándonos los consumos de la placa, así:

$$R1 = \frac{0,9 \cdot 12,5v - 7v - 0,5}{318 \text{ m A}} = 11,79 \text{ ohm}$$

Y la potencia que consumirá en este caso será, siendo

el valor comercial 11

$P = 11 \text{ ohm} \cdot 0{,}318 \text{ Amp} = 1{,}11 \text{ w}$

luego R1 = 11 ohm 2 w . 2%

Para estas condiciones la potencia en el regulador valdrá

$P_R = (0{,}9 \cdot 12{,}5 - 0{,}5 - 11 \cdot 0{,}318 - 5)\ 0{,}318 = 0{,}71\text{w}$

En el caso de estar todos los relès actuados esta potencia valdrà con una variaciòn en la entrada de + 10%

$P = (12{,}5 \cdot 1{,}1 - 11 \cdot 0{,}318 - 5)\ 0{,}318 = 1{,}51 \text{ w}$

Para este caso la temperatura en la uniòn del regulàdor serà suponiendo el ambien a 30º

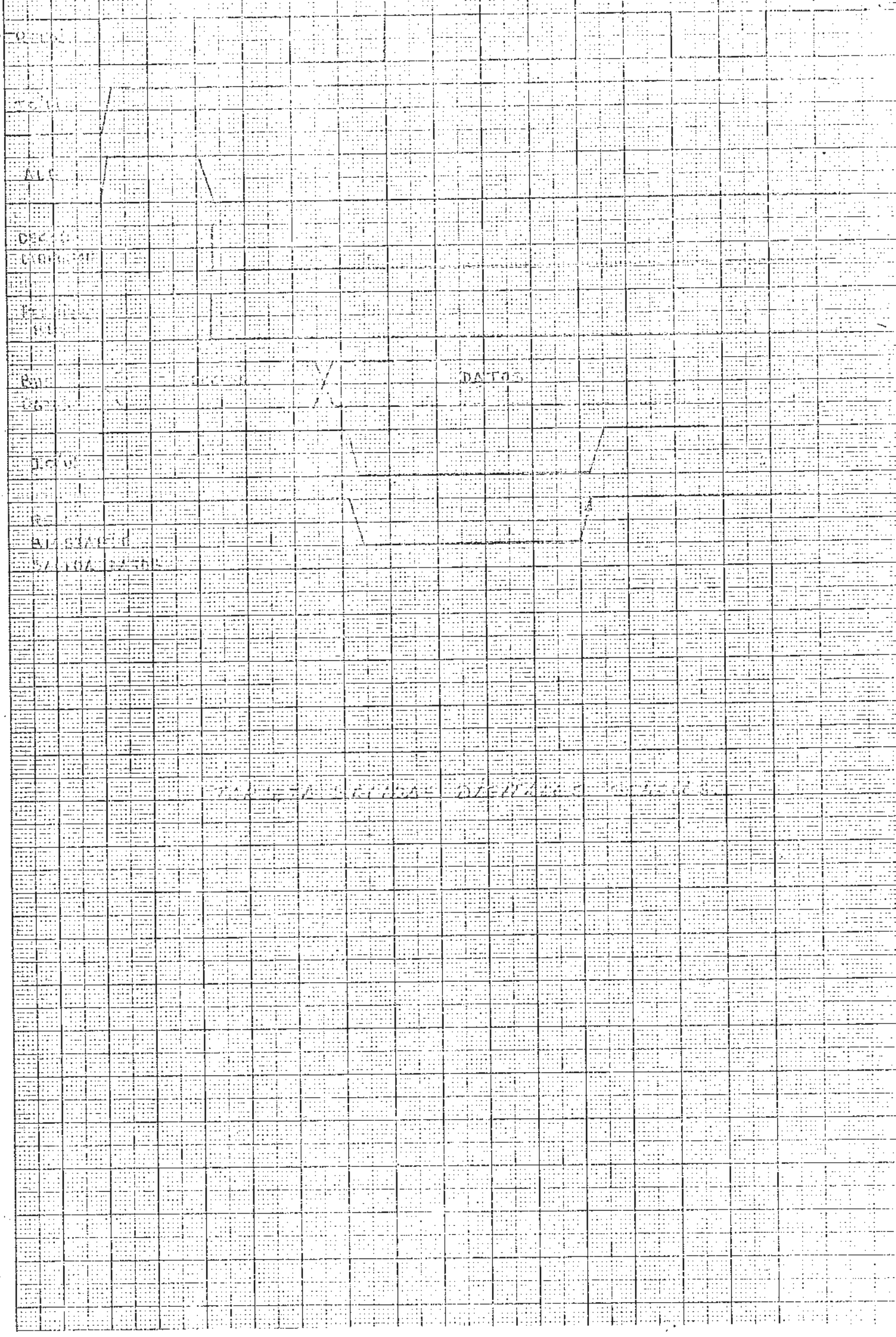
$Tj \leq Ta + P \cdot R_{\tau j\text{-}a} = 30º + 35 \cdot 1{,}51 = 83º\ C$

Lo cual està muy por debajo de la permisible que es 125ºC por lo que no es necesario el uso del disipador.

C7 y C8 C7 = 2,2 F/16v

C8 = 1,1 F/16v

5.6.-



6. FUENTE DE ALIMENTACIÓN

El máximo consumo que puede tener la fuente de alimentación, se nos dará para un sistema en el que no empleen, todas las memorias, y la capacidad total de puertos de exploración y distribución.

El consumo será aún desfavorable si las entradas son todas digitales, y se emplean reles como elementos de actuación y exploración, reles que se alimentan desde los +5 v de la fuente de alimentación. La composición que emplearemos para el cálculo de la corriente máxima será, memoria completa, placa de CPU, seis placas de entradas digitales de reles y seis placas de salidas de reles alimentadas, reles incluidos, de los +5 v de la fuente de alimentación.

6.1. CONSUMO MÁXIMO

Según la composición mencionada arriba el consumo máximo de +5 v será:

CPU	826 m.A
Memoria	1639 m.A
6 entradas reles	1518 m.A
6 salidas reles	1908 m.A

Lo que nos representa una corriente total de : 5.891 m.A en principio no habría ningún problema para el diseño de una fuente de alimentación de +5 v para este consumo, ahora bien se nos presentaría un serio problema en la distribución de esta alimentación a través del bastidor en que va acoplada la estación remota inteligente, ya que las pistas de circuito impreso a utilizar para lograr que las caídas de tensión, no

afectaran el buen funcionamiento de los circuitos integrados que alimentan, deberían ser demasiado grandes siendo problemática el correcto funcionamiento de todas las placas, por los márgenes de funcionamiento de estos circuitos integrados.

La solución que hemos adoptado, es que la fuente de alimentación unicamente alimente las memorias y la CPU, y distribuir a traves de la placa posterior del bastidor la tensión sin estabilizar, procediendo a ello en cada placa de entrada/salida, con lo cual la caida de tensión que pueda haber en la distribución será un factor de ayuda en los reguladores empleados.

Asi la fuente de alimentación será la necesaria para darnos +5 v, 2,5 Amp y la tensión continua para alimentar el resto de los estabilizadores.

6.2. COMPONENTES DE LA FUENTE DE ALIMENTACIÓN

La fuente de alimentación ira montada como una tarjeta mas, en el primer lugar del chasis donde va contenida la estación remota inteligente, por tanto una limitación importante, es el espacio a ocupar, por esta caracteristica el transformador elegido es de tipo toroidal, dentro de la gama standard que nos proporciona el fabricante el CS - 8210, con tensión de secundario 10 v y 8 amp es el mas indicado para nuestra aplicación.

Las corrientes que atraviesan el regulador y el transistor de potencia, podemos fijarlas con los valores de las resistencias R1 y R2 asi suponemos

IR = 0,2 Amp

IT = 2,3 Amp

por otra parte para evitar la posible saturación del transistor de potencia debemos preveer una caida de - 4 v entre colector y emisor, en el peor de los casos que sera con V nominal - 10%, asi pues la caida en R1 será:

$VR1 = Vc - Vce - Vr - Vs = 0,9\sqrt{2}\ 10 - 2.0,7 - 4\ v - 5\ v = 2,32\ v$

La corriente que atraviesa esta resistencia sera la de colector del transistor de potencia, mas la de la base del transistor que lo ataca.

$$I_{R1} = 2,3\ Amp \quad \frac{2,3\ Amp}{h_{F1}\ h_{F2}} = 2,3\ Amp \quad \frac{2,3\ Amp}{40.20} = 2,302\ Amp$$

Con lo cual

$$R_1 = \frac{2,32}{2,30}\ Amp = 1\ ohm$$

$P_{R1} = R_1 I^2 = 2,3^2\ 1 = 5,29\ w$ —— R1 = 1 ohm/10w/2%

$$R_2 = \frac{I_T}{I_R} R1 = \frac{2,3\ Amp}{0,2\ Amp}\ ohm = 11,5\ ohm \qquad R2 = 11ohm$$

$P_{R2} = R2I^2 = 11 \cdot 0,2 = 0,44\ w$ R 2 = 11ohm/1w/5%

Diodo D capaz de aguantar 200 mA —— In - 914

R debe suministrar la corriente necesaria a la base del transitor asi

$$R3 = \frac{V}{I} = \frac{1,5\ v}{2,87\ mA} = 521\ ohm \qquad R_3 = 510\ ohm/5\%/1/8W$$

Los condensadores C , C y C vienen recomendados por el fabricante de los reguladores, para mejorar la respuesta frente a posibles transitorios

C3/10 μF tantalo/ 16 v

C2 /47 nF/63 v

C1 de tantalo 2,2μF/16 v

El transistor de potencia en las peores condiciones, màxima carga y màxima tensión permitida de Enominal - +10% tendra que disipar una potencia de:

Pt = (1,1 . 12,5 v - 2,3 Amp . 1 ohm - 5 v) 2,3 Amp =

= 14,83 w

el transistor que emplearemos será el 2 N 3055 nos cumple sobradamente estas características, ahora bien hemos de disponer de un disipador.

Si la temperatura de este la suponemos de 60º, la resistencia térmica que debe tener el disipador sera:

$$Rth = \frac{Tj - Td}{P} = \frac{200-60}{14,83 \text{ w}} = 9,85 ºC/W$$

de la casa SIDEVAN podemos tomar uno de la serie 13.

El transistor empleado para atacar este sera el 2 N-4030 en la condición anterior su consumo sera:

Ptrans = Vce . Ic

Vce = 1,1 . 12,5 v - 2,3 Amp . 1ohm - 5 v - 1,5 v = 4,9 v

$$IC = \frac{2,3 \text{ Amp}}{20} = 115 \text{ mA}$$

Asi la potencia será

P = 4,9 v . 0,115 mA = 0,563 m W

por lo que no es necesario el uso de disipador.

En el regulador la potencia a disipar será:

Pr = (1,1 . 12,5 v - 2,3 . 1ohm - 5 v - 0,7 v) 0,2 Amp

1,15 w

por lo que con resistencia térmica 35º C/w, no es necesario el uso de un disipador.

Para calcular el condensador del filtro, en una fuente de alimentación convencional, deberiamos atenernos al rizado máximo que queremos en la salida. En nuestro caso tenemos una caracteristica mas restrictiva, cuando falle la alimentación debemos, tan rápido como nos sea posible avisar al microprocesador, cosaque logramos con un nivel alto en la entrada TRAP; darle un tiempo para que el microprocesador introduccа en memoria RAM no volatil los datos con los que esta trabajando después de esto la alimentación puede bajar de +5 v supuesto que el microprocesador ya habra terminado su trabajo y estará esperando esa caida de alimentación.

La tensión en el condensador vendra dada por

$$Vc = \sqrt{2}\ Vsec - 2\ Vdiodo = 12{,}5\ v$$

Cuando la alimentación falla, la tensión en el condensador, comienza a descender, la tensión en el condensador en función del tiempo vale:

$$Vct = Vco \cdot e^{\exp \frac{-1}{RC} T}$$

Siendo en nuestro caso la R min:

$$R = \frac{5\ v}{I\ max} = \frac{5v}{5{,}83\ Amp} = 0{,}85$$

El regulador de tensión, dejara de regular, cuando en su entrada tenga aproximadamente 7v, Vo + 2v que nos indica el fabricante, lo que supone en los extremos del condensador:

$$Vc = 7v + Vd + Ir.R2 = 7v + 0{,}7v + 15 \cdot 0{,}15v = 9{,}95\ v$$

para tener un tiempo de detección de 4 m-sg, puesto que menor nos obligaría a una capacidad, prohibitiva por su espacio, el valor de C debe ser:

$$Vct = Vot \quad e. \exp - \frac{1}{RC} T$$

$$C = - \frac{t}{R \ln \frac{Vt}{Vo}} = \frac{4 \cdot 10^{-3}}{0,85 \ln \frac{12,5}{10}} = 20.900 \mu F$$

Lo que nos lleva a una capacidad de 22.000 μF/16v.
La resistencia R II nos limita, la corriente por el diodo luminescente a 10 mA
R II = 470 Ω 5% 1/8 w

6.3. CIRCUITO DE DETECCIÓN DEL FALLO DE ALIMENTACIÓN

El circuito esta representado junto con el de la fuente de alimentación. En paralelo con el secundario del transformador, efectuamos otra toma mediante, otro pequeño rectificador puente, al que no conectamos ninguna capacidad, con lo cual en la carga, tendremos la tensión alterna rectificada. Ver señales en hoja

Esto nos proporcionara un impulso cada 10 m sg, el ancho de este impulso vendra dado, por el tiempo que la onda rectificada, con una amplitud de 12,5 v, llega a saturar el transistor TR1, con la resistencia R2 en serie con la base.

Cuando termina la saturación de TR1 disparamos un monoestable redisparable, cuyo tiempo de disparo debe ser ajustado a un tiempo menor del tiempo que el transistor, no esta saturado a fin de evitar posibles diferencias entre transistores se ha puesto un potenciometro en vez de una resistencia para un posible ajuste, lo mismo la salida del biestable que el colector del transistor TR1 estaran la mayor parte de los 10 m sg de cada ciclo en nivel bajo, con lo cual la salida

de la puerta donde se realiza con ellos una función - NAND, estara en nivel alto como vemos en la figura, - permitiendo que el astable formado por la puerta NAND siguiente y el circuito R C formado por R y C oscile, estas oscilaciones se transmiten, disparandole cada - flanco de subida a un segundo monoestable cuyo período es mayor que la frecuencia del astable disparado - con el primer impulso en su salida negada, no volvera a aparecer un nivel alto mientras todo funcione co -- rrectamente.

En el momento que la tensión de entrada caiga el astable detiene sus oscilaciones, con lo que no se vuelve a disparar el segundo monoestable, luego detectamos - la falta de alimentación en un tiempo que como luego veremos tendra como valor máximo el tiempo completo de disparo del segundo monoestable mas un tiempo adicional.

La tensión en la salida del puente sera en valor instantaneo para cada semiciclo de entrada.

$v = V_{max} \text{ sen } wt$. Con $V_{max} = \sqrt{2} \; V_{secu} - 1{,}4 \text{ v}$

y $w = 2 \cdot \pi \cdot 50$ rad/sg.

asi $v \simeq 12{,}5 \text{ sen } wt$ para $v > 1{,}4v$

el transsistor TR3 que emplearemos es el 2N - 2222, - cuya ganancia Hfe es del orden de 100 minimo, luego si hacemos la resistencia de colector R7 igual a 1 KΩ , para la saturación

$$I_c = \frac{5 \text{ v} - V_{cesat}}{1 \text{ K}} = 4{,}8 \text{ m A.}$$

la saturación del transistor llegara en el punto de la

onda de altern. que proporcione a la corriente de base una intensidad de :

$$Ib = \frac{Ic}{Hfe} = \frac{4,8\ mA}{100} = 48\ \mu A$$

La intensidad de la base esta limitada por R6 en función de ella esta corriente valdra:

$$Ib = \frac{(12,5\ sen\ w\ t - Vbe)}{R6}$$

para que el ancho del impulso sea aproximadamente de 500 μsg. suponiendo constante Vbe = 0,7 v

$$R6 = \frac{12,5\ sen\ 314.250.10^{-6} - 0,7}{48\ \mu A} = 5838\ ohm$$

R6 = 5,6 K 1/8 w 5%

El tiempo del primer monoestable debe ser aproximadamente el 50% del tiempo anterior asi T = 250 μsg el tiempo de salida del monoestable viene dado por la formula:

Tw = 0,45 . R8 . C4

luego la constante de tiempo R8 C4 será 555 μsg., supo nemos C4 constante de 47 nF

$$R8 = \frac{555 \cdot 10^{-6}}{47 \cdot 10^{-9}} = 11,8\ K$$

R8 potenciometro 20 K

Para tener unasreferencias, mas constantes, las pastillas NAND que empleamos son Schitt-Trigger con lo cual el voltaje en el condensador C6 variara entre 0,8 y - 1,6 v que son márgenes en que conmuta de estado lógico la pastilla 74LS132 y que nos vienen fijadas por - el fabricante.

La resistencia de carga del condensador nos viene fija

da, por R10 mas 120Ω que tiene la pastilla 74LS132 en el circuito de salida.

La resistencia de descarga, es practicamente la R10, ya que en serie tiene la salida de la puerta que es el colector de un transistor en saturación.

Cuanto mayor sea la frecuencia, menor será el tiempo de detección en caso de fallo de alimentación.

Asi pues suponemos el tiempo de carga y descarga del condensador igual a 50μsg , nos quedará para la carga:

$$Vt = Vo + Vcc\ (1 - e^{-1/RC \cdot t})$$

$$1{,}6\ v = 0{,}8v + 5v\ \ (1 - e^{-\frac{1}{RC} \cdot 50\mu sg})$$

$$0{,}174RC = 50 \cdot 10^{-6}$$

Para la descarga

$$Vt = Vo\ \ e^{-1/R1C \cdot t}$$

$$-\ln \frac{0{,}8}{1{,}6} = \frac{50 \cdot 10^{-6}}{R1\ C} \qquad 0{,}69 = \frac{50 \cdot 10^{-6}}{R1\ C}$$

Con ambas ecuaciones obtenemos:

$$0{,}174 = \frac{50 \cdot 10^{-6}}{RC} \qquad RC = 2{,}87 \cdot 10^{-4} \quad (1)$$

$$R1C = 7{,}24 \cdot 10^{-5} \quad (2)$$

Con R1= R - 120

de la ecuación (1) obtenemos $R = \frac{2{,}87 \cdot 10^{-4}}{C}$

entrando en (2)

$$\left(\frac{2{,}87 \cdot 10^{-4}}{C} - 120\right) C = 7{,}24 \cdot 10^{-5}$$

$$2{,}87 \cdot 10^{-4} - 120\ C = 7{,}24\ \ 10^{-5} \qquad C = 1{,}78\mu F$$

con lo que $R = \frac{2,87 \cdot 10^{-4}}{1,78 \; 10^{-6}} = 161$ Ohm

Si tomamos el valor comercial inferior de condensador

C6 = 1 μF /16v electrolitico

R10 =160 Ω 5% . 1/8 w

Con estos valores, los tiempos de subida y bajada serán de :

$$Vt = Vo \quad Vcc \, (1 - e^{-\frac{1}{RC} t})$$

luego,

$$1,6v = 0,8v \quad 5v - 5 \, e^{-\frac{1}{280.10^{-6}} .t}$$

$$4,2v = 5 \, e^{-\frac{1}{280.10^{-6}} .t}$$

$$\ln \frac{4,2}{5} = -0,174 = -\frac{10^6}{280} \cdot t$$

$$ts = \frac{280 \cdot 0,174}{10^6} = 48,72 \, \mu \, sg$$

la bajada

$$Vt = Vo \quad e^{-\frac{1}{RC} t}$$

con lo que nos queda:

$$0,8 = 1,6 \, . \, e^{-1/RC \cdot t}$$

$$\ln 0,5 = -\frac{1}{RC} \quad t \qquad\qquad 0,69 = \frac{1}{160 \cdot 10^{-6}} \quad t$$

$$t = \frac{160 \cdot 0,69}{10^6} = 110 \, \mu \, sg$$

lo que nos da una frecuencia aproximada en la salida de la segunda puerta NAND de 6300 KHz, sera algo inferior ya que en los tiempos en que la onda de entrada rectificada no dispara el transistor TR1, el condensador toma mayor carga que la correspondiente a 1,6 v., lo cual nos vale para la detección dentro de los 4 m sg previstos para los que se calcula el condensador de filtro.

Asi pues disparamos, el segundo monoestable cada 160 μsg aproximadamente, ahora bien se puede dar el caso, que el impulso de disparo practicamente coincida con la puesta a cero de la salida NAND de la primera puerta, por lo tanto debemos preveer para este monoestable un tiempo mayor que la suma de ambos, asi:

Tmono = 160 + 250 = 410 μsg

Tomaremos un tiempo de 500 μsg, para que en condiciones normales, se nos dispare en todos los casos.

Tw = 0,45 C5 . R9 = 500 μ sg

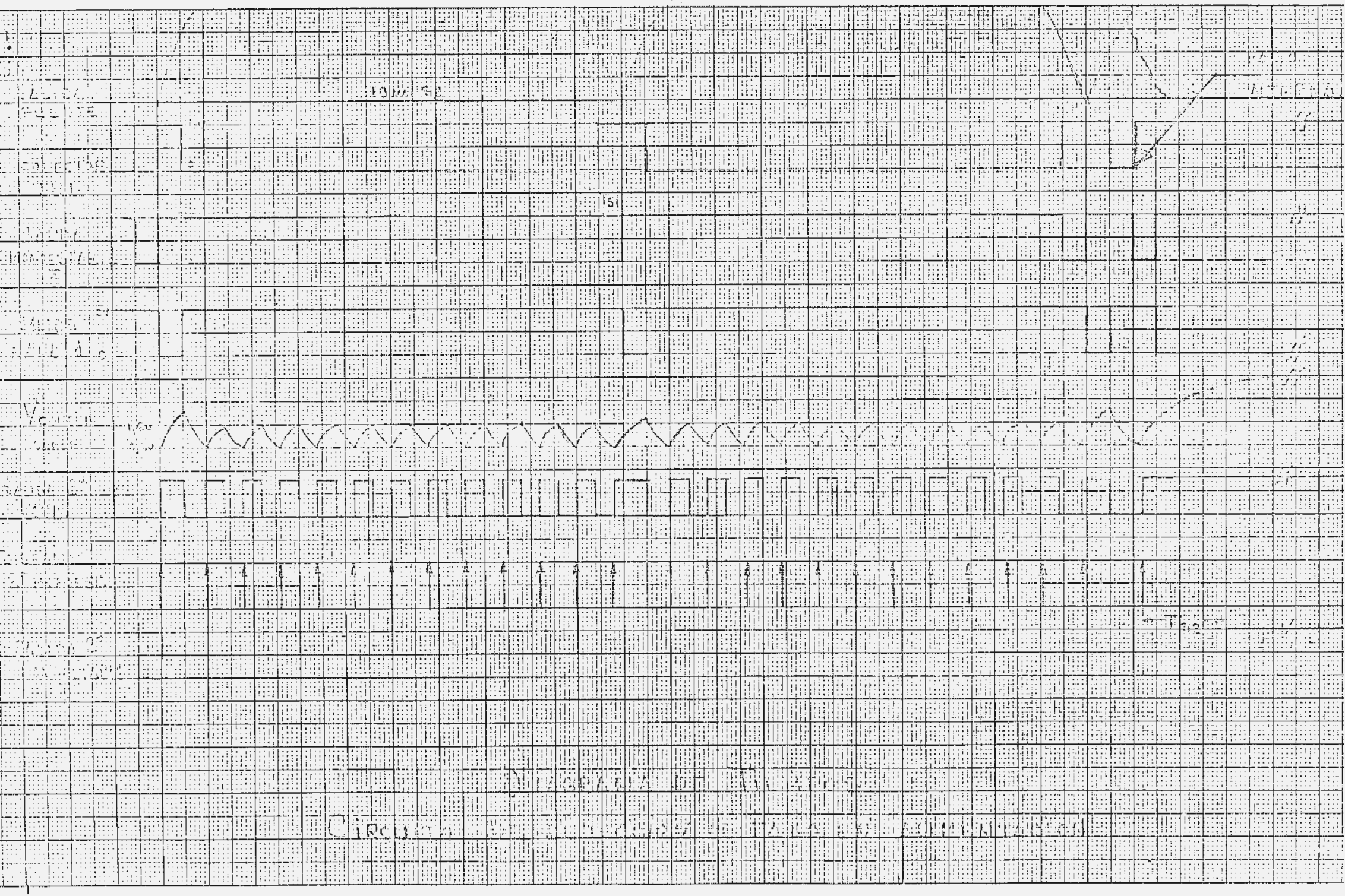
de donde obtenemos R9 . C5 = 1,11 m sg

Tomamos C5= 68 nF

R9= 16,3 K R9 = 20 K ajustable.-

El tiempo en que detectaremos la caida de tensión será como máximo del tiempo de este monoestable, mas el de la duración del primero, es decir 750 sg. Este será el tiempo en el que el microprocesador, se entera por medio de la señal FDA , conectada a su entrada TRAP que hay un fallo de alimentación, tiene mas de tres milisegundos para prepararse para esta caida de tensión,

en este tiempo almacenara en memoria RAM no volatil todos aquellos datos que le interesen, para continuar después que la alimentación vuelva a su valor normal.



ESTUDIO ECONOMICO

E S T U D I O E C O N O M I C O

ÍNDICE

1. PREVISIONES

1.1. ANALISIS DE NECESIDADES

Ya se comento en la memoria que el funcionamiento de la estación remota podía sera autonomo, o conectado a un centro de control que realizara la supervisión de un sistema más complejo.

Esta segunda aplicación, es la esencial para la estación remota inteligente y sera, con los supuestos que se contemplan en el apartado correspondiente, el caso que estudiaremos para ver la rantabilidad del proyecto en cuestión.

El ejemplo que tomaremos sera una red de enlaces Hertzainos.

La conexión a realizar sera de 15 estaciones a un centro de control.

1.2. COMPOSICION DE LAS ESTACIONES REMOTAS

Los equipos a supervisar seran:

- Del enlace propiamente dicho

  Sean suficientes dos entradas analogicas y una digital.

  Las entradas analógicas seran proporcionales a:

  - Potencia Recibida
  - Potencia Emitida

La entrada digital nos indicara:

- Funcionamiento o no del oscilador regenerador de portadora.

- De la alimentación.

para la supervisión del sistema de alimentación necesitarenos seis entradas analogicas y una digital

La entrada analogica nos daran:

- Tensión de red -tres fases
- Tensión en el grupo electrogeno-tres fases.

La entrada digital nos proporcionara

- Nivel de gasoil por encima de un valor minimo para el grupo electrogeno.

Además estan previstos controles para:

Conectar/desconectar la estación

Encendido/apagado de Balizas.

- Auxiliares

Tienen principalmente caracter de seguridad y se emplearа su supervisión,una entrada analoga y cuatro entradas digitales

La entrada analogica nos proporcionara la temperatura de la caseta.

las entradas digitales de correspondenan con:

- detector de humos
- apertura de puertas
- apertura de ventanas
- rotura de cristales.

Empleamos en este grupo una salida de control para proporcionarnos una alarma local.
Mediante otra salida de control, podemos supervisar el buen funcionamiento de la estación remota inteligente con ella podemos poner a masa todas las entradas analogicas de la estación, la estación remota inteligente debera detectar que todas las entradas analogicas, estan fuera de margenes y a valor cero.

Luego el número de variables a controlar sera:

-Nueve entradas analogicas
-Seis entradas digitales
-Cuatro salidas digitales.

No todas las estaciones tienen igual composición, pero quedan dentro del margen de emplear, una tarjeta de entradas analogicas, otra de entradas digitales y una tercera con 16 puntos de control.

1.3. COMPOSICION DEL CENTRO DE CONTROL

En el centro de control, nedesario para supervisar las remotas debemos disponer de los siguientes equipos:

- Mini-ordenador, de 16 bits, con 128K-palabras de memoria central.
- Unidad de almacenamiento de disco , para la creación de un archivo historico.
- terminal video con teclado de baja velocidad, para comunicación hombre/maquina.
- Impresora de lineas, almenos 200 lineas por minuto minimo de 64 caracteres por linea.
- Panel luminoso de alarmas.

1.4. INTERCONEXION

Para la realización de la interconexión necesitamos disponer de un modem en cada estación, y otro en el centro de control.

No necesitaremos del alquiler de lineas de transmisión supuesto que cada estación dispone de una linea de servicio propia.

La calidad de esta linea nos permite llegar a una velocidad de transmisión de 1200 baudios.
Esta sera la velocidad de los modem a emplear.

2. COSTOS DE LA SITUACION ACTUAL

2.1. COLABORADORES

Actualmente, el mantenimiento se lleva a cabo mediante un colaborador local, en cada población en la que esta situada la estación. La preparación técnica de estos colaboradores es nula, por lo que su misión se limita a comprobar las alarmas de la estación, éstos colaboradores no figuran en plantilla, el coste mensual de cada colaborador es de 14000 pts. Lo que nos representa anualmente un coste de 2.520.000 pts.

2.2 TENICO DE MANTENIMIENTO

Por encima de estos colaboradores esta situada un tecnico de mantenimiento, reponsable del mantenimiento preventivo y corrector de los equipos de las estaciones. Su sueldo base no es necesario tenerlo en cuenta para este estudio, supuesto que no es un coste relevante.

Por el tipo de trabajo que realiza, este tecnico, su coste se vera incrementado por las dietas a percibir, anualmente este coste se puede estimar en 200 días/año de dieta, lo que nos representa a 1500 pts/día la cantidad de 300.000 pts

Al tener que desplazarse tan asiduamente, llevando con el una serie de aparatos de medida, un coste a tener

en cuenta es el correspondiente a los km realizados por el técnico.

Actualmente se puede hablar de 20.000 Km/año, realizados por el técnico, en coche propio, y por cuenta de la compañia, el coste para la sociedad es de 14 pts/km por lo que este apartado nos representa anualmente, la cantidad de 280.000 pts/año.

Al ser un empleado de plantilla deben ser cubiertos una serie de costes sociales, por pate de la empresa como son, seguridad social, mutualidades, seguro colectivo, etc, pero al igual que su suedo, no es un coste relevante para el estudio, ya que estos costes permanecen despues de instalar la red de estaciónes remotas inteligentes.

2.3. CARGOS DE OTROS GRUPOS

Los materiales defectuosos encontrados por el técnico de mantenimiento, en las distintas estaciones, son enviados a un centro de reparación, que reparte sus costes entre las distintas divisiones que le envian aparatos a reparar, la atención que este centro a dedicado el grupo de mantenimiento, ha sido durante los últimos años de 120 horas/hombres, anuales, lo que ha originado una transferencia interna en el último año de 180.000 pts, a un precio de 1500 pts/hora.

3. COSTOS CON CENTRO DE CONTROL Y ESTACIONES REMOTAS INTELIGENTES

3.1. COLABORADORES

Con el empleo de las estaciones remotas inteligentes, se tiene constancia cada 15 sg, en el peor de los casos, del estado en que se encuentra cada parámetro de cada estación, por lo que los colaboradores pueden ser suprimidos lo cual nos representa anualmente un ahorro neto de 2.520.000 pts.

3.2. TÉCNICO DE MANTENIMIENTO

Para nuestro estudio los costes fijos, de este empleado vendrán determinados por su sueldo bruto y por las cargas sociales, el resto de los gastos son variables y se ven afectados por el empleo de estaciones remotas inteligentes.

Así cada viaje estará plenamente justificado, lo mismo en mantenimiento preventivo, como en el caso de correctivo. Las partidas de dietas y kilometrajes van íntimamente relaccionadas, se puede estimar una reducción global en ambas del 50%, lo cual nos representa un ahorro anual de 290.000 pts.

Ahora bien con estas reducciones, lo que logramos es una mayor permanencia del técnico en el centro de control, con lo cual, mediante la estancia de tiempo necesaria en el centro de reparación, que le sirva de entrenamiento podrá perfectamente reparar

los equipos averiados en las estaciones remotas.

Por lo cual el ahorro para el grupo de mantenimiento se verá incrementado, en la transferencia interna que era de 180.000 pts.

4. INVERSION NECESARIA

4.1. ESTACIONES REMOTAS

La inversión que deberemos efectuar en cada estación remota se verá disminuida al cálculo del proyecto, ya que al comprar los materiales para 15 estaciones, podemos obtener una reducción por cantidad significante. Según consultas a distintos proveedores se puede estimar esta reducción en un 10,5%. Por lo que el precio de cada estación remota nos pasa a 160.638,1 pts.

El precio del proyecto incluye la instalación de todos los elementos hardware de la estación remota inteligente, no nos incluye el software de cada estación remota en nuestro caso será el mismo para todas las estaciones. El software de la remota se puede realizar por un programador en un mes por lo que su precio ascenderá a 240.000 pts. Necesitamos además instalar un modem en cada estación para la conexión a la línea, si elegimos el GH-2052 de ITT cada uno nos representa una inversión adicional de 47.500 pts. Para supervisar el equipo supervisor necesita-

remos instalar 16 relés en las entradas analógicas lo que representa una inversión adicional de 8.000 pts en cada estación.

Así la inversión total necesaria en las estaciones remotas asciende a 3.482.070 pts.

4.2. CENTRO DE CONTROL

Según la composición indicada en el punto 1.3. los equipos a instalar pueden ser; tomando Digital como proveedor:

- CPU con 128 K bytes de memoria MOS. Referencia 1134A-XF (PDP11/23) cuyo costo asciende a 720.000 pts.

- Como unidad de disco de capacidad adecuada y ampliable podemos emplear la RLK11AK con una capacidad de almacenamiento de 5 M bits, el precio de esta unidad, con elcontrolador para ella y tres unidades más asciende a 540.600 pts

segunda unidad de discode 5 M bits 402.800 pts

Todo lo anterior, irá incluido en una cabina específica de Digital para este sistema, con ventiladores incorporados, y una distribución de coriente alterna para todos los equipos. Su código es la H960-CB y su precio asciende a 167.000 pts.

Para unir los distintos controladores al bus mini necesitamos además una unidad de expansión, para

nuestros periféricos nos vale con la DD-11-DK cuyo precio es de 84.800 pts

La impresora elegida es la LP11-VD cuya velocidad es de 300 líneas por minuto y tiene 64 caracteres por línea su precio es de 1.251.000 pts con su controlador y cables de conexión incluidos.

Como periférico lento para comunicación hombre-máquina usaremos el CTR VT-100AB, con teclado de 80 columnas y 24 líneas cuyo coste asciende a 201.400 pts

hemos de añadir el coste del cable de interconexión BCO-3M 12.720 pts

Como software de base para trabajar en tiempo real emplearemos el RT11 que proporciona el fabricante del sistema y cuyo precio asciende a 292.000 pts

Así pues el precio total de estos equipos Digital será de: 2.952.320 pts.

Por comprar todo el sistema completo al mismo fabricante obtenemos un descuento del 12,82% por lo que la inversión necesaria de Digital para el centro de control es de 2.572.061 pts.

Como modem instalamos el mismo que en las estaciones remotas, el GS-2052 de ITT cuyo precio es de 47.500 pts.

Además instalaremos un panel mural de alarmas en el

centro de control, que nos indique gráficamente el estado de las estaciones remotas el coste de fabricación e instalación, oscilará alrededor de 100.000 pts.

Por otra parte será necesaria la confección de los programas específicos para el trabajo con las estaciones remotas, programación que se puede evaluar en dos meses de trabajo de un programador lo que asciende a 480.000 pts

Así la inversión total en el centro de control asciende a 3.199,561 pts

4.3. NUEVOS COSTES

Una vez instalado el centro de control, necesitamos realizar el mantenimiento de éste. No sería rentable en absoluto el que lo realice personal de la propia empresa. Ya que por la diversidad de equipos que lo forman, necesitaríamos tener una persona preparada por si el sistema falla. El entrenamiento de esta persona sería muy caro y su productividad posterior mínima.

Lo que se impone por lo anterior es un contrato de mantenimiento con la propia firma que nos vende los equipos.

El precio de un contrato de mantenimiento para estos equipos varía según eltiempo de respuesta deseado, tipo de aplicación, condiciones de instalación, etc.

En nuestro caso pueden cobrarnos anualmente el 15% del coste del equipo luego el coste anual en que incurrimos es de 385.809 pts.

5. ANÁLISIS DE LA INVERSIÓN

Con los datos aportados anteriormente podemos evaluar, adecuadamente en términos de rentabilidad el proyecto. El siguiente cuadro resume los datos anteriores

INVERSIÓN

Estaciones remotas		3.482.070 pts
Centro de control		3.199.561 pts
	TOTAL	6.681.631 pts

AHORRO ANUAL

Colaboradores		2.520.000 pts
Viajes y dietas		290.000 pts
Transferencias		180.000 pts
Nuevos gastos		(385.809)pts
	TOTAL	2.604.191 pts

5.1. ANÁLISIS DEL PERÍODO DE RECUPERACIÓN

De la anterior tabla ya podemos obtener que el período de recuperación del capital invertido será de:

$$P.R\ (años) = \frac{\text{Inversión inicial}}{\text{Ahorro anual}} = \frac{6.681.631\ Pts}{2604191} = 2,56\ años$$

Lo que equivale a un período de recuperación de dos años y siete meses, que está bien para el tipo de inversión de que se trata.

5.2. ANÁLISIS DEL RETORNO SOBRE LA INVERSIÓN

Por el tipo de producto con el que estamos tratando, su vida no pasará más allá de los 5 años. Luego debemos estudiar en este tiempo el ROI que obtenemos para ello construimos la siguiente tabla con las amortizaciones del equipo en estos cinco años:

De la tabla adjunta podemos deducir:

Inversión media durante los cinco años:

$$\frac{16.704.075}{5} = 3.340.815$$

Ahorro medio durante los cinco años:

$$\frac{13.020.955}{5} = 2.604.191$$

Lo que se traduce en un (ROI) = $\frac{2.604.191}{3.340.815} \times 100 =$

= 77,9% que nos indica el alto grado de rentabilidad de la inversión para el período considerado.

AÑO	INVERSIÓN INICIAL DEL AÑO	NUEVAS INVERSIONES	AMORTIZACIÓN	INVERSIÓN AL FINAL AÑO	INVERSIÓN MEDIA ANUAL	AHORROS O BENEFICIO ANUAL
80	0	6.681.631	0	6.681.631	0	0
81	6.681.631	0	1.336.326	5.345.304	6.013.467	2.604.191
82	5.345.304	0	1.336.326	4.008.978	4.677.141	2.604.191
83	4.008.978	0	1.336.326	2.672.652	3.340.815	2.604.191
84	2.672.652	0	1.336.326	1.336.326	2.004.489	2.604.191
85	1.336.326	0	1.336.326	0	668.163	2.604.191
					16.704.075	13.020.955

TABLA PARA ANÁLISIS DEL ROI

5.3. ANÁLISIS DEL TIPO DE RENDIMIENTO INTERNO

En la situación económica actual, los dos parámetros anteriores son significativos, pero con los costes del dinero que se nos presentan hemos de evaluar la rentabilidad del proyecto en términos de pts actuales para ello construimos la siguiente tabla, el precio del dinero en el mercado actual nos puede llegar perfectamente al 18% por lo que viene siendo norma en las direcciones no introducirse en proyectos con menor rendimiento interno del 20%. Empleando este valor como factor de descuento obtenemos la tabla y conclusiones de la página siguiente.

AÑO	INVERSIÓN	BENEFICIO NETO	AMORTIZACI.	CASH FLOW NETO	FACTOR DTO	VALOR NETO ACTUAL
80	6 681.631	0	0	(6.681.631)	1,00	(6.681.631)
81	-	2.604.191	1.336.326	3.940.517	0,83	3.270 629
82	-	2.604 191	1.336.326	3.940.517	0,69	2.718.956
83	-	2.604.191	1.336.326	3.940.517	0,58	2.285.499
84	-	2.604 191	1.336.326	3.940.517	0,48	1.891.448
85	-	2.604.191	1.336.326	3.940.517	0,40	1.576.206
	6.681.631	16.170.955	6.681.630	1.302.095		5.061.107

El resultado final nos indica que el tipo de rendimiento interno del proyecto esta todavía muy por encima del 20%.

Un proyecto con un tipo de rendimiento interno como el que se obtiene (alrededor del 40%) se puede catalogar como un proyecto muy rentable.

ANEJO 1

A N E J O I

D O C U M E N T A C I Ó N T É C N I C A

D E L O S

M A T E R I A L E S E M P L E A D O S

intel

8085A

SINGLE CHIP 8-BIT N-CHANNEL MICROPROCESSOR

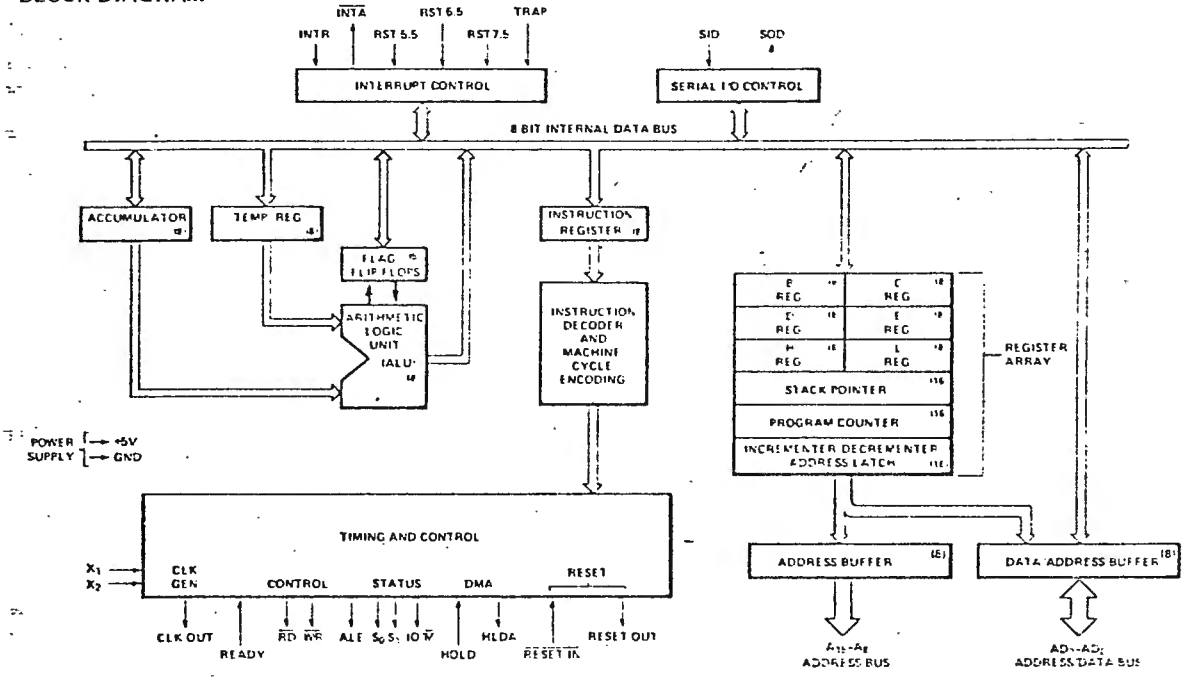
- Single +5V Power Supply
- 100% Software Compatible with 8080A
- 1.3 μs Instruction Cycle
- On-Chip Clock Generator (with External Crystal or RC Network)
- On-Chip System Controller; Advanced Cycle Status Information Available for Large System Control
- Four Vectored Interrupts (One is non-Maskable)
- Serial In/Serial Out Port
- Decimal, Binary and Double Precision Arithmetic
- Direct Addressing Capability to 64K Bytes of Memory

The Intel® 8085A is a new generation, complete 8 bit parallel central processing unit (CPU). Its instruction set is 100% software compatible with the 8080A microprocessor, and it is designed to improve the present 8080's performance by higher system speed. Its high level of system integration allows a minimum system of three IC's: 8085A (CPU), 8156 (RAM) and 8355/8755A (ROM/PROM).

The 8085A incorporates all of the features that the 8224 (clock generator) and 8228 (system controller) provided for the 8080, thereby offering a high level of system integration.

The 8085A uses a multiplexed Data Bus. The address is split between the 8 bit address bus and the 8 bit data bus. The on-chip address latches of 8155/8156/8355/8755A memory products allows a direct interface with 8085A.

8085A CPU FUNCTIONAL BLOCK DIAGRAM



5101 FAMILY
256 X 4 BIT STATIC CMOS RAM

P/N	Typ. Current @ 2V (μA)	Typ. Current @ 5V (μA)	Max Access (ns)
5101L	0.14	0.2	650
5101L-1	0.14	0.2	450
5101L-3	0.70	1.0	650
5101-8	—	10.0	800

- Single +5V Power Supply
- Ideal for Battery Operation (5101L)
- Directly TTL Compatible: All Inputs and Outputs
- Three-State Output

The Intel® 5101 is an ultra-low power 1024-bit (256 words X 4 bits) static RAM fabricated with an advanced ion-implanted silicon gate CMOS technology. The device has two chip enable inputs. Minimum standby current is drawn by this device when CE2 is at a low level. When deselected the 5101 draws from the single 5-volt supply only 10 microamps. This device is ideally suited for low power applications where battery operation or battery backup for non-volatility are required.

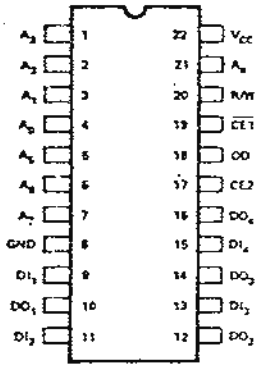
The 5101 uses fully DC stable (static) circuitry; it is not necessary to pulse chip select for each address transition. The data is read out non-destructively and has the same polarity as the input data. All inputs and outputs are directly TTL compatible. The 5101 has separate data input and data output terminals. An output disable function is provided so that the data inputs and outputs may be wire OR-ed for use in common data I/O systems.

The 5101L has the additional feature of guaranteed data retention at a power supply voltage as low as 2.0 volts.

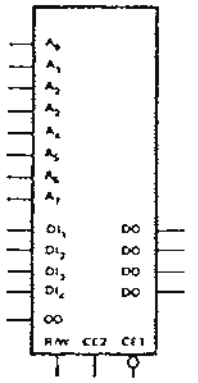
A pin compatible N-channel static RAM, the Intel® 2101A, is also available for low cost applications where a 256 X 4 organization is needed.

The Intel ion-implanted, silicon gate, Complementary MOS (CMOS) process allows the design and production of ultra-low power, high performance memories.

PIN CONFIGURATION



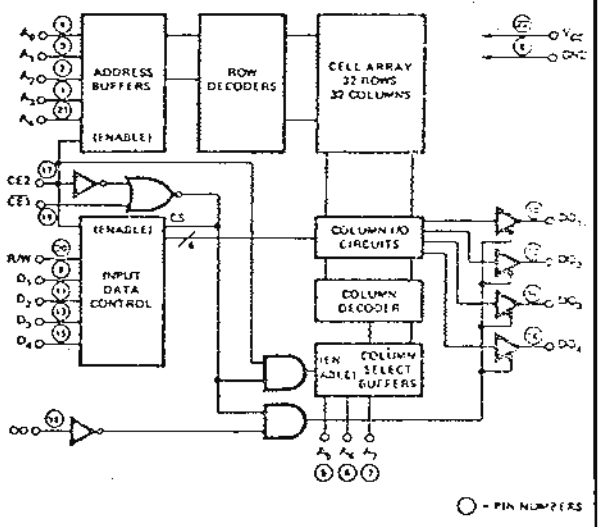
LOGIC SYMBOL



TRUTH TABLE

$\overline{CE_1}$	CE_2	OO	R/W	D_{IN}	Output	Mode
H	X	X	X	X	High Z	Not Selected
X	L	X	X	X	High Z	Not Selected
X	X	H	H	X	High Z	Output Disabled
L	H	H	L	X	High Z	Write
L	H	L	L	X	D_{IN}	Write
L	H	L	H	X	D_{OUT}	Read

BLOCK DIAGRAM



Absolute Maximum Ratings *

Ambient Temperature Under Bias . . . . . –10°C to 80°C
Storage Temperature . . . . . –65°C to +150°C
Voltage On Any Pin
With Respect to Ground . . . . -0.3V to V_{CC} +0.3V
Maximum Power Supply Voltage . . . . . +7.0V
Power Dissipation . . . . . 1 Watt

**COMMENT:*

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D. C. and Operating Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ±5% unless otherwise specified.

Symbol	Parameter	5101L and 5101L-1 Limits Min.	Typ.[1]	Max.	5101L-3 Limits Min.	Typ.[1]	Max.	5101-8 Limits Min.	Typ.[1]	Max.	Units	Test Conditions
I_{L2}[2]	Input Current		5			5			5		nA	
I_{LO}[2]	Output Leakage Current			1			1			2	μA	$\overline{CE1}$=2.2V, V_{OUT}= 0 to V_{CC}
I_{CC1}	Operating Current		9	22		9	22		11	25	mA	V_{IN}=V_{CC}, Except $\overline{CE1}$ ≤ 0.65V, Outputs Open
I_{CC2}	Operating Current		13	27		13	27		15	30	mA	V_{IN}=2.2V, Except $\overline{CE1}$ ≤ 0.65V, Outputs Open
I_{CCL}[2]	Standby Current			10			200			500	μA	CE2 ≤ 0.2V, T_A= 70°C
V_{IL}	Input Low Voltage	-0.3		0.65	-0.3		0.65	-0.3		0.65	V	
V_{IH}	Input High Voltage	2.2		V_{CC}	2.2		V_{CC}	2.2		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4			0.4			0.4	V	I_{OL}=2.0 mA
V_{OH}	Output High Voltage	2.4			2.4			2.4			V	I_{OH}= -1.0 mA

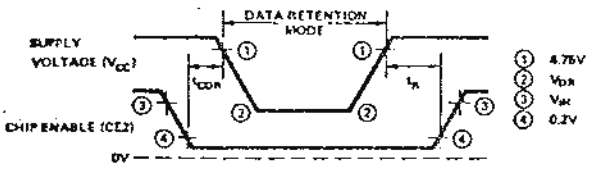
Low V_{CC} Data Retention Characteristics (For 5101L, 5101L-1 and 5101L-3) T_A = 0°C to 70°C

Symbol	Parameter	Min.	Typ.[1]	Max.	Units	Test Conditions	
V_{DR}	V_{CC} for Data Retention	2.0			V	CE2 ≤ 0.2V	
I_{CCDR1}	5101L or 5101L-1 Data Retention Current		0.14	10	μA		V_{DR}=2.0V, T_A=70°C
I_{CCDR2}	5101L-3 Data Retention Current		0.70	200	μA		V_{DR}=2.0V, T_A=70°C
t_{CDR}	Chip Deselect to Data Retention Time	0			ns		
t_R	Operation Recovery Time	t_{RC}[3]			ns		

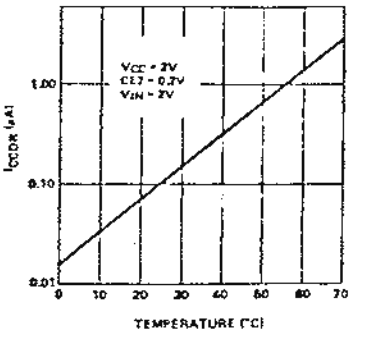
NOTES:

1. Typical values are T_A = 25°C and nominal supply voltage.
2. Current through all inputs and outputs included in I_{CCL} measurement.
3. t_{RC} = Read Cycle Time.

Low V_{CC} Data Retention Waveform



Typical I_{CCDR} Vs. Temperature



A.C. Characteristics

T_A = 0°C to 70°C, V_{CC} = 5V ±5%, unless otherwise specified.

READ CYCLE

Symbol	Parameter	5101L-1 Limits (ns) Min.	5101L-1 Limits (ns) Max.	5101L and 5101L-3 Limits (ns) Min.	5101L and 5101L-3 Limits (ns) Max.	5101-8 Limits (ns) Min.	5101-8 Limits (ns) Max.
t_{RC}	Read Cycle	450		650		800	
t_A	Access Time		450		650		800
t_{CO1}	Chip Enable ($\overline{CE}$ 1) to Output		400		600		800
t_{CO2}	Chip Enable (CE 2) to Output		500		700		850
t_{OD}	Output Disable to Output		250		350		450
t_{DF}	Data Output to High Z State	0	130	0	150	0	200
t_{OH1}	Previous Read Data Valid with Respect to Address Change	0		0		0	
t_{OH2}	Previous Read Data Valid with Respect to Chip Enable	0		0		0	

WRITE CYCLE

Symbol	Parameter	5101L-1 Min.	5101L-1 Max.	5101L and 5101L-3 Min.	5101L and 5101L-3 Max.	5101-8 Min.	5101-8 Max.
t_{WC}	Write Cycle	450		650		800	
t_{AW}	Write Delay	130		150		200	
t_{CW1}	Chip Enable ($\overline{CE}$ 1) to Write	350		550		650	
t_{CW2}	Chip Enable (CE 2) to Write	350		550		650	
t_{DW}	Data Setup	250		400		450	
t_{DH}	Data Hold	50		100		100	
t_{WP}	Write Pulse	250		400		450	
t_{WR}	Write Recovery	50		50		100	
t_{DS}	Output Disable Setup	130		150		200	

A. C. CONDITIONS OF TEST

Input Pulse Levels: +0.65 Volt to 2.2 Volt

Input Pulse Rise and Fall Times: 20nsec

Timing Measurement Reference Level: 1.5 Volt

Output Load: 1 TTL Gate and C_L = 100pF

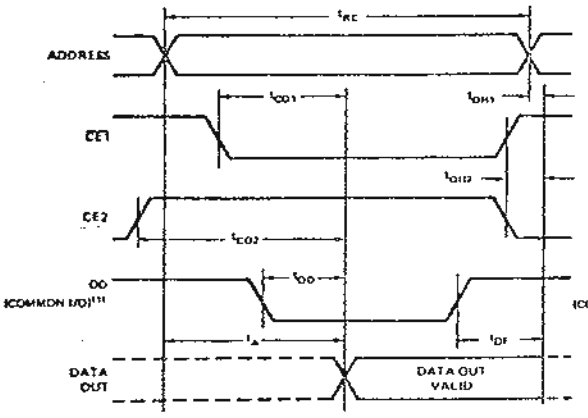
Capacitance[2] T_A = 25°C, f = 1MHz

Symbol	Test	Limits (pF) Typ.	Limits (pF) Max.
C_{IN}	Input Capacitance (All Input Pins) V_{IN} = 0V	4	8
C_{OUT}	Output Capacitance V_{OUT} = 0V	8	12

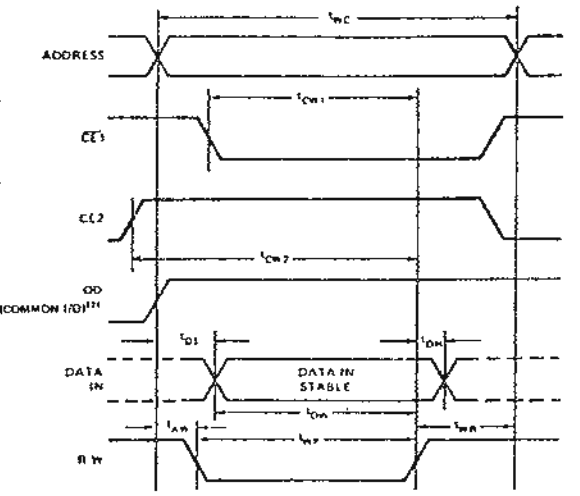
NOTES: 1. Typical values are for T_A = 25°C and nominal supply voltage.
2. This parameter is periodically sampled and is not 100% tested.

Waveforms

READ CYCLE



WRITE CYCLE



NOTES:

1. OD may be tied low for separate I/O operation.
2. During the write cycle, OD is "high" for common I/O and "don't care" for separate I/O operation.

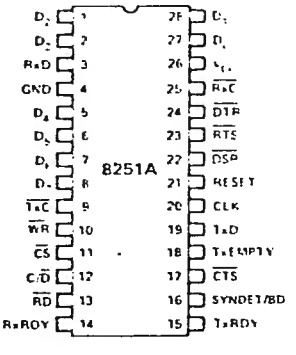
intel

8251A
PROGRAMMABLE COMMUNICATION INTERFACE

- Synchronous and Asynchronous Operation
  - Synchronous:
    - 5-8 Bit Characters
    - Internal or External Character Synchronization
    - Automatic Sync Insertion
  - Asynchronous:
    - 5-8 Bit Characters
    - Clock Rate — 1,16 or 64 Times Baud Rate
    - Break Character Generation
    - 1, 1½, or 2 Stop Bits
    - False Start Bit Detection
    - Automatic Break Detect and Handling
- Baud Rate —DC to 64k Baud
- Full Duplex, Double Buffered, Transmitter and Receiver
- Error Detection — Parity, Overrun, and Framing
- Fully Compatible with 8080/8085 CPU
- 28-Pin DIP Package
- All Inputs and Outputs Are TTL Compatible
- Single 5 Volt Supply
- Single TTL Clock

The 8251A is the enhanced version of the industry standard, Intel© 8251 Universal Synchronous/Asynchronous Receiver/Transmitter (USART), designed for data communications with Intel's new high performance family of microprocessors such as the 8085. The 8251A is used as a peripheral device and is programmed by the CPU to operate using virtually any serial data transmission technique presently in use (including IBM Bi-Sync). The USART accepts data characters from the CPU in parallel format and then converts them into a continuous serial data stream for transmission. Simultaneously, it can receive serial data streams and convert them into parallel data characters for the CPU. The USART will signal the CPU whenever it can accept a new character for transmission or whenever it has received a character for the CPU. The CPU can read the complete status of the USART at any time. These include data transmission errors and control signals such as SYNDET, TxEMPTY. The chip is constructed using N-channel silicon gate technology.

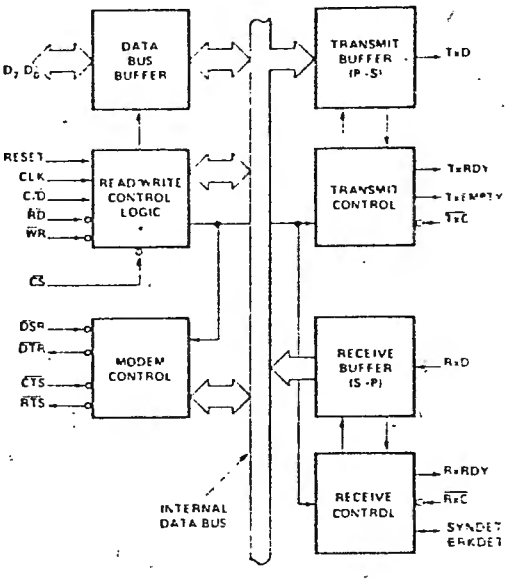
PIN CONFIGURATION



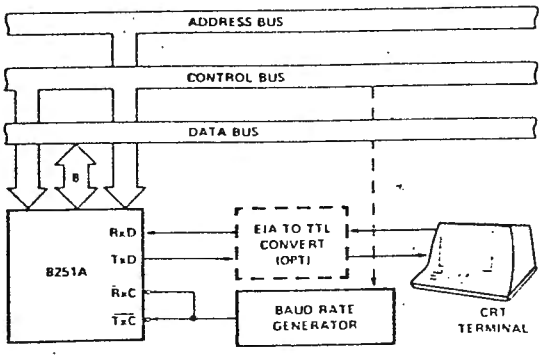
Pin Name	Pin Function
D_7 D_0	Data Bus (8 bits)
C/D	Control or Data is to be Written or Read
RD	Read Data Command
WR	Write Data or Control Command
CS	Chip Select
CLK	Clock Pulse (TTL)
RESET	Reset
TxC	Transmitter Clock
TxD	Transmitter Data
RxC	Receiver Clock
RxD	Receiver Data
RxRDY	Receiver Ready (has character for CPU)
TxRDY	Transmitter Ready (ready for char. from CPU)

Pin Name	Pin Function
DSR	Data Set Ready
DTR	Data Terminal Ready
SYNDET/BD	Sync Detect/ Break Detect
RTS	Request to Send Data
CTS	Clear to Send Data
TxEMPTY	Transmitter Empty
Vcc	+5 Volt Supply
GND	Ground

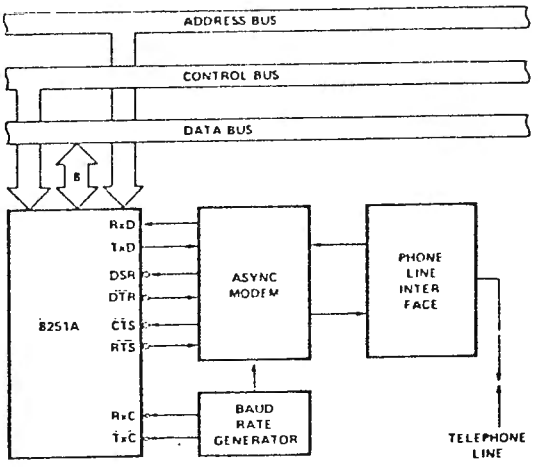
BLOCK DIAGRAM



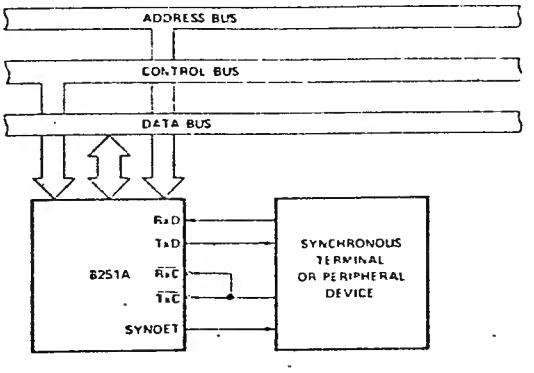
APPLICATIONS OF THE 8251A



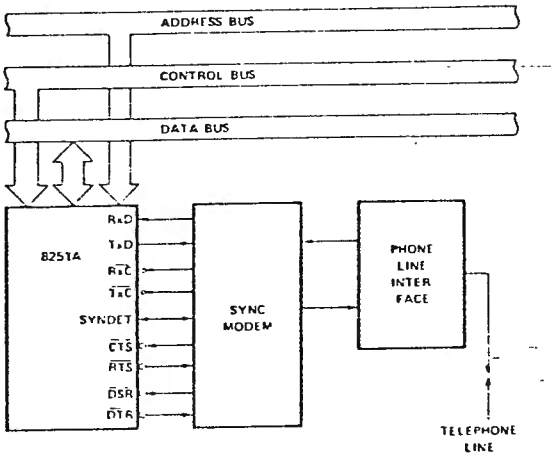
Asynchronous Serial Interface to CRT Terminal, DC-9600 Baud



Asynchronous Interface to Telephone Lines



Synchronous Interface to Terminal or Peripheral Device



Synchronous Interface to Telephone Lines

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . –65°C to +150°C
Voltage On Any Pin
With Respect to Ground . . . . . –0.5V to +7V
Power Dissipation . . . . . 1 Watt

**COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS

T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	–0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage		0.45	V	I_{OL} = 2.2 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = –400 μA
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} TO 0.45V
I_{IL}	Input Leakage		±10	μA	V_{IN} = V_{CC} TO 0.45V
I_{CC}	Power Supply Current		100	mA	All Outputs = High

CAPACITANCE

T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance		10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance		20	pF	Unmeasured pins returned to GND

TEST LOAD CIRCUIT:

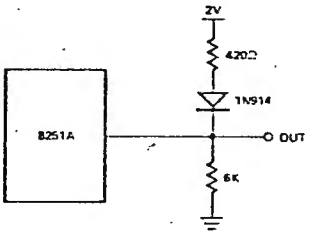
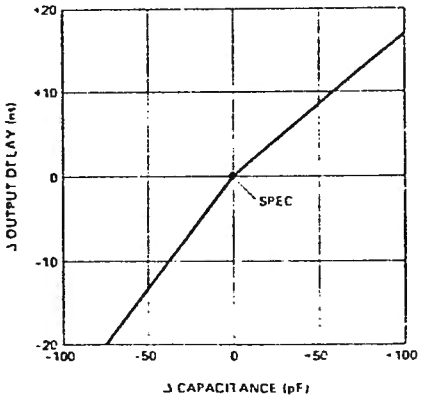


Figure 1.

TYPICAL Δ OUTPUT DELAY VS. Δ CAPACITANCE (dB)



A.C. CHARACTERISTICS

T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

BUS PARAMETERS: (Note 1)

READ CYCLE

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{AR}	Address Stable Before $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	0		ns	Note 2
t_{RA}	Address Hold Time for $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	0		ns	Note 2
t_{RR}	$\overline{READ}$ Pulse Width	250		ns	
t_{RD}	Data Delay from $\overline{READ}$		200	ns	3, C_L = 150 pF
t_{DF}	$\overline{READ}$ to Data Floating	10	100	ns	

WRITE CYCLE

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{AW}	Address Stable Before $\overline{WRITE}$	0		ns	
t_{WA}	Address Hold Time for $\overline{WRITE}$	0		ns	
t_{WW}	$\overline{WRITE}$ Pulse Width	250		ns	
t_{DW}	Data Set Up Time for $\overline{WRITE}$	150		ns	
t_{WD}	Data Hold Time for $\overline{WRITE}$	0		ns	
t_{RV}	Recovery Time Between WRITES	6		t_{CY}	Note 4

NOTES:
1. AC timings measured V_{OH} = 2.0, V_{OL} = 0.8, and with load circuit of Figure 1.
2. Chip Select ($\overline{CS}$) and Command/Data (C/$\overline{D}$) are considered as Addresses.
3. Assumes that Address is valid before $\overline{RD}$↓.
4. This recovery time is for Mode Initialization only. Write Data is allowed only when TxRDY = 1. Recovery Time between Writes for Asynchronous Mode is 8 t_{CY} and for Synchronous Mode is 16 t_{CY}.

INPUT waveforms for AC tests:

OTHER TIMINGS:

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
t_{CY}	Clock Period	320	1.35	μs	Notes 5, 6
t_{ϕ}	Clock High Pulse Width	120	t_{CY-90}	ns	
$t_{\overline{\phi}}$	Clock Low Pulse Width	90		ns	
t_R, t_F	Clock Rise and Fall Time	5	20	ns	
t_{DTx}	TxD Delay from Falling Edge of $\overline{TxC}$		1	μs	
t_{SRx}	Rx Data Set-Up Time to Sampling Pulse	2		μs	
t_{HRx}	Rx Data Hold Time to Sampling Pulse	2		μs	
f_{Tx}	Transmitter Input Clock Frequency				
	1x Baud Rate	DC	64	kHz	
	16x Baud Rate	DC	310	kHz	
	64x Baud Rate	DC	615	kHz	
t_{TPW}	Transmitter Input Clock Pulse Width				
	1x Baud Rate	12		t_{CY}	
	16x and 64x Baud Rate	1		t_{CY}	
t_{TPD}	Transmitter Input Clock Pulse Delay				
	1x Baud Rate	15		t_{CY}	
	16x and 64x Baud Rate	3		t_{CY}	
f_{Rx}	Receiver Input Clock Frequency				
	1x Baud Rate	DC	64	kHz	
	16x Baud Rate	DC	310	kHz	
	64x Baud Rate	DC	615	kHz	
t_{RPW}	Receiver Input Clock Pulse Width				
	1x Baud Rate	12		t_{CY}	
	16x and 64x Baud Rate	1		t_{CY}	
t_{RPD}	Receiver Input Clock Pulse Delay				
	1x Baud Rate	15		t_{CY}	
	16x and 64x Baud Rate	3		t_{CY}	
t_{TxRDY}	TxRDY Pin Delay from Center of last Bit		8	t_{CY}	Note 7
$t_{TxRDY\ CLEAR}$	TxRDY ↓ from Leading Edge of $\overline{WR}$		150	ns	Note 7
t_{RxRDY}	RxRDY Pin Delay from Center of last Bit		24	t_{CY}	Note 7
$t_{RxRDY\ CLEAR}$	RxRDY ↓ from Leading Edge of $\overline{RD}$		150	ns	Note 7
t_{IS}	Internal SYNDET Delay from Rising Edge of $\overline{RxC}$		24	t_{CY}	Note 7
t_{FS}	External SYNDET Set-Up Time Before Falling Edge of $\overline{RxC}$		16	t_{CY}	Note 7
$t_{TxEMPTY}$	TxEMPTY Delay from Center of Data Bit		20	t_{CY}	Note 7
t_{WC}	Control Delay from Rising Edge of WRITE (TxEn, $\overline{DTR}$, $\overline{RTS}$)		8	t_{CY}	Note 7
t_{CR}	Control to READ Set-Up Time ($\overline{DSR}$; $\overline{CTS}$)		20	t_{CY}	Note 7

5. The TxC and RxC frequencies have the following limitations with respect to CLK.
   For 1x Baud Rate, f_{Tx} or $f_{Rx} < 1/(30\ t_{CY})$
   For 16x and 64x Baud Rate, f_{Tx} or $f_{Rx} < 1/(4.5\ t_{CY})$

6. Reset Pulse Width = 6 t_{CY} minimum; System Clock must be running during Reset.

7. Status update can have a maximum delay of 28 clock periods from the event affecting the status.

intel

PRELIMINARY
Notice: This is not a final specification. Some parametric limits are subject to change.

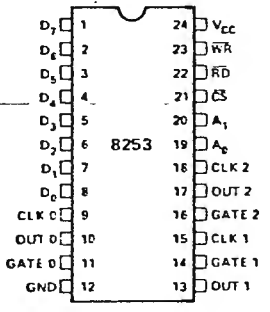
8253, 8253-5
PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- 3 Independent 16-Bit Counters
- DC to 2 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- 24 Pin Dual-In-Line Package

The 8253 is a programmable counter/timer chip designed for use as an Intel Microcomputer peripheral. It uses nMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as three independent 16-bit counters, each with a count rate of up to 2 MHz. All modes of operation are software programmable.

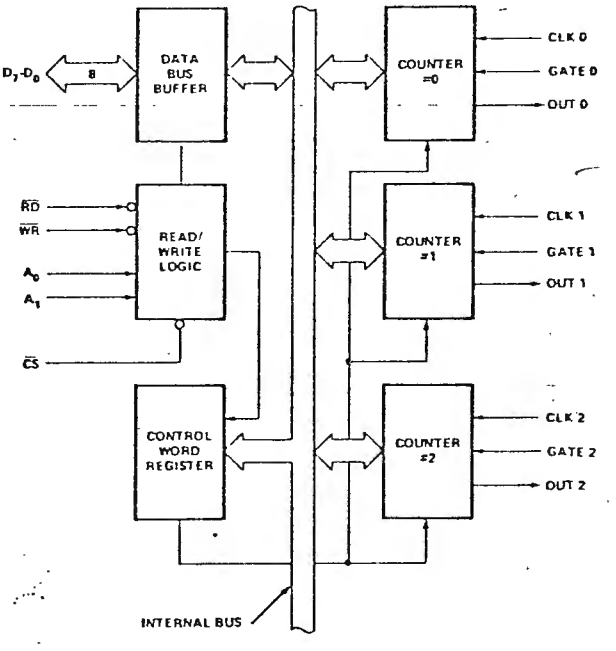
PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (8 BIT)
CLK N	COUNTER CLOCK INPUTS
GATE N	COUNTER GATE INPUTS
OUT N	COUNTER OUTPUTS
$\overline{RD}$	READ-COUNTER
$\overline{WR}$	WRITE COMMAND OR DATA
$\overline{CS}$	CHIP SELECT
A_0-A_1	COUNTER SELECT
V_{CC}	+5 VOLTS
GND	GROUND

BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... −65°C to +150°C
Voltage On Any Pin
With Respect to Ground ..... −0.5 V to +7 V
Power Dissipation ..... 1 Watt

**COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS (T_A = 0°C to 70°C; V_{CC} = 5V ±5%)

SYMBOL	PARAMETER	MIN.	MAX.	UNITS	TEST CONDITIONS
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}+.5V	V	
V_{OL}	Output Low Voltage		0.45	V	I_{OL} = 2.2 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = -400 μA
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to 0V
I_{CC}	V_{CC} Supply Current		1.40	mA	

CAPACITANCE T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

A.C. CHARACTERISTICS T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

BUS PARAMETERS: (Note 1)

READ CYCLE

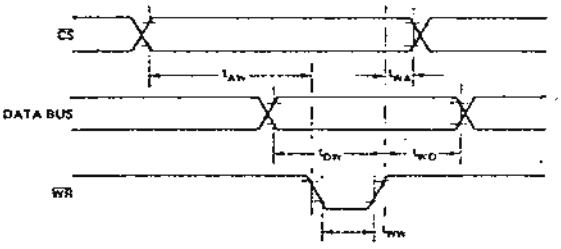
SYMBOL	PARAMETER	8253 MIN.	8253 MAX.	8253-5 MIN.	8253-5 MAX.	UNIT
t_{AR}	Address Stable Before $\overline{READ}$	50		50		ns
t_{RA}	Address Hold Time for $\overline{READ}$	5		5		ns
t_{RR}	$\overline{READ}$ Pulse Width	400		300		ns
t_{RD}	Data Delay From $\overline{READ}$[2]		300		200	ns
t_{DF}	$\overline{READ}$ to Data Floating	25	125	25	100	ns

WRITE CYCLE

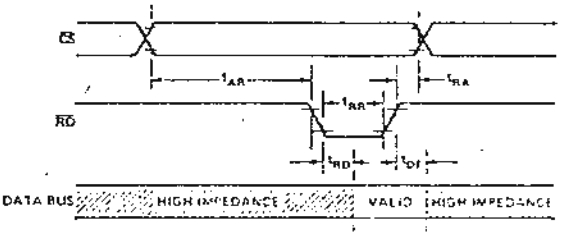
SYMBOL	PARAMETER	8253 MIN.	8253 MAX.	8253-5 MIN.	8253-5 MAX.	UNIT
t_{AW}	Address Stable Before $\overline{WRITE}$	50		50		ns
t_{WA}	Address Hold Time for $\overline{WRITE}$	30		30		ns
t_{WW}	$\overline{WRITE}$ Pulse Width	400		300		ns
t_{DW}	Data Set Up Time for $\overline{WRITE}$	300		250		ns
t_{WD}	Data Hold Time for $\overline{WRITE}$	40		30		ns
t_{RV}	Recovery Time Between $\overline{WRITES}$	1		1		μs

Notes: 1. AC timings measured at V_{OH} = 2.2, V_{OL} = 0.8, and with load circuit of Figure 1.
2. Test Conditions: 8253, C_L = 100pF; 8253-5: C_L = 150pF.

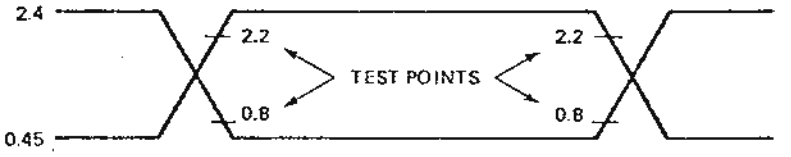
WRITE TIMING



READ TIMING



INPUT WAVEFORMS FOR A.C. TESTS:

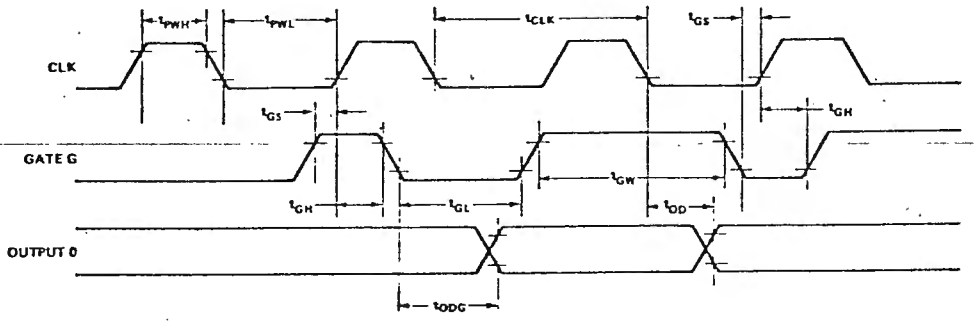


A.C. CHARACTERISTICS (Cont'd): T_A = 0°C to 70°C; V_{CC} = 5.0V ±5%; GND = 0V

CLOCK AND GATE TIMING

SYMBOL	PARAMETER	8253 MIN.	8253 MAX.	8253-5 MIN.	8253-5 MAX.	UNIT
t_{CLK}	Clock Period	380	dc	380	dc	ns
t_{PWH}	High Pulse Width	230		230		ns
t_{PWL}	Low Pulse Width	150		150		ns
t_{GW}	Gate Width High	150		150		ns
t_{GL}	Gate Width Low	100		100		ns
t_{GS}	Gate Set Up Time to CLK↑	100		100		ns
t_{GH}	Gate Hold Time After CLK↑	50		50		ns
t_{OD}	Output Delay From CLK↓[1]		400		400	ns
t_{ODG}	Output Delay From Gate↓[1]		300		300	ns

Note 1: Test Conditions: 8253: C_L = 100pF; 8253-5: C_L = 150pF.



8216/8226
4-BIT PARALLEL BI-DIRECTIONAL BUS DRIVER

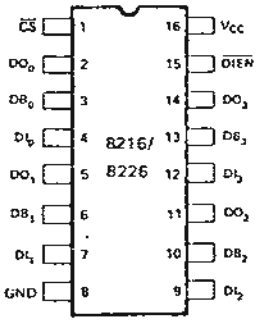
- Data Bus Buffer Driver for 8080 CPU
- Low Input Load Current — .25 mA Maximum
- High Output Drive Capability for Driving System Data Bus
- 3.65V Output High Voltage for Direct Interface to 8080 CPU
- Three State Outputs
- Reduces System Package Count

The 8216/8226 is a 4-bit bi-directional bus driver/receiver.

All inputs are low power TTL compatible. For driving MOS, the DO outputs provide a high 3.65V V_{OH}, and for high capacitance terminated bus structures, the DB outputs provide a high 50mA I_{OL} capability.

A non-inverting (8216) and an inverting (8226) are available to meet a wide variety of applications for buffering in microcomputer systems.

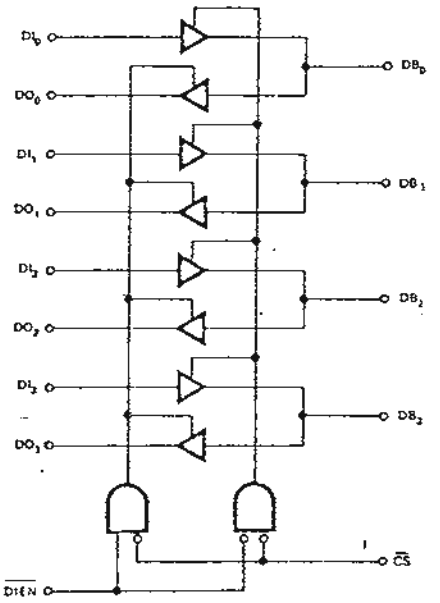
PIN CONFIGURATION



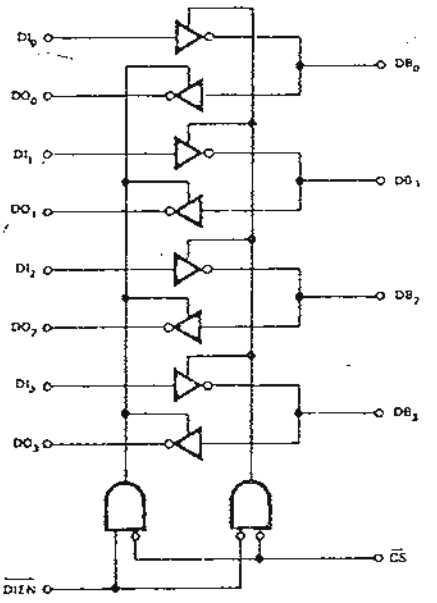
PIN NAMES

DB_0-DB_3	DATA BUS BI-DIRECTIONAL
DI_0-DI_3	DATA INPUT
DO_0-DO_3	DATA OUTPUT
$\overline{DIEN}$	DATA IN ENABLE DIRECTION CONTROL
$\overline{CS}$	CHIP SELECT

LOGIC DIAGRAM
8216



LOGIC DIAGRAM
8226



D.C. AND OPERATING CHARACTERISTICS

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... -65°C to +150°C
All Output and Supply Voltages ..... -0.5V to +7V
All Input Voltages ..... -1.0V to +5.5V
Output Currents ..... 125 mA

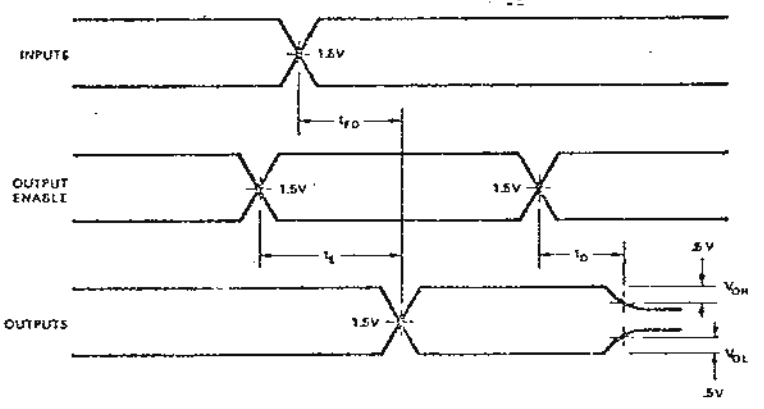
**COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

T_A = 0°C to +70°C, V_{CC}=+5V±5%

Symbol	Parameter		Limits Min.	Typ.	Max.	Unit	Conditions
I_{F1}	Input Load Current $\overline{DIEN}$, $\overline{CS}$			-0.15	-.5	mA	V_F = 0.45
I_{F2}	Input Load Current All Other Inputs			-0.08	-.25	mA	V_F = 0.45
I_{R1}	Input Leakage Current $\overline{DIEN}$, $\overline{CS}$				20	μA	V_R = 5.25V
I_{R2}	Input Leakage Current DI Inputs				10	μA	V_R = 5.25V
V_C	Input Forward Voltage Clamp				-1	V	I_C = -5mA
V_{IL}	Input "Low" Voltage				.95	V	
V_{IH}	Input "High" Voltage		2.0			V	
$\lvert I_O \rvert$	Output Leakage Current (3-State)	DO DB			20 100	μA	V_O = 0.45V/5.25V
I_{CC}	Power Supply Current	8216		95	130	mA	
		8226		85	120	mA	
V_{OL1}	Output "Low" Voltage			0.3	.45	V	DO Outputs I_{OL}=15mA DB Outputs I_{OL}=25mA
V_{OL2}	Output "Low" Voltage	8216		0.5	.6	V	DB Outputs I_{OL}=55mA
		8226		0.5	.6	V	DB Outputs I_{OL}=50mA
V_{OH1}	Output "High" Voltage		3.65	4.0		V	DO Outputs I_{OH} = -1mA
V_{OH2}	Output "High" Voltage		2.4	3.0		V	DB Outputs I_{OH} = -10mA
I_{OS}	Output Short Circuit Current		-15 -30	-35 -75	-65 -120	mA mA	DO Outputs $V_O \cong 0V$, DB Outputs V_{CC}=5.0V

NOTE: Typical values are for T_A = 25°C, V_{CC} = 5.0V.

WAVEFORMS



A.C. CHARACTERISTICS

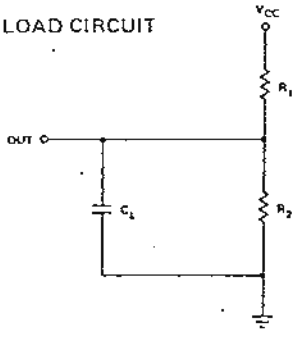
$T_A = 0°C$ to $+70°C$, $V_{CC} = +5V \pm 5\%$

Symbol	Parameter		Limits Min.	Typ.[1]	Max.	Unit	Conditions
T_{PD1}	Input to Output Delay DO Outputs			15	25	ns	C_L=30pF, R_1=300Ω R_2=600Ω
T_{PD2}	Input to Output Delay DB Outputs						
		8216		20	30	ns	C_L=300pF, R_1=90Ω
		8226		16	25	ns	R_2 = 180Ω
T_E	Output Enable Time						
		8216		45	65	ns	(Note 2)
		8226		35	54	ns	(Note 3)
T_D	Output Disable Time			20	35	ns	(Note 4)

TEST CONDITIONS:

Input pulse amplitude of 2.5V.
Input rise and fall times of 5 ns between 1 and 2 volts.
Output loading is 5 mA and 10 pF.
Speed measurements are made at 1.5 volt levels.

TEST LOAD CIRCUIT



CAPACITANCE[5]

Symbol	Parameter	Limits Min.	Typ.[1]	Max.	Unit
C_{IN}	Input Capacitance		4	8	pF
C_{OUT1}	Output Capacitance		6	10	pF
C_{OUT2}	Output Capacitance		13	18	pF

TEST CONDITIONS: $V_{BIAS} = 2.5V$, $V_{CC} = 5.0V$, $T_A = 25°C$, f = 1 MHz.

NOTES:
1. Typical values are for $T_A = 25°C$, $V_{CC} = 5.0V$.
2. DO Outputs, C_L = 30pF, R_1 = 300/10 KΩ, R_2 = 180/1KΩ; DB Outputs, C_L = 300pF, R_1 = 90/10 KΩ, R_2 = 180/1 KΩ.
3. DO Outputs, C_L = 30pF, R_1 = 300/10 KΩ, R_2 = 600/1K; DB Outputs, C_L = 300pF, R_1 = 90/10 KΩ, R_2 = 180/1 KΩ.
4. DO Outputs, C_L = 5pF, R_1 = 300/10 KΩ, R_2 = 600/1 KΩ; DB Outputs, C_L = 5pF, R_1 = 90/10 KΩ, R_2 = 180/1 KΩ.
5. This parameter is periodically sampled and not 100% tested.

8205

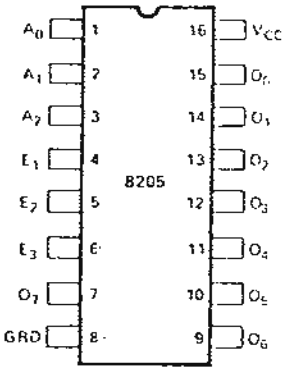
HIGH SPEED 1 OUT OF 8 BINARY DECODER

- I/O Port or Memory Selector
- Simple Expansion — Enable Inputs
- High Speed Schottky Bipolar Technology — 18ns Max. Delay
- Directly Compatible with TTL Logic Circuits
- Low Input Load Current — .25 mA max., 1/6 Standard TTL Input Load
- Minimum Line Reflection — Low Voltage Diode Input Clamp
- Outputs Sink 10 mA min.
- 16-Pin Dual-In-Line Ceramic or Plastic Package

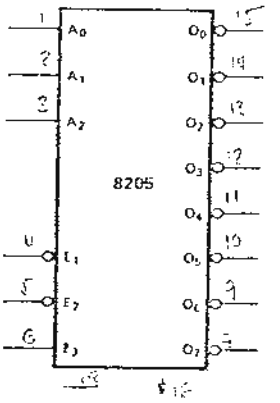
The 8205 decoder can be used for expansion of systems which utilize input ports, output ports, and memory components with active low chip select input. When the 8205 is enabled, one of its eight outputs goes "low", thus a single row of a memory system is selected. The 3 chip enable inputs on the 8205 allow easy system expansion. For very large systems, 8205 decoders can be cascaded such that each decoder can drive eight other decoders for arbitrary memory expansions.

The Intel® 8205 is packaged in a standard 16 pin dual-in-line package; and its performance is specified over the temperature range of 0°C to +75°C, ambient. The use of Schottky barrier diode clamped transistors to obtain fast switching speeds results in higher performance than equivalent devices made with a gold diffusion process.

PIN CONFIGURATION



LOGIC SYMBOL



PIN NAMES

A_0 A_2	ADDRESS INPUTS
$\overline{E_1}$ $\overline{E_3}$	ENABLE INPUTS
$\overline{O_0}$ $\overline{O_7}$	DECODED OUTPUTS

ADDRESS			ENABLE			OUTPUTS							
A_0	A_1	A_2	E_1	E_2	E_3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
H	L	H	L	L	H	H	H	H	H	H	L	H	H
L	H	H	L	L	H	H	H	H	H	H	H	L	H
H	H	H	L	L	H	H	H	H	H	H	H	H	L
X	X	X	L	L	L	H	H	H	H	H	H	H	H
X	X	X	H	L	L	H	H	H	H	H	H	H	H
X	X	X	L	H	L	H	H	H	H	H	H	H	H
X	X	X	H	H	L	H	H	H	H	H	H	H	H
X	X	X	L	L	H	H	H	H	H	H	H	H	H
X	X	X	L	H	H	H	H	H	H	H	H	H	H
X	X	X	H	H	H	H	H	H	H	H	H	H	H

FUNCTIONAL DESCRIPTION

Decoder

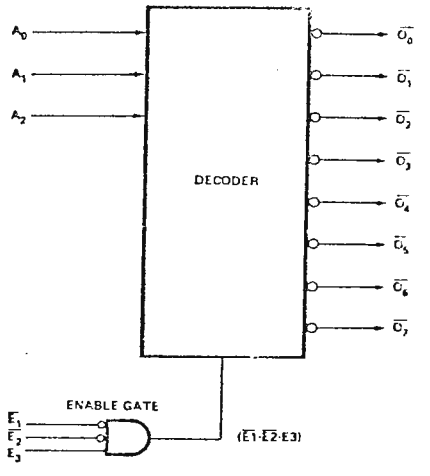
The 8205 contains a one out of eight binary decoder. It accepts a three bit binary code and by gating this input, creates an exclusive output that represents the value of the input code.

For example, if a binary code of 101 was present on the A0, A1 and A2 address input lines, and the device was enabled, an active low signal would appear on the $\overline{O5}$ output line. Note that all of the other output pins are sitting at a logic high, thus the decoded output is said to be exclusive. The decoders outputs will follow the truth table shown below in the same manner for all other input variations.

Enable Gate

When using a decoder it is often necessary to gate the outputs with timing or enabling signals so that the exclusive output of the decoded value is synchronous with the overall system.

The 8205 has a built-in function for such gating. The three enable inputs ($\overline{E1}$, $\overline{E2}$, E3) are ANDed together and create a single enable signal for the decoder. The combination of both active "high" and active "low" device enable inputs provides the designer with a powerfully flexible gating function to help reduce package count in his system.



ADDRESS			ENABLE			OUTPUTS							
A_0	A_1	A_2	E_1	E_2	E_3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
H	L	H	L	L	H	H	H	H	H	H	L	H	H
L	H	H	L	L	H	H	H	H	H	H	H	L	H
H	H	H	L	L	H	H	H	H	H	H	H	H	L
X	X	X	L	L	L	H	H	H	H	H	H	H	H
X	X	X	H	L	L	H	H	H	H	H	H	H	H
X	X	X	L	H	L	H	H	H	H	H	H	H	H
X	X	X	H	H	L	H	H	H	H	H	H	H	H
X	X	X	H	L	H	H	H	H	H	H	H	H	H
X	X	X	L	H	H	H	H	H	H	H	H	H	H
X	X	X	H	H	H	H	H	H	H	H	H	H	H

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias:	Ceramic	−65°C to +125°C
	Plastic	−65°C to +75°C
Storage Temperature		−65°C to +160°C
All Output or Supply Voltages		−0.5 to +7 Volts
All Input Voltages		−1.0 to +5.5 Volts
Output Currents		125 mA

*COMMENT

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

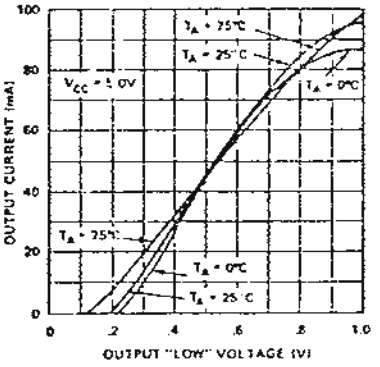
D.C. CHARACTERISTICS T_A = 0°C to +75°C, V_{CC} = 5.0V ±5%

8205

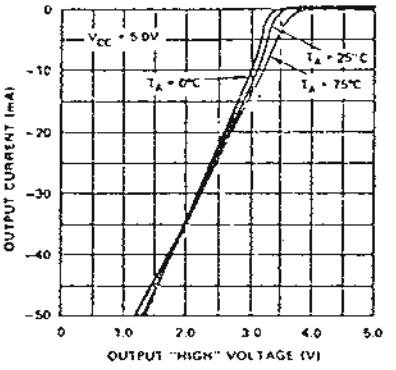
SYMBOL	PARAMETER	LIMIT MIN.	LIMIT MAX.	UNIT	TEST CONDITIONS
I_F	INPUT LOAD CURRENT		−0.25	mA	V_{CC} = 5.25V, V_F = 0.45V
I_R	INPUT LEAKAGE CURRENT		10	μA	V_{CC} = 5.25V, V_R = 5.25V
V_C	INPUT FORWARD CLAMP VOLTAGE		−1.0	V	V_{CC} = 4.75V, I_C = −5.0 mA
V_{OL}	OUTPUT "LOW" VOLTAGE		0.45	V	V_{CC} = 4.75V, I_{OL} = 10.0 mA
V_{OH}	OUTPUT HIGH VOLTAGE	2.4		V	V_{CC} = 4.75V, I_{OH} = −1.5 mA
V_{IL}	INPUT "LOW" VOLTAGE		0.85	V	V_{CC} = 5.0V
V_{IH}	INPUT "HIGH" VOLTAGE	2.0		V	V_{CC} = 5.0V
I_{SC}	OUTPUT HIGH SHORT CIRCUIT CURRENT	−40	−120	mA	V_{CC} = 5.0V, V_{OUT} = 0V
V_{OX}	OUTPUT "LOW" VOLTAGE @ HIGH CURRENT		0.8	V	V_{CC} = 5.0V, I_{OX} = 40 mA
I_{CC}	POWER SUPPLY CURRENT		70	mA	V_{CC} = 5.25V

TYPICAL CHARACTERISTICS

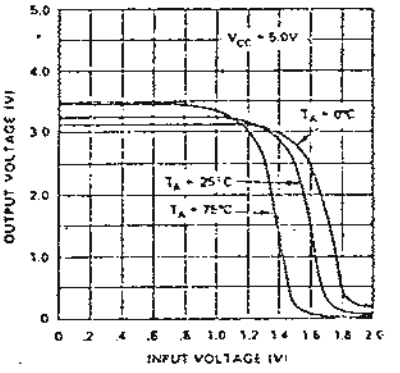
OUTPUT CURRENT VS. OUTPUT "LOW" VOLTAGE



OUTPUT CURRENT VS. OUTPUT "HIGH" VOLTAGE



DATA TRANSFER FUNCTION



SWITCHING CHARACTERISTICS

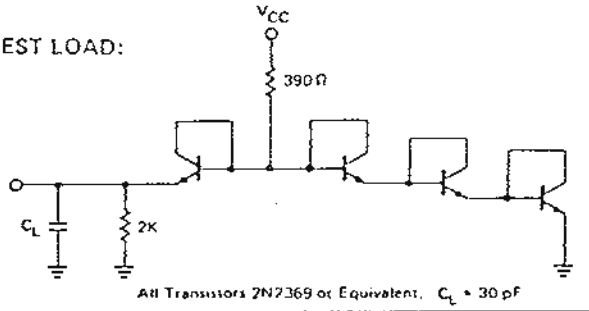
CONDITIONS OF TEST:

Input pulse amplitudes: 2.5V

Input rise and fall times: 5 nsec between 1V and 2V

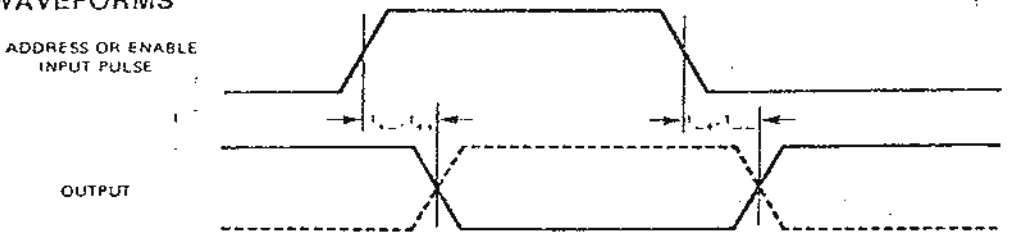
Measurements are made at 1.5V

TEST LOAD:



All Transistors 2N2369 or Equivalent. C_L = 30 pF

TEST WAVEFORMS



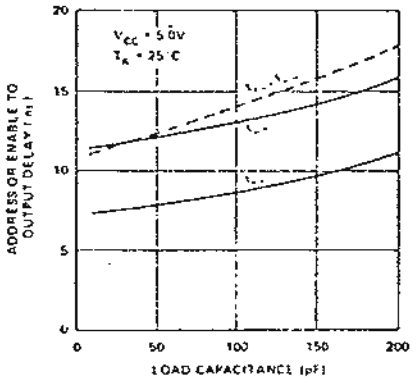
A.C. CHARACTERISTICS T_A = 0°C to +75°C, V_{CC} = 5.0V ±5% unless otherwise specified.

SYMBOL	PARAMETER		MAX. LIMIT	UNIT	TEST CONDITIONS
t_{++}	ADDRESS OR ENABLE TO OUTPUT DELAY		18	ns	
t_{-+}			18	ns	
t_{+-}			18	ns	
t_{--}			18	ns	
C_{IN} (1)	INPUT CAPACITANCE	P8205	4(typ.)	pF	f = 1 MHz, V_{CC} = 0V
		C8205	5(typ.)	pF	V_{BIAS} = 2.0V, T_A = 25°C

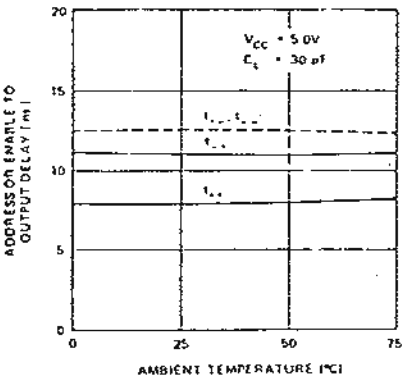
1. This parameter is periodically sampled and is not 100% tested.

TYPICAL CHARACTERISTICS

ADDRESS OR ENABLE TO OUTPUT DELAY VS. LOAD CAPACITANCE



ADDRESS OR ENABLE TO OUTPUT DELAY VS. AMBIENT TEMPERATURE



8212

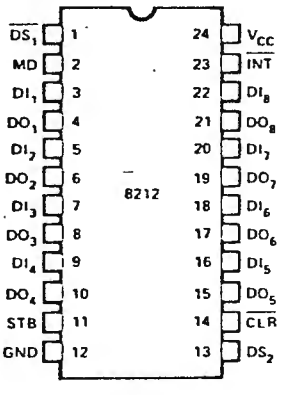
EIGHT-BIT INPUT/OUTPUT PORT

- Fully Parallel 8-Bit Data Register and Buffer
- Service Request Flip-Flop for Interrupt Generation
- Low Input Load Current — .25 mA Max.
- Three State Outputs
- Outputs Sink 15 mA
- 3.65V Output High Voltage for Direct Interface to 8008, 8080A, or 8085A CPU
- Asynchronous Register Clear
- Replaces Buffers, Latches and Multiplexers in Microcomputer Systems
- Reduces System Package Count

The 8212 input/output port consists of an 8-bit latch with 3-state output buffers along with control and device selection logic. Also included is a service request flip-flop for the generation and control of interrupts to the microprocessor.

The device is multimode in nature. It can be used to implement latches, gated buffers or multiplexers. Thus, all of the principal peripheral and input/output functions of a microcomputer system can be implemented with this device.

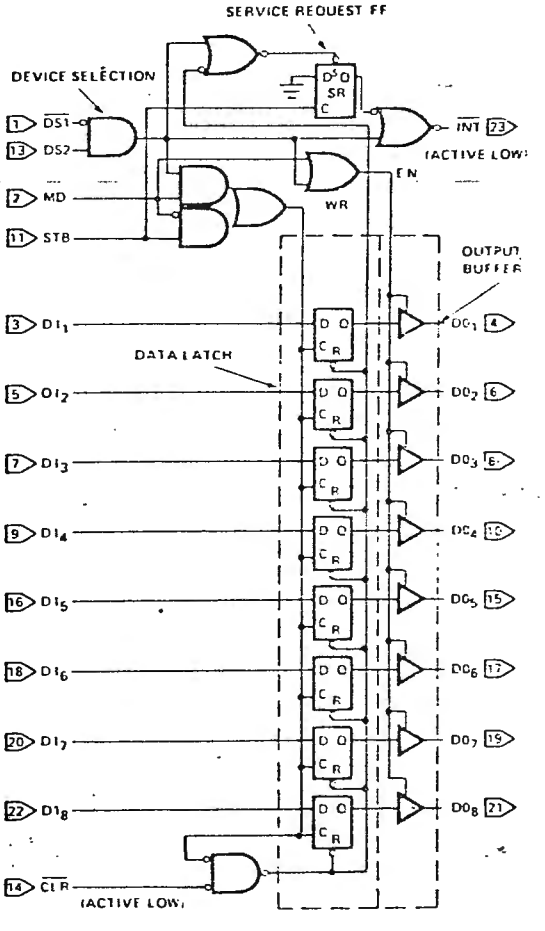
PIN CONFIGURATION



PIN NAMES

DI_1-DI_8	DATA IN
DO_1-DO_8	DATA OUT
$\overline{DS_1}$-DS_2	DEVICE SELECT
MD	MODE
STB	STROBE
$\overline{INT}$	INTERRUPT (ACTIVE LOW)
$\overline{CLR}$	CLEAR (ACTIVE LOW)

LOGIC DIAGRAM



PRELIMINARY

Notice: This is not a final specification. Some parametric limits are subject to change.

2716
16K (2K×8) UV ERASABLE PROM

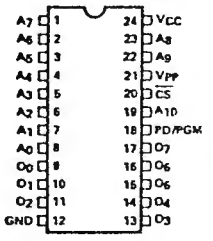
- Single +5V Power Supply
- Simple Programming Requirements
  - Single Location Programming
  - Programs With One 50ms Pulse
- Low Power Dissipation
  - 525mW Max. Active Power
  - 132mW Max. Standby Power
- Pin Compatible To Intel 2316E ROM
- Fast Access Time: 450ns Max.
- Inputs and Outputs TTL Compatible During Read And Program

The Intel® 2716 is a 16,384-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2716 operates from a single 5-volt power supply, has a static power down mode, and features fast single address location programming. It makes designing with EPROMs faster, easier and more economical. For production quantities, the 2716 user can convert rapidly to Intel's new pin-for-pin compatible 16K ROM, the 2316E.

Since the 450-nsec 2716 operates from a single 5-volt supply, it is ideal for use with the newer high performance +5V microprocessors such as Intel's 8085 and 8048. The 2716 is also the first EPROM with a static power down mode which reduces the power dissipation without increasing access time. The maximum active power dissipation is 525 mW while the maximum standby power dissipation is only 132 mW, a 75% savings.

The 2716 has the simplest and fastest method yet devised for programming EPROMs – single pulse TTL level programming. No need for high voltage pulsing because all programming controls are handled by TTL signals. Now, it is possible to program on-board, in the system, in the field. Program any location at any time – either individually, sequentially or at random, with the 2716's single address location programming. Total programming time for all 16,384 bits is only 100 seconds.

PIN CONFIGURATION



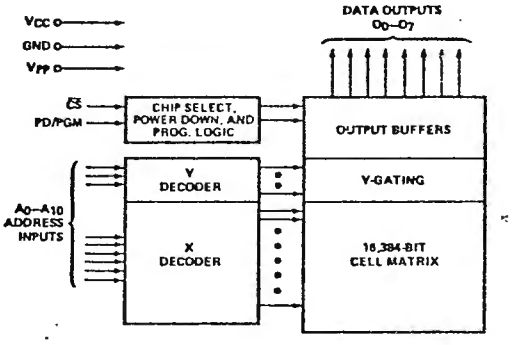
PIN NAMES

A_0–A_{10}	ADDRESSES
PD/PGM	POWER DOWN/PROGRAM
$\overline{CS}$	CHIP SELECT
O_0–O_7	OUTPUTS

MODE SELECTION

PINS / MODE	PD/PGM (18)	$\overline{CS}$ (20)	V_{PP} (21)	V_{CC} (24)	OUTPUTS (9-11, 13-17)
Read	V_{IL}	V_{IL}	+5	+5	D_{OUT}
Deselect	Don't Care	V_{IH}	+5	+5	High Z
Power Down	V_{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	+25	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+25	+5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	+25	+5	High Z

BLOCK DIAGRAM



PROGRAMMING

The programming specifications are described in the PROM/ROM Programming Instructions on page 6-74.

Absolute Maximum Ratings*

Temperature Under Bias . . . . . -10°C to +80°C
Storage Temperature . . . . . -65°C to +125°C
All Input or Output Voltages with
Respect to Ground . . . . . +6V to -0.3V
V_{PP} Supply Voltage with Respect
to Ground . . . . . +28V to -0.3V

*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

READ OPERATION

D.C. and Operating Characteristics

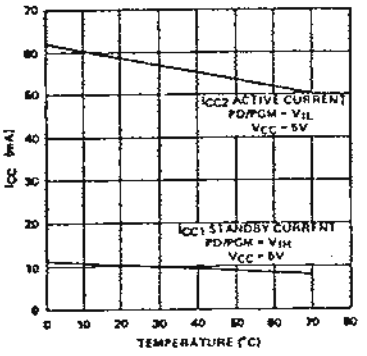
T_A = 0°C to 70°C, V_{CC}[1,2] = +5V ±5%, V_{PP}[2] = V_{CC} ±0.6V[3]

Symbol	Parameter	Limits			Unit	Conditions
		Min.	Typ.[4]	Max.		
I_{LI}	Input Load Current			10	μA	V_{IN} = 5.25V
I_{LO}	Output Leakage Current			10	μA	V_{OUT} = 5.25V
I_{PP1}[2]	V_{PP} Current			5	mA	V_{PP} = 5.85V
I_{CC1}[2]	V_{CC} Current (Standby)		10	25	mA	PD/PGM = V_{IH}, $\overline{CS}$ = V_{IL}
I_{CC2}[2]	V_{CC} Current (Active)		57	100	mA	$\overline{CS}$ = PD/PGM = V_{IL}
V_{IL}	Input Low Voltage	-0.1		0.8	V	
V_{IH}	Input High Voltage	2.2		V_{CC}+1	V	
V_{OL}	Output Low Voltage			0.45	V	I_{OL} = 2.1 mA
V_{OH}	Output High Voltage	2.4			V	I_{OH} = -400 μA

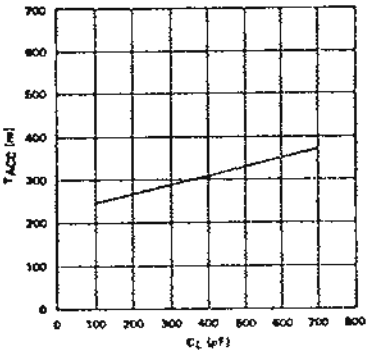
NOTES:
1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. The tolerance of 0.6V allows the use of a driver circuit for switching the V_{PP} supply pin from V_{CC} in read to 25V for programming.
4. Typical values are for T_A = 25°C and nominal supply voltages.
5. This parameter is only sampled and is not 100% tested.
6. t_{ACC2} is referenced to PD/PGM or the addresses, whichever occurs last.

Typical Characteristics

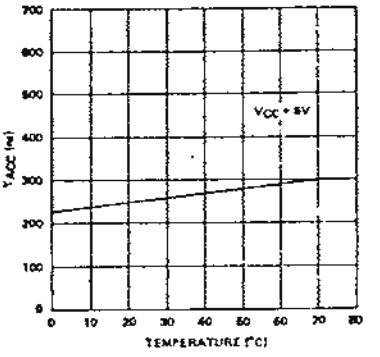
I_{CC} CURRENT vs. TEMPERATURE



ACCESS TIME vs. CAPACITANCE



ACCESS TIME vs. TEMPERATURE



A.C. Characteristics

T_A = 0°C to 70°C, V_{CC}[1] = +5V ±5%, V_{PP}[2] = V_{CC} ±0.6V[3]

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ.[4]	Max.		
t_{ACC1}	Address to Output Delay		250	450	ns	PD/PGM = $\overline{CS}$ = V_{IL}
t_{ACC2}	PD/PGM to Output Delay		280	450	ns	$\overline{CS}$ = V_{IL}
t_{CO}	Chip Select to Output Delay			120	ns	PD/PGM = V_{IL}
t_{PF}	PD/PGM to Output Float	0		100	ns	$\overline{CS}$ = V_{IL}
t_{DF}	Chip Deselect to Output Float	0		100	ns	PD/PGM = V_{IL}
t_{OH}	Address to Output Hold	0			ns	PD/PGM = $\overline{CS}$ = V_{IL}

Capacitance[5] T_A = 25°C, f = 1 MHz

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

NOTE: Please refer to page 2 for notes.

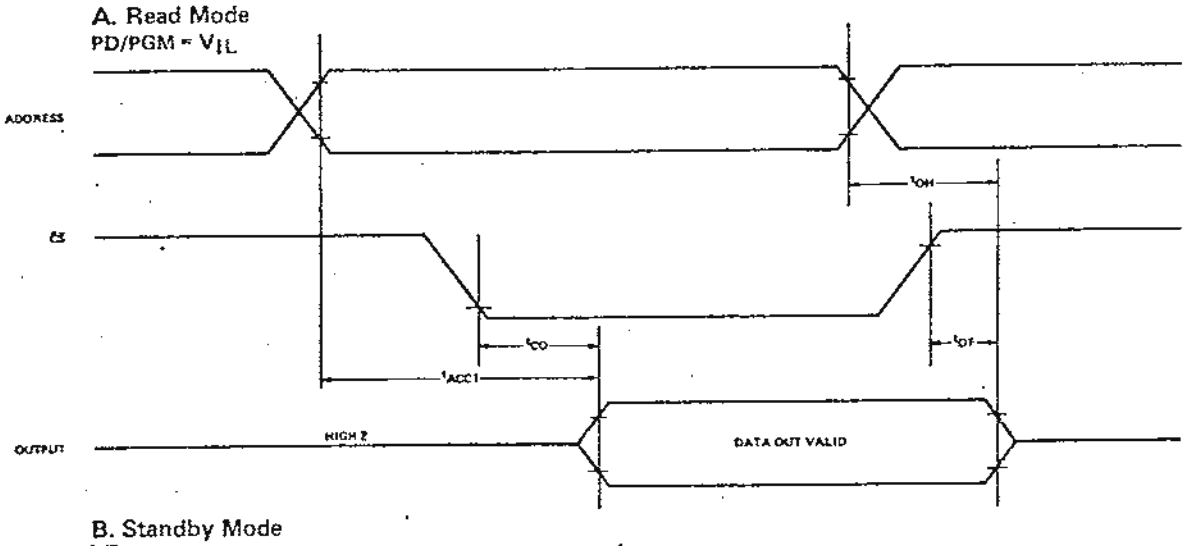
A.C. Test Conditions:

Output Load: 1 TTL gate and C_L = 100 pF
Input Rise and Fall Times: ≤20 ns
Input Pulse Levels: 0.8V to 2.2V
Timing Measurement Reference Level:
Inputs 1V and 2V
Outputs 0.8V and 2V

WAVEFORMS

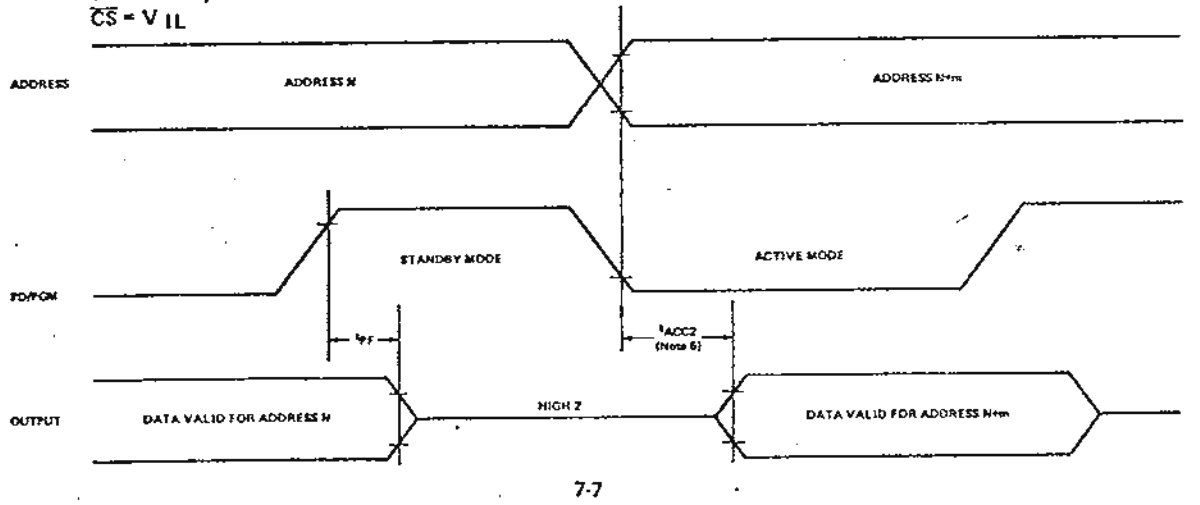
A. Read Mode

PD/PGM = V_{IL}



B. Standby Mode

$\overline{CS}$ = V_{IL}



ERASURE CHARACTERISTICS

The erasure characteristics of the 2716 are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000—4000Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2716 in approximately 3 years, while it would take approximatley 1 week to cause erasure when exposed to direct sunlight. If the 2716 is to be exposed to these types of lighting conditions for extended periods of time, opaque labels are available from Intel which should be placed over the 2716 window to prevent unintentional erasure.

The recommended erasure procedure (see page 3-55) for the 2716 is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μW/cm^2 power rating. The 2716 should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure.

DEVICE OPERATION

The six modes of operation of the 2716 are listed in Table I. It should be noted that all inputs for the six modes are at TTL levels. The power supplies required are a +5V V_{CC} and a V_{PP}. The V_{PP} power supply must be at 25V during the three programming modes, and must be at 5V in the other three modes.

TABLE I. MODE SELECTION

PINS / MODE	PD/PGM (18)	$\overline{CS}$ (20)	V_{PP} (21)	V_{CC} (24)	OUTPUTS (9-11, 13-17)
Read	V_{IL}	V_{IL}	+5	+5	D_{OUT}
Deselect	Don't Care	V_{IH}	+5	+5	High Z
Power Down	V_{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	+25	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+25	+5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	+25	+5	High Z

READ MODE

Data is available at the outputs in the read mode. Data is available 450 ns (t_{ACC}) from stable addresses with $\overline{CS}$ low or 120 ns (t_{CO}) from $\overline{CS}$ with addresses stable.

DESELECT MODE

The outputs of two or more 2716s may be OR-tied together on the same data bus. Only one 2716 should have its outputs selected ($\overline{CS}$ low) to prevent data bus contention between 2716s in this configuration. The outputs of the other 2716s should be deselected with the $\overline{CS}$ input at a high TTL level.

POWER DOWN MODE

The 2716 has a power down mode which reduces the active power dissipation by 75%, from 525 mW to 132 mW. Power down is achieved by applying a TTL high signal to the PD/PGM input. In power down the outputs are in a high impedance state, independent of the $\overline{CS}$ input.

PROGRAMMING

Initially, and after each erasure, all bits of the 2716 are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2716 is in the programming mode when the V_{PP} power supply is at 25V and $\overline{CS}$ is at V_{IH}. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the addresses and data are stable, a 50 msec, active high, TTL program pulse is applied to the PD/PGM input. A program pulse must be applied at each address location to be programmed. You can program any location at any time — either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2716 must not be programmed with a DC signal applied to the PD/PGM input.

Programming of multiple 2716s in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2716s may be connected together when they are programmed with the same data. A high level TTL pulse applied to the PD/PGM input programs the paralleled 2716s.

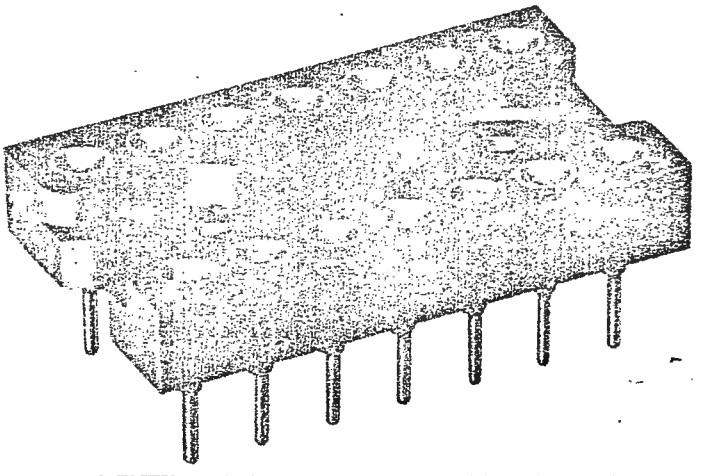
PROGRAM INHIBIT

Programming of multiple 2716s in parallel with different data is also easily accomplished. Except for PD/PGM, all like inputs (including $\overline{CS}$) of the parallel 2716s may be common. A TTL level program pulse applied to a 2716's PD/PGM input with V_{PP} at 25V will program that 2716. A low level PD/PGM input inhibits the other 2716s from being programmed.

PROGRAM VERIFY

A verify should be performed on the programmed bits to determine that they were correctly programmed. The verify may be performed wth V_{PP} at 25V. Except during programming and program verify, V_{PP} must be at 5V.

DIP SOCKETS



Meets most severe environmental conditions including military requirements of high shock and vibration.

Low profile.

Accommodates 8 thru 40 flat lead DIP IC's, or 0,41/.016 to 0,51/.021 diameter round leads maintaining high retention.

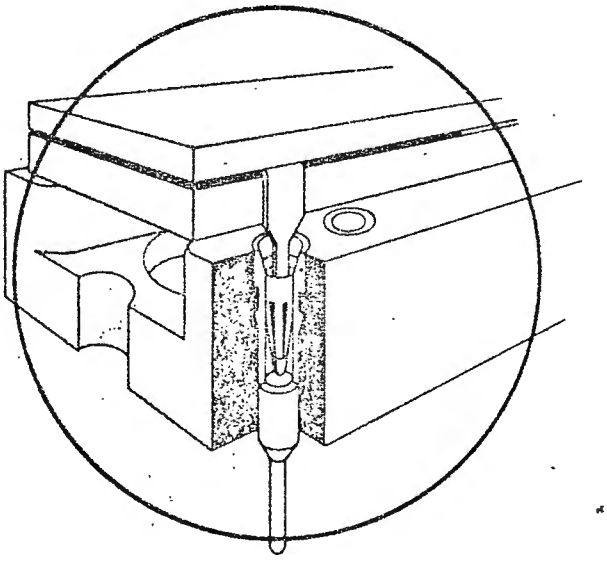
Contact features closed end construction eliminating any solder or flux wicking problems.

94V-O UL Rated material.

Wire wrap* (2 or 3 level or P.C. termination.) Gold plated contacts, gold or tin plated outer sleeves.

Two piece tapered entry socket terminal - four leaf machined closed entry inner contact and machined outer sleeve.

Test Report #173 available upon request.



MATERIALS

INSULATOR—thermoplastic polyester, UL rated 94V-O.

TWO-PIECE, MACHINED SOCKET TERMINAL:

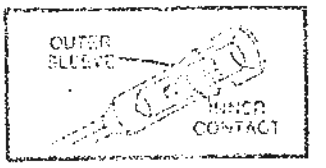
Inner Contact—beryllium copper, gold- over nickel-plated. Special request, tin-plated.

Outer Sleeve—brass, gold- over nickel- or tin-plated.

See next page for detailed drawings and part numbers.

AUGAT®

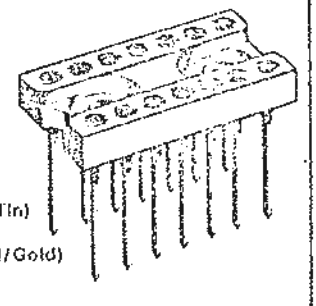
All sockets listed are with printed circuit termination. See below for ordering sockets with wire-wrap terminations.



PART NUMBER	TIP.	NO. OF CONT.	A MAX.	B MAX.	C	D	CONTACT PLATING	SLEEVE PLATING
508-AG10D	1	8	.400	.450	.300	—	Gold	Gold
508-AG19D			.400	.400			Gold	Gold
508-AG11D			.400	.450			Gold	Tin
508-AG37D			.400	.400			Gold	Tin
514-AG10D	2	14	.700	.450	.300	.400	Gold	Gold
514-AG19D			.700	.400			Gold	Gold
514-AG11D			.700	.450			Gold	Tin
514-AG37D			.700	.400			Gold	Tin
516-AG10D	2	16	.800	.450	.300	.500	Gold	Gold
516-AG19D			.800	.400			Gold	Gold
516-AG11D			.800	.450			Gold	Tin
516-AG37D			.800	.400			Gold	Tin
518-AG10D	3	18	.900	.450	.300	.600	Gold	Gold
518-AG19D			.900	.400			Gold	Gold
518-AG11D			.900	.450			Gold	Tin
518-AG37D			.900	.400			Gold	Tin
520-AG10D	3	20	1.000	.450	.300	.700	Gold	Gold
520-AG19D			1.000	.400			Gold	Gold
520-AG11D			1.000	.450			Gold	Tin
520-AG37D			1.000	.400			Gold	Tin
522-AG10D	4	22	1.150	.550	.400	.800	Gold	Gold
522-AG19D			1.150	.500			Gold	Gold
522-AG11D			1.150	.550			Gold	Tin
522-AG37D			1.150	.500			Gold	Tin
524-AG65D	4	24	1.200	.550	.400	.900	Gold	Gold
524-AG67D			1.200	.500			Gold	Gold
524-AG66D			1.200	.550			Gold	Tin
524-AG68D			1.200	.500			Gold	Tin
524-AG10D	5	24	1.200	.750	.600	.900	Gold	Gold
524-AG19D			1.200	.700			Gold	Gold
524-AG11D			1.200	.750			Gold	Tin
524-AG37D			1.200	.700			Gold	Tin
528-AG10D	5	28	1.400	.750	.600	.900	Gold	Gold
528-AG19D			1.400	.700			Gold	Gold
528-AG11D			1.400	.750			Gold	Tin
528-AG37D			1.400	.700			Gold	Tin
532-AG10D	5	32	1.600	.750	.600	.900	Gold	Gold
532-AG19D			1.600	.700			Gold	Gold
532-AG11D			1.600	.750			Gold	Tin
532-AG37D			1.600	.700			Gold	Tin
536-AG10D	5	36	1.800	.750	.600	1.500	Gold	Gold
536-AG19D			1.800	.700			Gold	Gold
536-AG11D			1.800	.750			Gold	Tin
536-AG37D			1.800	.700			Gold	Tin
540-AG10D	5	40	2.000	.750	.600	1.500	Gold	Gold
540-AG19D			2.000	.700			Gold	Gold
540-AG11D			2.000	.750			Gold	Tin
540-AG37D			2.000	.700			Gold	Tin

Above dimensions in inches, see metric conversion below.

NOTE: The above sockets are also standard with wire wrap* termination, simply replace "D" suffix with "F" suffix for three level and "F"-2 for two level.



EXAMPLE:

514-AG11F (3 level, Gold/Tin)

514-AG10F-2 (2 level, Gold/Gold)

*Gardner Denver TradeMark

MILLIMETER	INCH
7.62	.300
10.16	.400
11.43	.450
12.70	.500
13.97	.550
15.24	.600
19.05	.750
20.32	.800
21.59	.850
22.86	.900
29.21	1.150
30.48	1.200
35.56	1.400
38.10	1.500
40.64	1.600
45.72	1.800
50.80	2.000

Dimensions specified in millimeters and inches.

MILLIMETER/INCH

MILLIMETER / INCH

Tolerance unless otherwise specified.

Decimals: ± 0.13 / .005
Fractions: ± 0.38 / 1/64

8 CONTACT

7,62/.300" between rows

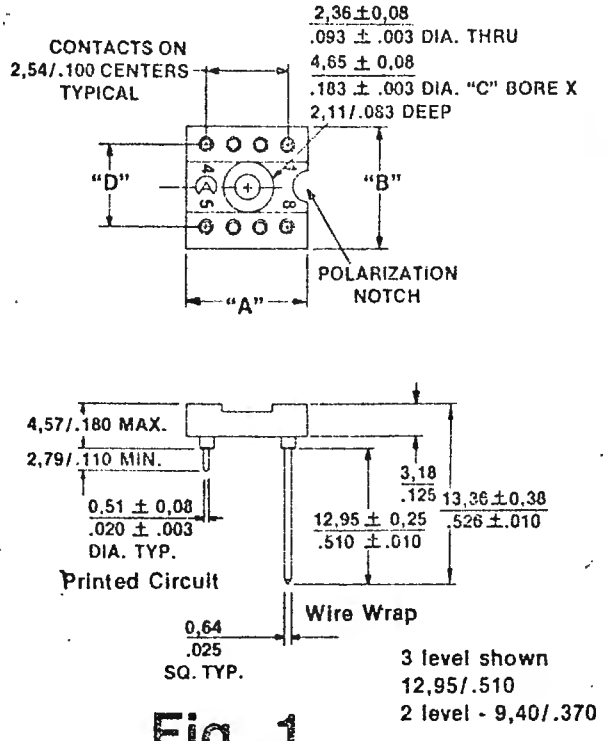


Fig. 1

14 and 16 CONTACT

7,62/.300" between rows

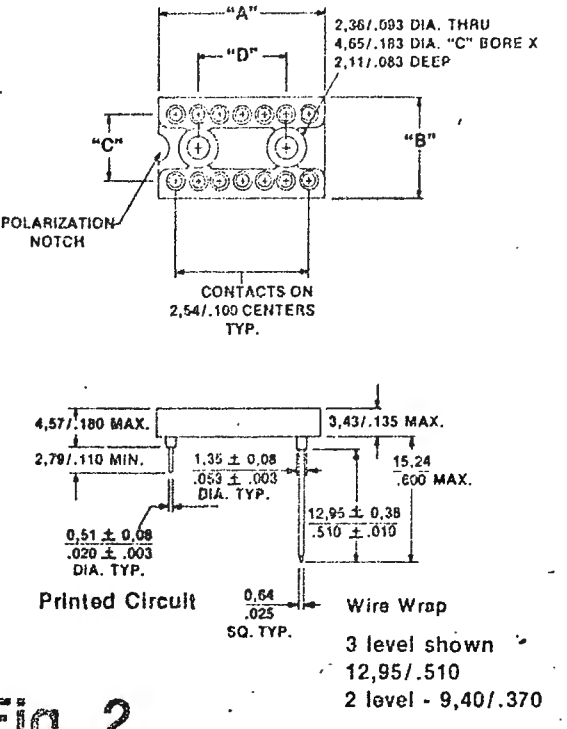


Fig. 2

te: All sockets with P.C. terminations with tail length of .180"±.005" (instead of .110" min. as listed).
quest part number.

18 & 20 CONTACT

7,62/.300" between rows

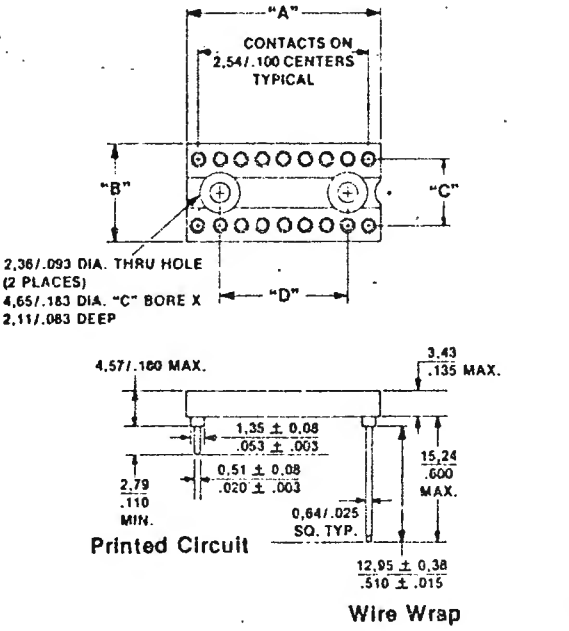


Fig. 3

22 & 24 CONTACT

10,16/.400" between rows

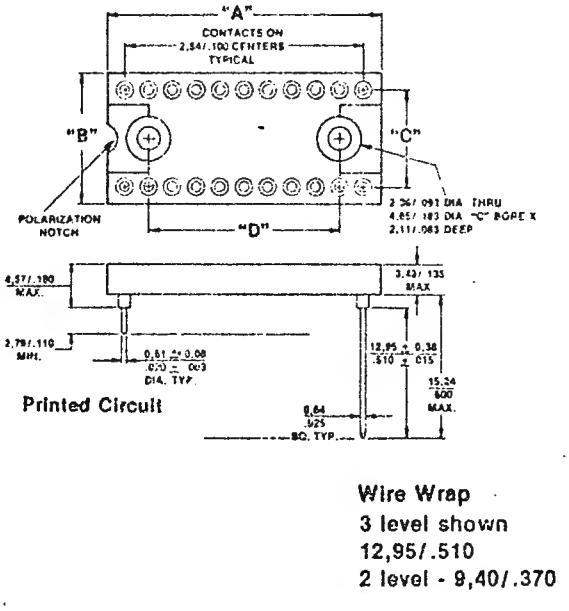
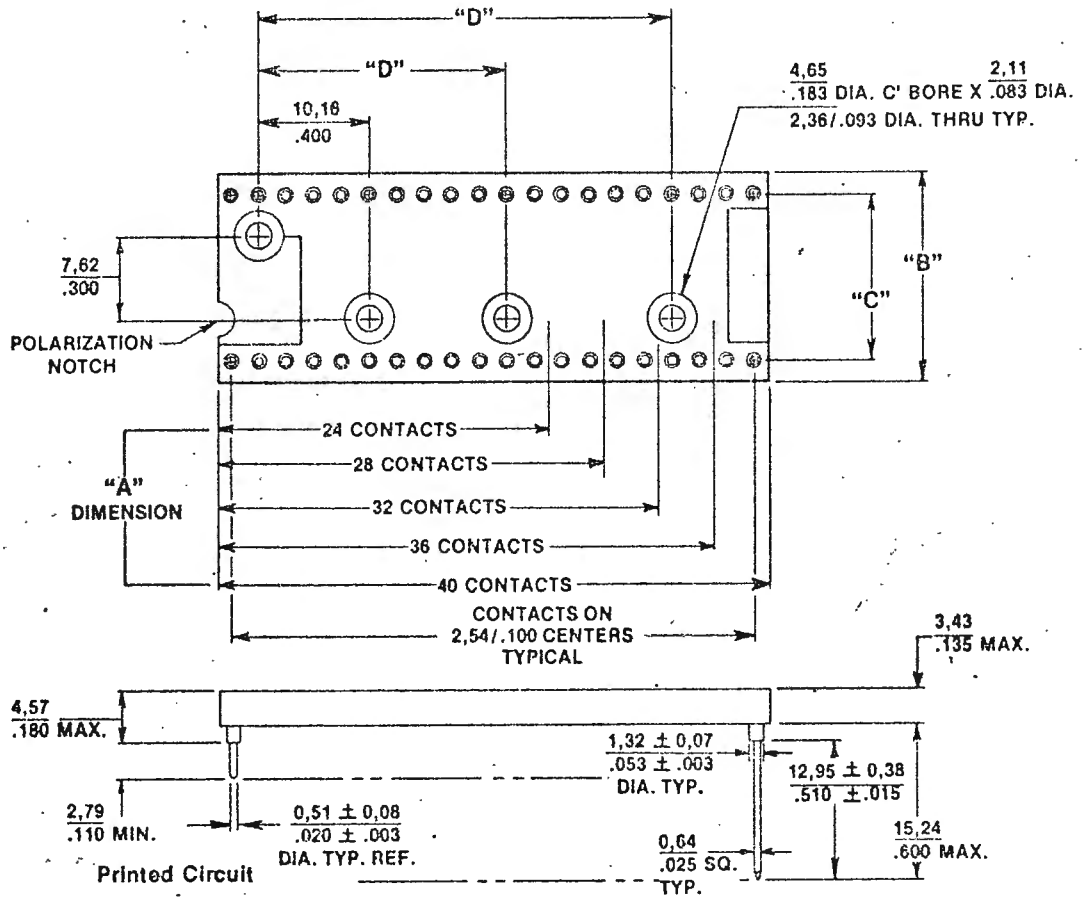


Fig. 4

24, 28, 32, 36 and 40 CONTACT

15,24/.600" between rows

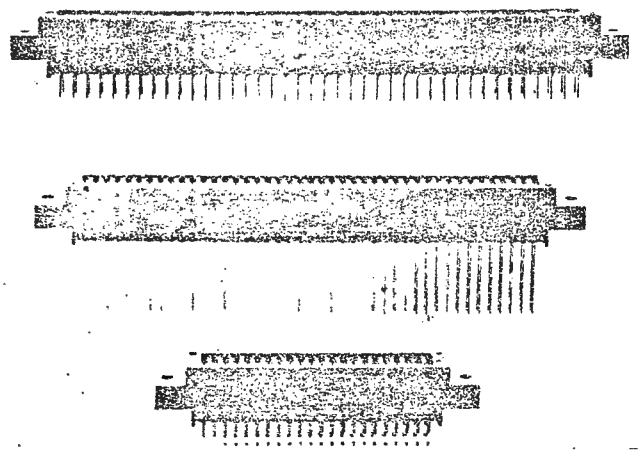


Wire Wrap 3 level shown 12/ .510
2 level - 9,40/ .370

Fig. 5

DS42

.125" SERIES 346 CARD EDGE RECEPTACLE 3.18 mm



SPECIFICATIONS

CONTACTS
Copper, Nickel, Tin Alloy, 30 Micro-Inches Gold Inlay

CONTACT DURABILITY
No mechanical or electrical degradation (Minimum 100 insertions nominal gauge)

CURRENT RATING
3 Amperes

CONTACT RESISTANCE
6 Milliohms Maximum

INSULATION RESISTANCE
5000 Megohms at 500 V.D.C.

DIELECTRIC WITHSTANDING VOLTAGE
2000 Volts A.C. RMS between adjacent contacts, at sea level

P.C. CARD SLOT
Accepts P.C. Boards .054" to .070" thick. (1.37mm. to 1.78mm.)

INSERTION AND WITHDRAWAL FORCE
2 to 10 ounces per contact pair [.062" (1.59mm.) board thickness]

OPERATING TEMPERATURE
–55° to +125° C.

FEATURES

- Diallyl Phthalate Insulator, per MIL-M-14F, Type SDG-F, Colour - Green
- Available with .128" (3.25mm) dia. Mounting Holes for No. 4 Screw – With .156" (3.96mm) Mounting Holes for mounting Card Guides – With .116" (2.95mm) I.D. Floating Eyelets or with No. 4-40 Threaded Inserts
- Gardner–Denver positioning holes at each end of Insulator to facilitate Automatic Wire Wrapping in high density applications
- .125" Contact spacing X .250" Row spacing, Pre-Loaded, Single Beam, Cantilever, Bifurcated Contacts
- Insertable, removable, 30 Micro-inches Gold inlay, Copper alloy Contacts
- 3 Styles of Terminals: Solder Tail, P.C. Tail, *Wire-Wrap Tail; .025" (.635mm) Square, .560" (14.22mm) or .750" (19.05mm) Long, Aligned for Automatic *Wire-Wrap
- Single and Dual Readout. Single Readout Tails normally provided on Even Numbered Side
- 3 inch (76.20mm) Card Guides Available for all sizes. 2 Types: In-Line and .468" (11.53mm) Offset
- Polarizing Between Contact and In Contact position
- Stocked in 12 sizes: 10/20, 15/30, 18/36, 22/44, 50/100. Available in sizes 6/12 to 50/100
- Staggered Pin-Out, Right Angle Tail Terminations, and other Special Variations are Available. Consult Factory

* Wire-Wrap is a Registered Trade Mark of the Gardner-Denver Company.

POLARIZING INSERTS

BETWEEN CONTACT POSITIONS

PART NUMBER
346-240-318

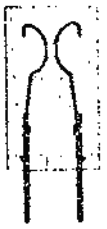
IN CONTACT POSITION

PART NUMBER
345-240-328

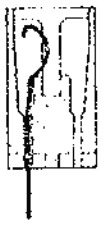
CONTACT ROWS

CROSS SECTION DOUBLE SIDED

.020" (.51mm.) NOMINAL GAP



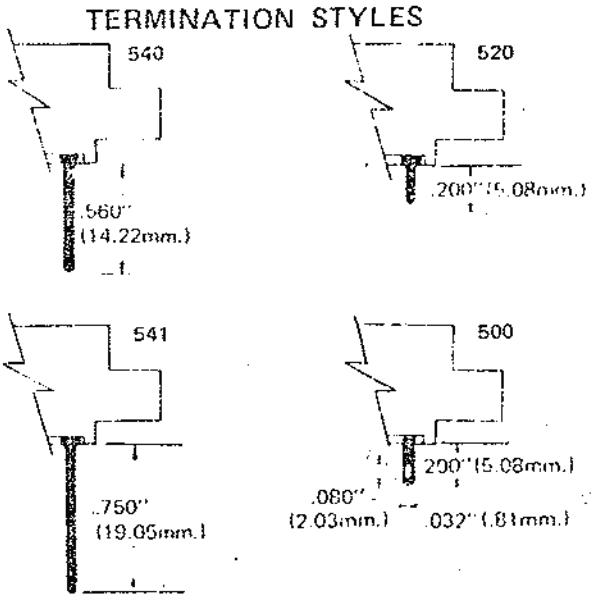
CROSS SECTION SINGLE SIDED



NUMBER OF CONTACTS

SINGLE	DUAL
10	20
15	30
18	36
22	44
28	56
30	60
31	62
35	70
36	72
40	80
43	86
50	100

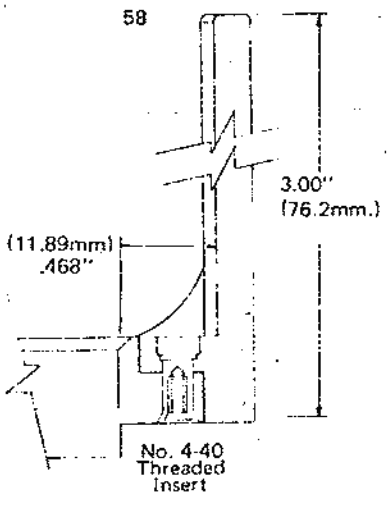
TERMINATION STYLES



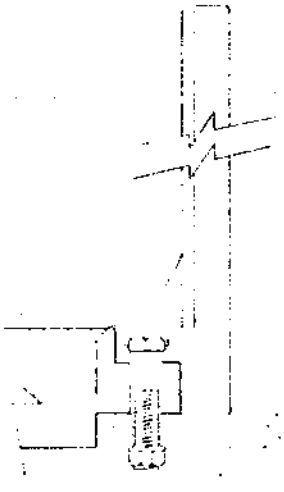
CONTACT CODE

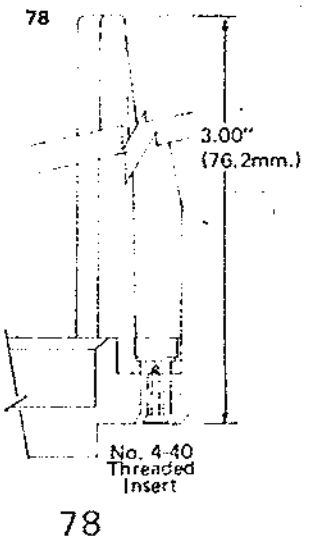
CODE	DESCRIPTION	'G' ± .020" (.5mm)
500	Solder Hole, .025" X .050"	.200" (5.08mm)
520	P.C. Tab, .025" Square	.200" (5.08mm)
540	Wire-Wrap, .025" Square	.560" (14.22mm)
541	Wire-Wrap, .025" Square	.750" (19.05mm)

CARD GUIDE OPTIONS



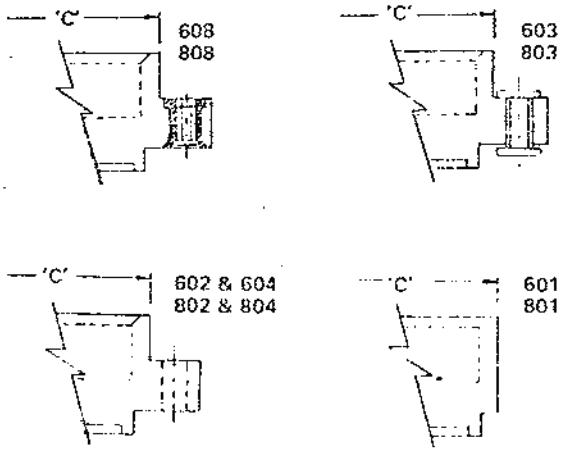
Offset Card Guide Field Assembled to -04 Type Insulator





In-Line Card Guide Field Assembled to -04 Type Insulator

MOUNTING STYLES



READOUT AND INSULATOR STYLE

6	Single Readout Offset Mounting
8	Dual Readout Offset Mounting

VARIATION CODE

CODE	DESCRIPTION
01	No Mounting Lugs
02	.128" Dia. Mounting Holes
03	.116" I.D. Floating Eyelets
04	.156" Dia. Mounting Holes
08	No. 4-40 Threaded Inserts
58	Card Guides, Offset .468"
78	Card Guides, In-Line

FOR OTHER VARIATIONS SEE OTHER SIDE OF THIS SHEET

Ordering code for 346 Series card-edge connectors

346 100 520 802

- **Series** — 346
- **Number of contacts** — 100
- **Contact code** — 520
- **Readout and insulator style** — 802
- **Variation code** — 802

MODULAR CARD GUIDE OPTIONS

Card Guides are normally factory assembled to the connector body and have a No. 4-40 X .280" threaded insert for mounting. Card Guides may be ordered separately and mounted to the 346 connector which has .156" diameter holes through the mounting lugs, (04 variation). Each are shown in the illustration to the left. For each Card Guide, a bushing, Part No. 345-250-442 must be used. Either a No. 4 Hex Head or Round Head Machine Screw 5/8" long, with a nut and washer, will hold the assembly to a 1/16" panel.

To order Card Guides separately, please specify:

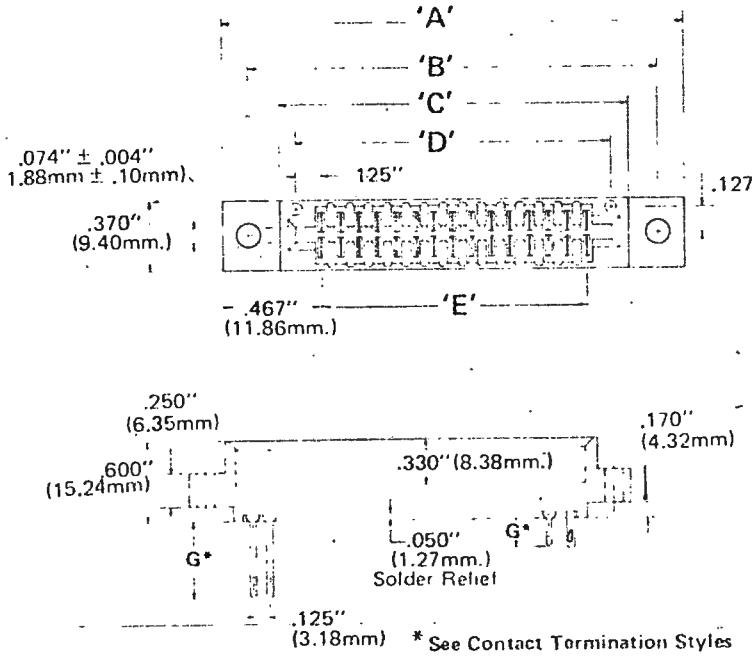
346-220-058 – Offset, .468" X 3.00 inches long

346-220-078 – In-Line, 3.00 inches long

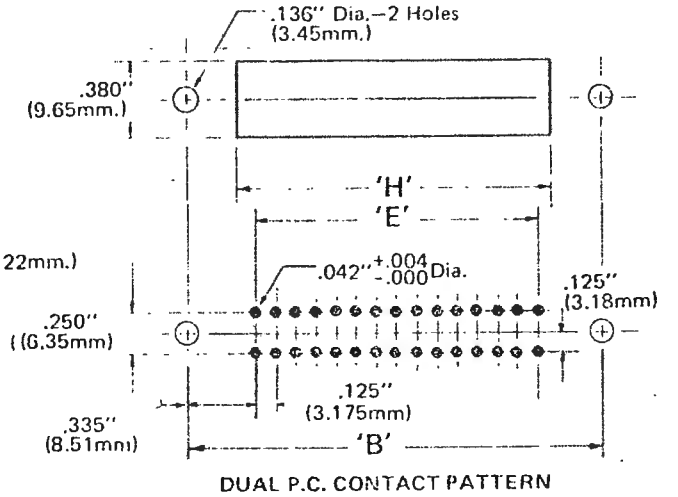
CONTACT REMOVAL AND INSERTION

All 346 Contacts are removable and insertable. For Contact Removal Tool, specify Part No. 346-280-200. For Contact Insertion Too, specify Part No. 346-280-100.

346 DIMENSIONAL DRAWING

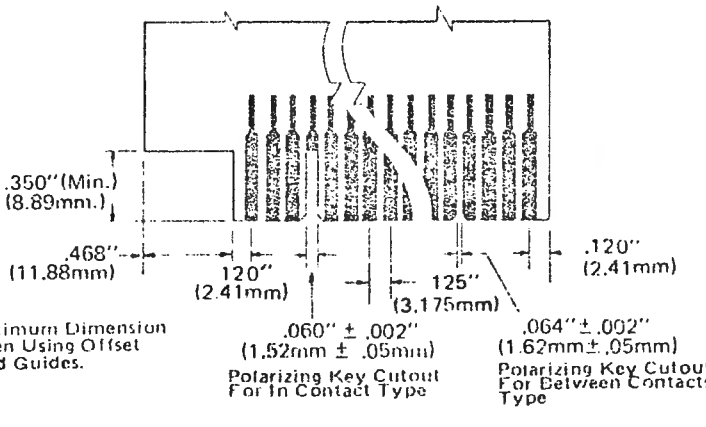


STANDARD MOUNTING PATTERN



DUAL P.C. CONTACT PATTERN

P.C. BOARD PATTERNS



* Maximum Dimension When Using Offset Card Guides.

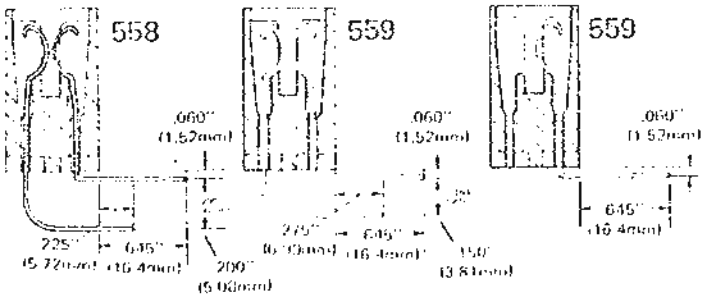
346 SERIES CARD-EDGE CONNECTOR DIMENSIONS CHART

	Number of Contacts		A		B		C		D		E		H	
	Single	Dual	Inches	mm	Inches	mm	Inches	mm	Inches	mm	Inches	mm	Inches	mm
	6	12	1.560	39.62	1.295	32.89	1.035	26.29	0.875	22.22	0.625	15.88	0.910	23.11
	7	14	1.685	42.80	1.420	36.07	1.160	29.46	1.000	25.40	0.750	19.05	1.035	26.29
	8	16	1.810	45.97	1.545	39.24	1.285	32.64	1.125	28.58	0.875	22.22	1.160	29.46
	9	18	1.935	49.15	1.670	42.42	1.410	35.81	1.250	31.75	1.000	25.40	1.285	32.64
•	10	20	2.060	52.32	1.795	45.59	1.535	38.99	1.375	34.93	1.125	28.58	1.410	35.81
	11	22	2.185	55.50	1.920	48.77	1.660	41.16	1.500	38.10	1.250	31.75	1.535	38.99
	12	24	2.310	58.67	2.045	51.94	1.785	45.34	1.625	41.28	1.375	34.93	1.660	42.16
	13	26	2.435	61.85	2.170	55.12	1.910	48.51	1.750	44.45	1.500	38.10	1.785	45.34
	14	28	2.560	65.02	2.295	58.29	2.035	51.69	1.875	47.62	1.625	41.28	1.910	48.51
•	15	30	2.685	68.20	2.420	61.47	2.160	54.86	2.000	50.80	1.750	44.45	2.035	51.69
	16	32	2.810	71.37	2.545	64.64	2.285	58.04	2.125	53.98	1.875	47.63	2.160	54.86
	17	34	2.935	74.55	2.670	67.82	2.410	61.21	2.250	57.15	2.000	50.80	2.285	58.04
•	18	36	3.060	77.72	2.795	70.99	2.535	64.39	2.375	60.33	2.125	53.98	2.410	61.21
	19	38	3.185	80.90	2.920	74.17	2.660	67.56	2.500	63.50	2.250	57.15	2.535	64.39
	20	40	3.310	84.07	3.045	77.34	2.785	70.74	2.625	66.68	2.375	60.33	2.660	67.56
	21	42	3.435	87.25	3.170	80.52	2.910	73.91	2.750	69.85	2.500	63.50	2.785	70.74
•	22	44	3.560	90.42	3.295	83.69	3.035	77.09	2.875	73.03	2.625	66.68	2.910	73.91
	23	46	3.685	93.60	3.420	86.87	3.160	80.26	3.000	76.20	2.750	69.85	3.035	77.09
	24	48	3.810	96.77	3.545	90.04	3.285	83.44	3.125	79.38	2.875	73.03	3.160	80.26
	25	50	3.935	99.95	3.670	93.22	3.410	86.61	3.250	82.55	3.000	76.20	3.285	83.44
	26	52	4.060	103.1	3.795	96.39	3.535	89.79	3.375	85.73	3.125	79.38	3.410	86.61
	27	54	4.185	106.3	3.920	99.57	3.660	92.96	3.500	88.90	3.250	82.55	3.535	89.79
•	28	56	4.310	109.5	4.045	102.7	3.785	96.14	3.625	92.08	3.375	85.73	3.660	92.96
	29	58	4.435	112.6	4.170	105.9	3.910	99.31	3.750	95.25	3.500	88.90	3.785	96.14
•	30	60	4.560	115.8	4.295	109.1	4.035	102.5	3.875	98.43	3.625	92.08	3.910	99.31
•	31	62	4.685	119.0	4.420	112.3	4.160	105.7	4.000	101.6	3.750	95.25	4.035	102.5
	32	64	4.810	122.2	4.545	115.4	4.285	108.8	4.125	104.8	3.875	98.43	4.160	105.7
	33	66	4.935	125.3	4.670	118.6	4.410	112.0	4.250	108.0	4.000	101.6	4.285	108.8
	34	68	5.060	128.5	4.795	121.8	4.535	115.2	4.375	111.1	4.125	101.8	4.410	112.0
•	35	70	5.185	131.7	4.920	125.0	4.660	118.4	4.500	114.3	4.250	108.0	4.535	115.2
•	36	72	5.310	134.9	5.045	128.1	4.785	121.5	4.625	117.5	4.375	111.1	4.660	118.4
	37	74	5.435	138.0	5.170	131.3	4.910	124.7	4.750	120.7	4.500	114.3	4.785	121.5
	38	76	5.560	141.2	5.295	134.5	5.035	127.9	4.875	123.8	4.625	117.5	4.910	124.7
	39	78	5.685	144.3	5.420	137.7	5.160	131.1	5.000	127.0	4.750	120.7	5.035	127.9
•	40	80	5.810	147.6	5.545	140.8	5.285	134.2	5.125	130.2	4.875	123.8	5.160	131.1
	41	82	5.935	150.7	5.670	144.0	5.410	137.4	5.250	133.4	5.000	127.0	5.285	134.2
	42	84	6.060	153.9	5.795	147.2	5.535	140.6	5.375	136.5	5.125	130.2	5.410	137.4
•	43	86	6.185	157.1	5.920	150.4	5.660	143.8	5.500	139.7	5.250	133.4	5.535	140.6
	44	88	6.310	160.3	6.045	153.5	5.785	146.9	5.625	142.9	5.375	136.5	5.660	143.8
	45	90	6.435	163.4	6.170	156.7	5.910	150.1	5.750	146.1	5.500	139.7	5.785	146.9
	46	92	6.560	166.6	6.295	159.9	6.035	153.3	5.875	149.2	5.625	142.9	5.910	150.1
	47	94	6.685	169.8	6.420	163.1	6.160	156.5	6.000	152.4	5.750	146.0	6.035	153.3
	48	96	6.810	173.0	6.545	166.2	6.285	159.6	6.125	155.6	5.875	149.2	6.160	156.5
	49	98	6.935	176.1	6.670	169.4	6.410	162.8	6.250	158.8	6.000	152.4	6.285	159.6
•	50	100	7.060	179.3	6.795	172.6	6.535	166.0	6.375	161.9	6.125	155.6	6.410	162.8

• CONNECTORS INDICATED ARE IN DISTRIBUTOR STOCK. FOR OTHER SIZES, CONTACT FACTORY.

OTHER VARIATIONS

90° BENDS



Example: 86 pin, .200" spacing, Dual Readout, No Mounting Lugs

346-086-558-201

CONTACT VARIATIONS	01	02	03	04	08
Contacts on Odd Numbered Side	377	380	383	384	385
Contacts Staggered 1,4,5,8 etc.	379	381	386	387	388
Contacts Staggered 2,3,6,7 etc.	379	382	389	390	391

Example: 43 Pin Staggered, starting at 1, with P.C. Tail, No. 4-40 Threaded Insert, the ordering code is:
346-043-520-388

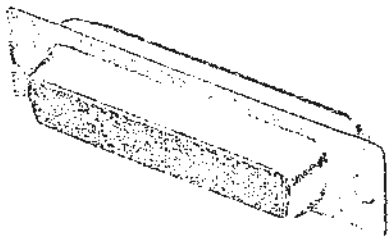
01 – No Mounting Lugs
02 – .128" Mounting Holes
03 – .116" Floating Eyelets
04 – .156" Mounting Holes
08 – No. 4-40 Threaded Inserts

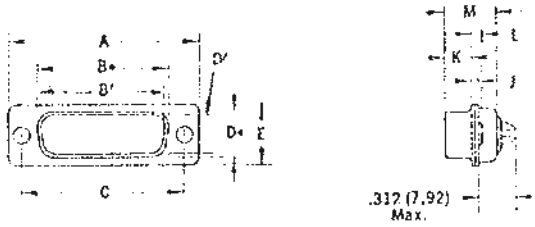
For immediate budgetary information contact the nearest office location shown on the back of this catalog cover.

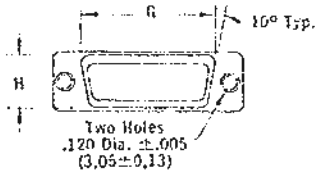
Dimensions subject to change.

ORIGINAL D* Solder Type, Non-Removable Contacts

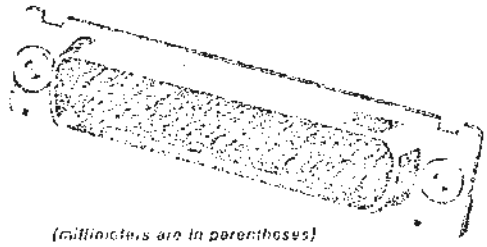
STANDARD SHELL



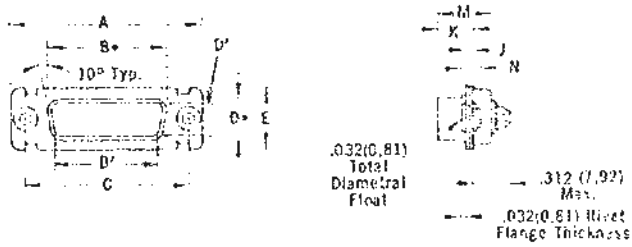


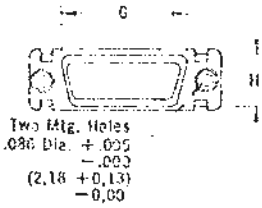


SHELL WITH FLOAT MOUNTS



(millimeters are in parentheses)





It is recommended that only one assembly, either pin or socket, be float mounted. For front panel mounting use reverse float mount; see page 118.

INCHES

Part Number by Shell Size	A ±.015	B* ±.010	B' ±.010	C ±.005	D* ±.010	D' ±.010	E ±.015	G* ±.010	H* ±.010	J ±.010	K ±.010	L ±.010	M ±.015	N ±.010
DE-9P	1.213	--	.666	.984	---	.329	.494	.759	.422	.030	.236	.045	.422	.120
DE-9S	1.213	.640	—	.984	.308	—	.494	.759	.422	.030	.243	.045	.429	.120
DA-15P	1.541	- -	.994	1.312	---	.329	.494	1.083	.422	.030	.236	.045	.422	.120
DA-15S	1.541	.968	--	1.312	.308	—	.494	1.083	.422	.030	.243	.045	.429	.120
DB-25P	2.088	---	1.534	1.852	---	.329	.494	1.625	.422	.030	.231	.060	.426	.129
DB-25S	2.088	1.508	--	1.852	.308	—	.494	1.625	.422	.030	.243	.045	.429	.120
DC-37P	2.729	---	2.182	2.500	—	.329	.494	2.272	.422	.030	.231	.060	.426	.129
DC-37S	2.729	2.156	--	2.500	.308	—	.494	2.272	.422	.030	.243	.045	.429	.120
DD-50P	2.535	--	2.079	2.406	---	.426	.605	2.178	.534	.030	.231	.060	.426	.129
DD-50S	2.635	2.062	---	2.400	.420	--	.605	2.178	.534	.030	.243	.045	.429	.120

MILLIMETERS

Part Number by Shell Size	A ±0,38	B* ±0,25	B' ±0,25	C ±0,12	D* ±0,25	D' ±0,25	E ±0,38	G* ±0,25	H* ±0,25	J ±0,25	K ±0,25	L ±0,25	M ±0,38	N ±0,25
DE-9P	30,81		16,91	24,99	--	8,36	12,55	19,28	10,72	0,76	5,99	1,14	10,72	3,05
DE-9S	30,81	16,25	—	24,99	7,82	---	12,55	19,28	10,72	0,76	6,17	1,14	10,90	3,05
DA-15P	39,14	---	25,24	33,32	--	8,36	12,55	27,51	10,72	0,76	5,99	1,14	10,72	3,05
DA-15S	39,14	24,58	--	33,32	7,82	—	12,55	27,51	10,72	0,76	6,17	1,14	10,90	3,05
DB-25P	53,03	-	38,96	47,04	---	8,36	12,55	41,27	10,72	0,76	5,87	1,52	10,82	3,28
DB-25S	53,03	38,30	---	47,04	7,82	—	12,55	41,27	10,72	0,76	6,17	1,14	10,90	3,05
DC-37P	69,31	--	55,42	63,50	---	8,36	12,55	57,71	10,72	0,99	5,87	1,52	10,82	3,28
DC-37S	69,31	54,76	---	63,50	7,82	-	12,55	57,71	10,72	0,76	6,17	1,14	10,90	3,05
DD-50P	65,92	-	52,81	61,11	-	11,07	15,37	55,32	13,56	0,99	5,87	1,52	10,82	3,28
DD-50S	66,92	52,37	---	61,11	10,67	- -	15,37	55,32	13,56	0,76	6,17	1,14	10,90	3,05

(millimeters are in parentheses)

* Dimensions B, D, G, and H are measured as outside dimensions at the bottom of draw.
For shell with float mounts, add letter F after letter C, e.g., DEF-9P

NOTE: B* and D* are the O.D. dims. for socket side, B' and D' are the I.D. dims. for pin side.

For immediate budgetary information contact the nearest office location shown on the back of this catalog cover.

ORIGINAL D D* Solder Type, Non-Removable Contacts

Dimensions are subject to change.

CONDENSED DATA

STANDARD MATERIALS AND FINISHES

Shell	Steel, yellow chromate over cadmium plate
Insulator	Two piece white Nylon
Contacts	Copper alloy, gold over nickel plate
Rivets and Washers (float mounting)	Stainless steel

MECHANICAL FEATURES

Coupling	Friction and lock accessories
Polarization	Keystone-shaped shells
Contact Type	Captivated
Termination	Solder pot, Wire-Wrap or printed circuit

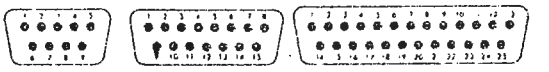
ELECTRICAL DATA

Wire Size	Size 20
Current Rating	Size 20 Contacts: 5 amps

VOLTAGE RATING see page 109.

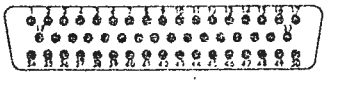
CONTACT ARRANGEMENTS

FACE VIEW PIN INSERT



Shell Size	E	A	B
No. of Contacts	9	15	25
Contact Size	#20	#20	#20

Shell Size	C
No. of Contacts	37
Contact Size	#20



Shell Size	D
No. of Contacts	50
Contact Size	#20

† Wire-Wrap is a registered trademark of Gardner-Denver

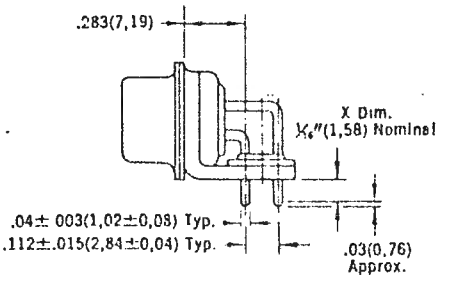
PRINTED CIRCUIT APPLICATIONS

RIGHT ANGLE 90° TERMINAL

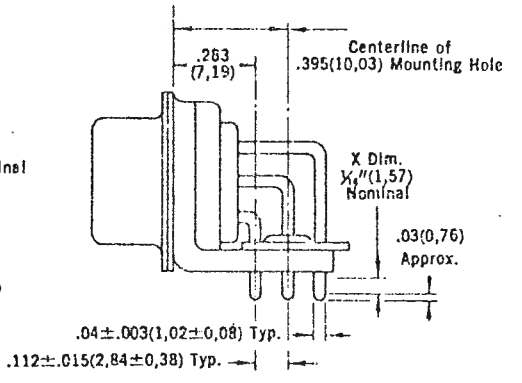
Connectors are furnished with or without a bracket. Spacer assemblies not supplied.

Part Number Printed Circuit Terminal Modifier	90° Bracket Included
A	Yes
C	No

Example: DE-9PA, see page 88 for ordering nomenclature.



DE, DA, DB, DC SIZES



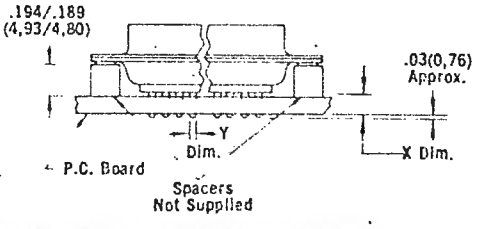
DD SIZE

STRAIGHT TERMINAL

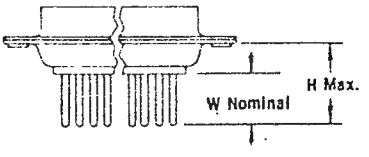
For printed circuit boards up to 1/16"(1,58mm) maximum thickness the straight terminals extend 3/32"(2,38mm) beyond the rear of the insert.

Part Number Printed Circuit Terminal Modifier	X Nominal	Y ±.003 (±0,08)
U	3/32 (2,38)	.024 (0,61)
V	1/16 (1,58)	.04 (1,02)

Example: DE-9PA, see page 88 for ordering nomenclature.



WIRE WRAPPING APPLICATIONS



Modification Code	H	W	Wrap Accommodations
F179	.587 (14,91)	.375 (9,52)	2
F179A	.713 (18,11)	.500 (12,7)	3
F179B	.465 (11,8)	.250 (6,35)	1

.024" square (0,61) contact tails will accommodate #28 or #30 AWG rigid wire (diagonal of square is .034/.031" (0,86/0,79mm)).

(millimeters are in parentheses)

For immediate budgetary information contact the nearest office location shown on the back of this catalog cover.

GENERAL INFORMATION

D Subminiature rectangular connectors are designed for applications where space and weight are prime considerations. They accommodate a great number of circuits in relation to their size and weight and are especially suited for aircraft, missile, and ground support systems. Although designed essentially for rack/panel applications, D series connectors may be adapted for cable attachments by accessory junction shells (shields) with integral clamps.

- ORIGINAL D with solder pot contacts in a two piece insulator.
- BURGUN-D Mark IV connector with crimp snap-in contacts in a rear release dielectric retention assembly for economical, commercial applications.
- D*U: Flame-retardant BURGUN-D low cost non environmental subminiature connectors with rear release crimp, snap-in contacts.
- D*P: Flame retardent 90° all plastic PCB connectors ideal for low cost high performance commercial applications.
- D*SP: Mas/Ter interconnect system connectors providing reliable high speed mass termination; flame retardant.
- D*M: GOLDEN-D Mark I connector with solder pot contacts in a monobloc insulator for improved moisture resistance.
- D*M: ROYAL D Mark III connectors have crimp snap-in contacts in the LITTLE CAESAR* rear release contacts retention assembly for high performance, high reliability applications.

These intermateable connectors will accommodate up to 50 contacts that are rated at 5-amps per contact for #20 gauge wire. A high density arrangement with 78 size 22 contacts is also available, as are combination arrangements with provisions for coaxial, power, and or high voltage contacts and printed circuit terminations. Polarization is by the keystone shape of the shell; coupling is by friction.

The versatility of the D Subminiature line is enhanced by the variety of finishes, as well as by a complete line of accessories. Many of these D Subminiature connector series and accessories are U.L. recognized. Inquiries regarding modifications and custom harnessing of connectors are invited.

SUMMARY

Series	Description	Designation	Insulator	Contacts Termination
D*	D Subminiature connector, low cost	ORIGINAL-D	Two pieces, white Nylon	Solder, Wire-Wrap† and printed circuit
D*C	D Subminiature connector, low cost for commercial applications	BURGUN-D (Mark IV)	Two pieces, burgundy, glass-filled Nylon	Crimp snap-in rear release, and printed circuit Plastic retention clip
D*U	Flame-retardant BURGUN-D D Subminiature	BURGUN-D (Mark IV)	Two pieces, black, glass-filled thermoplastic	Crimp snap-in, rear release, and printed circuit Plastic case retention
D*P	D Subminiature 90° all plastic PCB connector, low cost, high performance, flame retardant	—	Housing / Retainer: glass-filled thermoplastic, UL rated 94V-0, black	Solder and printed circuit
D*SP	D Subminiature, connectors with high speed mass termination for lower cost, flame retardant	Mas Ter-D	Glass-filled thermoplastic, UL rated 94V-0, black	Insulation displacement technique
D*M	D Subminiature connector for more critical applications conforms to MIL-C-24308	GOLDEN-D (Mark I)	Monobloc, Diallylphthalate glass-filled, dark green	Solder and printed circuit Coaxial, high power and high voltage
D*MA	D Subminiature with LITTLE CAESAR contact retention system conforms to MIL-C-24308	ROYAL-D (Mark III)	Monobloc, Diallylphthalate glass-filled, dark green	Crimp snap-in, rear release coaxial and or high voltage

† Wire-Wrap is a registered trademark of Gardner-Denver

ORIGINAL D* Solder Type, Non-Removable Contacts

The Original D connector utilizes a two-piece nylon insulator in five basic shell sizes: E, A, B, C, and D. These nylon insulators operate in temperatures ranging from −65°F to +250°F (−55°C to +120°C). Contact arrangements accommodate 9, 15, 25, 37, and 50 size 20 solder pot, Wire-Wrap or printed circuit contacts respectively. Standard contact terminations accommodate up to #20 AWG stranded wire. Current rating is 5 amps. Polarization is by keystone shape of the shell. Locking accessories and shells with float mounts are also available.

HOW TO ORDER

D B E 25 P A

- Series Prefix
- Shell Size
- Mounting Type
- Contact Arrangements
- Contact Type
- Printed Circuit Terminal/Wire-Wrap Modifier

SERIES PREFIX

D — ITT Cannon designation

SHELL SIZE

E, A, B, C and D

MOUNTING TYPE

No designation: standard .120 (3,05) diameter mounting hole
E — 4-40 clinch nut for rear panel mounting
F — Float mount for rear panel mounting
G — 2-56 clinch nut for rear panel mounting
K — .154 (3,91) diameter mounting holes
R — Reverse float mount for front panel mounting

CONTACT ARRANGEMENTS

9, 15, 25, 37 and 50 contacts

CONTACT TYPE

P — Pin; S — Socket

PRINTED CIRCUIT TERMINAL/WIRE-WRAP MODIFIER

A — Right-angle printed circuit connector with .040 (1,02) diameter terminals, with bracket; accommodates printed circuit boards up to 1/16" (1,57) maximum thickness.

C — Right angle printed circuit connector with .040 (1,02) diameter terminals, without bracket; accommodates printed circuit boards up to 1/16" (1,57) maximum thickness.

U — Straight printed circuit connector with .024 (0,61) diameter terminals; accommodates printed circuit boards up to .093 (2,36) maximum thickness

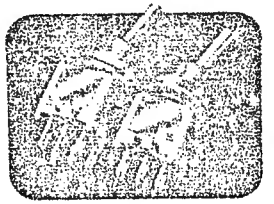
V — Straight printed circuit connector with .040 (1,02) diameter terminals; accommodates printed circuit boards up to 1/16" (1,57) maximum thickness

Wire-Wrap Termination: F179 — 2 wraps per termination
F179A — 3 wraps per termination
F179B — 1 wrap per termination

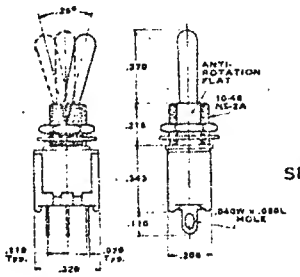
*millimeters are in (parentheses)

THE WORLD'S SMALLEST TOGGLE SWITCH

ANOTHER ALCO® FIRST!



The TT Series with terminals for handwiring is the basis of a complete new generation of really tiny toggle switches. ALCO has realized a need by the industry for switches with high density use and maintained reliability. Truly the ultimate in miniaturization with all of the features Alco has made famous throughout the years. A smaller diameter bushing is utilized resulting in smaller hardware to allow closer spacing. In spite of its tiny size, we have managed to maintain a 26° throw, now a standard in the industry. An engineering breakthrough resulted in an unusually smooth toggle action previously considered impossible in this size toggle switch. Many new uses will be made possible by the miniaturization afforded by the TT Series, made only by Alcoswitch in the U.S.A.



MODEL NUMBER IDENTIFICATION

NO. of POLES — ACTION

TT11DG-2

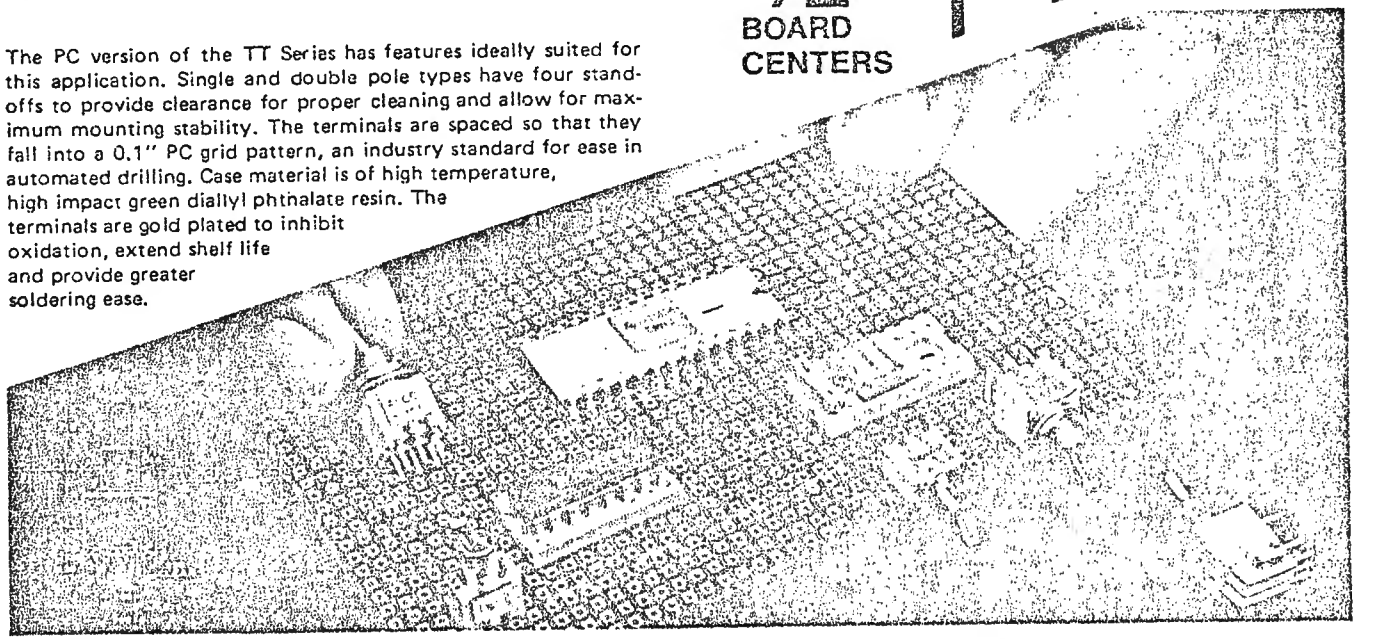
SERIES — RATING: 3 - Silver, 1 - Gold — GOLD PLATED — TOGGLE: 1 - .21" Bat, 2 - .29" Bat, 3 - .37" Bat

HAND WIRED MODELS	TYPE	ACTION	FEATURES
TT13D-3 TT13E-3	SPDT SPDT	On-None-On On-Off-On	.370" Bat Toggle Threaded Bushing 3 Amp @ 125 VAC Rating
TT23N-3 TT23P-3	DPDT DPDT	On-None-On On-Off-On	

NOTE: These are only available standards. Variations quoted.

DESIGNED FOR PC APPLICATIONS

The PC version of the TT Series has features ideally suited for this application. Single and double pole types have four standoffs to provide clearance for proper cleaning and allow for maximum mounting stability. The terminals are spaced so that they fall into a 0.1" PC grid pattern, an industry standard for ease in automated drilling. Case material is of high temperature, high impact green diallyl phthalate resin. The terminals are gold plated to inhibit oxidation, extend shelf life and provide greater soldering ease.



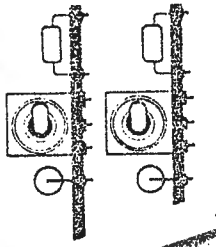
UPRIGHT PC MODELS	TYPE	ACTION	FEATURES
TT11DG-PC-1 TT11EG-PC-1	SPDT SPDT	On-None-On On-Off-On	.210" Bat Toggle Plain Bushing 0.4 VA Rating
TT21NG-PC-1 TT21PG-PC-1	DPDT DPDT	On-None-On On-Off-On	

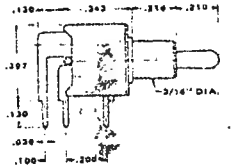
NOTE: These are only available standards. Variations quoted.

ALCO RIGHT ANGLE TYPES OCCUPY 60% LESS VOLUME

Our compelling motive in designing the new TT Series was to provide the ultimate in a right angle PC mounted switch to meet a growing need by the industry. The double pole version actually occupies one third the volume of a comparable miniature right angle switch. This is the first toggle switch that easily fits between PC boards on 1/2" centers. Although this Series is stocked in configurations shown below, we do provide custom service with a variety of terminals in almost any combination your design commands. Naturally, all terminals and mounting pins fall into 0.1" PC grids. This versatile switch line is offered with plain or threaded bushing, toggle lever of your choice and of course, gold plating options.

D.P.D.T. MODELS FIT 1/2" BOARD CENTERS





RIGHT ANGLE MODELS	TYPE	ACTION	FEATURES
TT11DG-RA-1 TT11EG-RA-1	SPDT SPDT	On-None-On On-Off-On	.210" Bat Toggle Plain Bushing 0.4 VA Rating
TT21NG-RA-1 TT21PG-RA-1	DPDT DPDT	On-None-On On-Off-On	

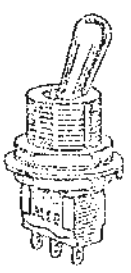
NOTE: These are only available standards. Variations quoted.

ALCO ELECTRONIC PRODUCTS, INC.

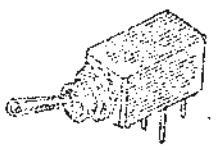
SUBMINIATURE TOGGLE SWITCHES

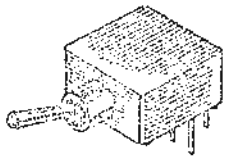
ALCOSWITCH

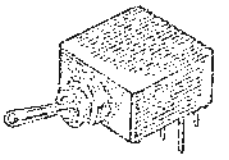

MTE

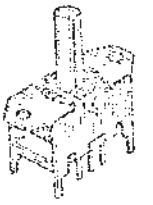

MTG


MTL


MSTS-104

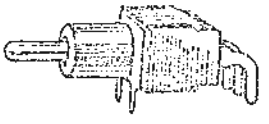

MTMS-204

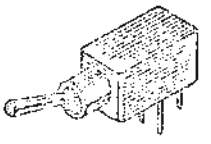

MSTS-204


CST-022-1


MCT-110D


MTM-PC


MTM-RA SPDT


MTMS-104

GREEN SERIES — MINIATURE WATERPROOF TOGGLES

Bat handle. "O" ring seals inside bushing and at panel. Solder lug terminals.

Alcoswitch No.	Contacts	Application	Net Each, Lots of 1-24	25-49	50-99	100-249
MTE-106D	SPDT	On-none-on	$2.15	$1.61	$1.46	$1.35
MTE-106E	SPDT	On-off-on	2.45	1.84	1.67	1.54
MTE-106F	SPDT	On-none-on†	2.45	1.84	1.67	1.54
MTE-106G	SPDT	On†-off-on†	2.45	1.84	1.67	1.54
MTE-106H	SPDT	On-off-on†	2.45	1.84	1.67	1.54
MTE-206N	DPDT	On-none-on	2.75	2.06	1.87	1.73
MTE-206P	DPDT	On-off-on	3.10	2.33	2.11	1.95
MTE-206PA	DPDT‡	On-on-on	3.35	2.51	2.28	2.11
MTE-206R	DPDT	On-none-on†	3.10	2.33	2.11	1.95
MTE-206S	DPDT	On†-off-on†	3.10	2.33	2.11	1.95
MTE-206T	DPDT	On-off-on†	3.10	2.33	2.11	1.95
MTE-306D	3PDT	On-none-on	4.30	3.23	2.92	2.71
MTE-306E	3PDT	On-off-on	4.60	3.45	3.13	2.90
MTE-406N	4PDT	On-none-on	5.40	4.05	3.67	3.40
MTE-406P	4PDT	On-off-on	5.80	4.35	3.94	3.65

GREEN SERIES — MUSTANG TOGGLES

3/32" bushing, solder lug terminals.

MTG-106D	SPDT	On-none-on	$2.30	$1.73	$1.56	$1.45
MTG-106E	SPDT	On-off-on	2.60	1.95	1.77	1.64
MTG-106F	SPDT	On-none-(on)	2.60	1.95	1.77	1.64
MTG-106G	SPDT	(On-off-(on)	2.60	1.95	1.77	1.64
MTG-106H	SPDT	On-off-(on)	2.60	1.95	1.77	1.64
MTG-206N	DPDT	On-none-on	2.90	2.18	1.97	1.83
MTG-206P	DPDT	On-off-on	3.25	2.44	2.21	2.05
MTG-206R	DPDT	On-none-(on)	3.25	2.44	2.21	2.05
MTG-206S	DPDT	(On)-off-(on)	3.25	2.44	2.21	2.05
MTG-206T	DPDT	On-off-(on)	3.25	2.44	2.21	2.05
MTG-206PA	DPDT	On-on-on	3.50	2.63	2.38	2.21
MTG-206N-PC	DPDT	On-none-on	3.10	2.33	2.11	1.95
MTG-306D	3PDT	On-none-on	4.45	3.34	3.03	2.80
MTG-306E	3PDT	On-off-on	4.75	3.56	3.23	2.99
MTG-406N	4PDT	On-none-on	5.55	4.16	3.77	3.50
MTG-406P	4PDT	On-off-on	5.95	4.46	4.05	3.75

GREEN SERIES — MINIATURE LOCKING TOGGLES

Lever lock toggle must be pulled out to operate. Solder lug terminals.

MTL-106D	SPDT	On-none-on	$3.00	$2.25	$2.04	$1.89
MTL-106E	SPDT	On-off-on†	3.30	2.48	2.24	2.05
MTL-206N	DPDT	On-none-on	3.60	2.70	2.45	2.27
MTL-206P	DPDT	On-off-on	3.95	2.96	2.67	2.49
MTL-206PA	DPDT‡	On-on-on	4.20	3.15	2.86	2.65
MTL-206S	DPDT	On†-off-on†	3.95	2.96	2.67	2.49
MTL-306D	3PDT	On-none-on	5.15	3.86	3.50	3.24
MTL-406N	4PDT	On-none-on	6.25	4.69	4.25	3.94
MTL-406PA	4P3T	On-on-on	7.40	5.55	5.03	4.65
C-16*	Color-coded caps		.16	.12	.11	.10
C-16K	Natural Anodized caps		.20	.14	.12	.11

*Switches are supplied with natural aluminum caps. †Momentary positions. ‡Usable as SP5T; wiring on request.

GREEN SERIES — MINIATURE SHORT LEVER TOGGLE

0.27" long toggle. PC terminals. -RA types have right angle PC terminals and unthreaded bushing.

Alcoswitch No.	Contacts	Application	Net Each, Lots of 1-24	25-49	50-99	100-249
MTM-106D-PC	SPDT	On-none-on	$1.85	$1.39	$1.24	$1.17
MTM-106E-PC	SPDT	On-off-on	2.15	1.61	1.46	1.35
MTM-106F-PC	SPDT	On-none-on†	2.15	1.61	1.46	1.35
MTM-106G-PC	SPDT	On†-off-on†	2.15	1.61	1.46	1.35
MTM-106H-PC	SPDT	On-off-on†	2.15	1.61	1.46	1.35
MTM-206N-PC	DPDT	On-none-on	2.55	1.91	1.73	1.61
MTM-206P-PC	DPDT	On-off-on	2.90	2.18	1.97	1.83
MTM-206R-PC	DPDT	On-none-on†	2.90	2.18	1.97	1.83
MTM-206S-PC	DPDT	On†-off-on†	2.90	2.18	1.97	1.83
MTM-206T-PC	DPDT	On-off-on†	2.90	2.18	1.97	1.83
MTM-206PA-PC	DPDT	On-on-on	3.15	2.36	2.16	1.98
MTM-306D-PC	3PDT	On-none-on	4.20	3.15	2.86	2.65
MTM-406N-PC	4PDT	On-none-on	5.40	4.05	3.67	3.40
MTM-106D-RA	SPDT	On-none-on	2.30	1.58	1.43	1.32
MTM-106E-RA	SPDT	On-off-on	2.40	1.80	1.63	1.51
MTM-106F-RA	SPDT	On-none-on†	2.40	1.80	1.63	1.51
MTM-206N-RA	DPDT	On-none-on	3.05	2.29	2.07	1.92
MTM-206P-RA	DPDT	On-off-on	3.40	2.55	2.31	2.14
MTM-206R-RA	DPDT	On-none-on†	3.40	2.55	2.31	2.14

MINIATURE RIGHT ANGLE TOGGLE SWITCHES WITH PC TERMINALS AND THREADED BUSHING

New right angle switch with printed circuit terminals and 1/4-40 threaded bushing for panel mounting.

MSTS-104D	SPDT	On-none-on	$1.85	$1.39	$1.26	$1.17
MSTS-204N	DPDT	On-none-on	2.55	1.91	1.73	1.61
MSTS-104DG	SPDT	On-none-on	2.15	1.61	1.46	1.42
MSTS-204NG	DPDT	On-none-on	3.15	2.43	2.23	2.11

†Momentary positions. ‡Usable as SP5T; wiring on request. Specify color caps. See Hardware.

MINIATURE RIGHT ANGLE TOGGLE SWITCHES WITH PC TERMINALS AND PLAIN BUSHING

Alcoswitch No.	Contacts	Application	Net Each, Lots of 1-24	25-49	50-99	100-249
MTMS-106D	SPDT	On-none-on	$1.65	$1.24	$1.12	$1.04
MTMS-204N	DPDT	On-none-on	2.35	1.79	1.60	1.46
MTMS-104DG	SPDT	On-none-on	1.95	1.48	1.37	1.29
MTMS-204NG	DPDT	On-none-on	2.95	2.26	2.10	1.98

MCT MINIATURE TOGGLE SWITCHES

Cylindrical case for positive feel and reliability in smallest size possible. All metal construction with high impact terminal insulator for use in all environmental conditions. Toggle lever, 0.615" long with black tip for distinctive look. Rated 10 A at 125 VAC. Contact material is silver on copper. Internal contact resistance, under 20 milliohms at 1 amp, 2-4 VDC; life, 250,000 on-off operations. Suffix -50 indicates Baton lever type.

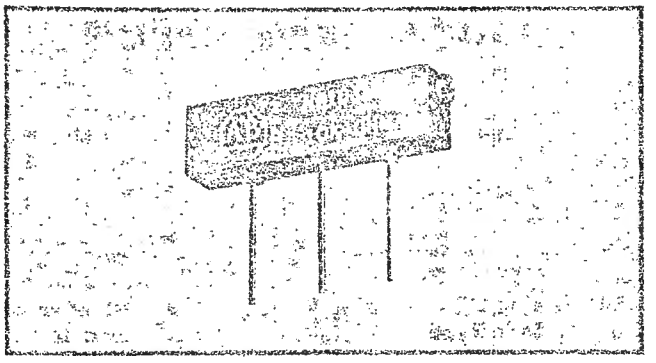
MCT-110D*	SPDT	On-none-on	$1.75	$1.33	$1.19	$1.10
MCTG-110D**	SPDT	On-none-on	1.95	1.46	1.32	1.23
MCT-110D49	SPDT	On-none-on	2.25	1.69	1.53	1.42
MCT-110D50	SPDT	On-none-on	1.85	1.39	1.25	1.17

*With miniature 1/4-40 bushings. **With standard 3/32" bushing. Can be UL Listed by contract.

CST SERIES TOGGLE SWITCHES

Low-cost baton lever toggles. DPDT, 3 mA at 125 VAC. Positive wiping for low contact resistance. Sealed terminals prevent wicking.

Alcoswitch No.	Description	Net Each, Lots of 1-24	25-49	50-99	100-249
CST-022	DPDT	$0.95	$0.68	$0.58	$0.56
CST-022-1	DPDT	1.10	.93	.75	.69
CST-022S	DPDT	1.20	.90	.82	.76
CST-022N	DPDT	1.20	.90	.82	.76
CST-023	DPDT	1.35	1.01	.92	.85
CST-042S	4PDT	1.65	1.35	1.05	.93
CST-042N	4PDT	1.55	1.26	1.05	.95
CST-043	4P3T	1.79	1.28	1.15	1.07



- 1.250" *(31,75 mm)* Long
- 25 Turn
- Immersion Sealed
- 100 Ohms to 2.5 Megohms

GENERAL

TEMPERATURE RANGE – –55° C to +100° C.

TOTAL RESISTANCE VALUES – Standard nominal values listed below. Intermediate values available.

OHMS				
100	1K	10K	100K	1.0 Meg.
200	2K	20K	200K	2.0 Meg.
250	2.5K	25K	250K	2.5 Meg.
500	5K	50K		

TOTAL RESISTANCE TOLERANCES – ±20 percent or ±10 percent.

END RESISTANCE – At both ends less than .004 percent of total resistance or "less than 20 ohms". Whichever is greater.

TAPER – Standard "U" linear taper.

ELECTRICAL

POWER – 0.33 watt maximum at +50° C provided voltage rating is not exceeded.

POWER DERATING – Derate power linearly from +50° C wattage to zero at +100° C. For rheostat applications derate directly with shaft or actuator position.

VOLTAGE – 300 volts maximum working voltage (RMS or DC), or as determined by $E_{max.} = \sqrt{PR}$, whichever is less (at sea level).

DIELECTRIC WITHSTANDING VOLTAGE – Will withstand a one second test of 700 volts RMS at sea level, or 350 volts RMS at 3.4 inches *(86,36 mm)* mercury.

INSULATION RESISTANCE – 1000 megohms minimum for clean and dry conditions at +25° C.

OPERATIONAL

LOAD LIFE – 10 percent maximum change in total resistance as a result of a 1000 hour test at rated power across entire element in still air at +50° C (1.5 hour "ON" – 0.5 hour "OFF").

ROTATIONAL LIFE – 5 percent maximum change in total resistance as a result of 500 cycles (25,000 turns of actuator) under load.

MECHANICAL

TURNING TORQUE – 0.10 to 8 inch-ounces *(0,007 to 0,58 kgf-cm)* at +25° C.

NUMBER OF TURNS – 25 ±3 turns. Mechanical release at end positions. Resistance between terminals 1 and 2 increased with clockwise rotation.

CONSTRUCTION – Materials are corrosion resistant and essentially non-magnetic. Enclosure is immersion-sealed. Terminals are treated for easy soldering.

WEIGHT – Approximately 3 grams.

MARKING – Allen-Bradley part number and nominal total resistance are marked in two lines. Other marking possible, limited to maximum of 10 characters in each of two lines. A-B monogram plus "Type N" always included.

ORDERING INFORMATION

1. Type – (NP).
2. Total Resistance In Ohms.
3. Total Resistance Tolerance (±10% or ±20%).
4. Your Part Number.
5. Marking.
6. Remarks.

ENVIRONMENTAL

VIBRATION – 3 percent maximum change in total resistance or setting. (Tested per EIA Standard RS-186B, Method 7, Type 1 and Method 8, Type 1.)

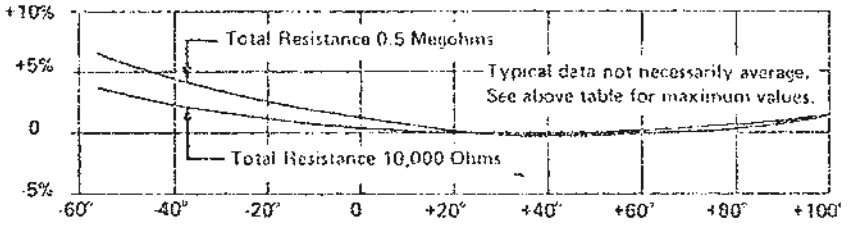
HUMIDITY – 10 percent maximum total resistance change. (Tested for 96 hours per EIA Standard RS-186B, Method 1.)

CORROSION RESISTANCE – No evidence of corrosion damage. (Tested for 96 hours per EIA Standard RS-186B, Method 5, using Type 1 (20 percent) salt solution.)

EFFECT OF SOLDERING – 2 percent maximum change in total resistance as a result of immersing the terminals in 350° C solder to within 0.125 inch *(3,18 mm)* of the resistor for 3 seconds.

TEMPERATURE CHARACTERISTICS – Maximum percent temporary total resistance change from the +25° C value.

Nominal Resistance	Degrees Celsius						
	−55°	−25°	0°	+25°	+55°	+85°	+100°
100 Ohms	+ 4.5	+2.5	+1.5	0	±1.0	±1.5	+2.0
1000 Ohms	+ 5.5	+3.0	+1.5	0	±1.0	±2.0	+2.5
10,000 Ohms	+ 7.0	+3.5	+2.0	0	±1.0	±2.5	+2.7
100,000 Ohms	+ 8.0	+4.0	+2.0	0	±1.5	±3.0	+3.2
1 Megohm	+10.0	+5.0	+2.5	0	±1.5	±3.5	+4.0



EXPLANATION OF PART NUMBERS

NP501M

Basic Type
NP – Pin type terminals. Screwdriver slotted actuator.

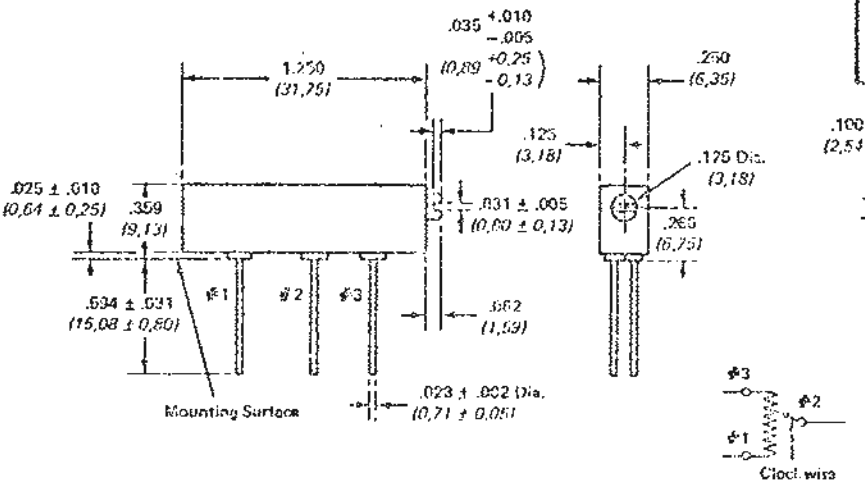
Tolerance
U – 10%
M – 20%

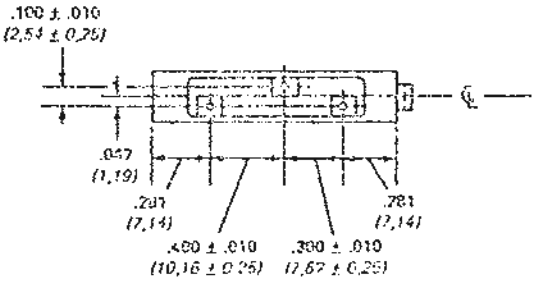
Total Resistance Value
First two digits are significant figures and the third indicates the number of zeros following the first two digits:
Examples: 501 = 500 Ohms
255 = 2.5 Megohms

DIMENSIONS

Basic dimensions in inches.
Dimensions shown in *ITALICS* are in millimeters.
Terminal spacing determined at mounting surface.

TOLERANCE
Dimensional Tolerance ± .016 *(0,40)*.
Except as Specified.
NOT TO SCALE





TYPES 1N914, 1N914A, 1N914B, 1N915, 1N916, 1N916A, 1N916B, 1N917
SILICON SWITCHING DIODES

ADVANCE INFORMATION, MARCH 1973

FAST SWITCHING DIODES

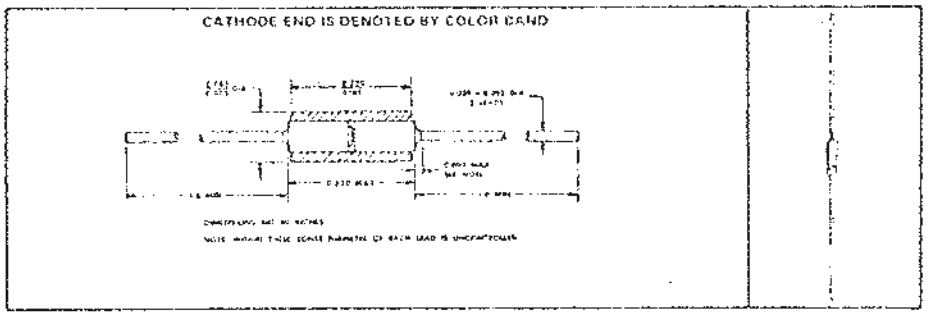
- Rugged Double-Plug Construction

Electrical Equivalents

1N914 . . . 1N4148 . . . 1N4531
1N914A . . . 1N4446
1N914B . . . 1N4448
1N916 . . . 1N4149
1N916A . . . 1N4447
1N916B . . . 1N4449

mechanical data

Double plug construction affords integral positive contacts by means of a thermal compression bond. Moisture free stability is ensured through hermetic sealing. The coefficients of thermal expansion of the glass case and the dumet plugs are closely matched to allow extreme temperature excursions. Hot solder dipped leads are standard.



absolute maximum ratings at specified free-air temperature

		1N914 1N914A 1N914B	1N915	1N916 1N916A 1N916B	1N917	UNIT
Working Peak Reverse Voltage from −65°C to 150°C		75*	50*	75*	30*	V
Average Rectified Forward Current (See Note 1)	at (or below) 25°C	75*	75*	75*	50*	mA
	at 150°C	10*	10*	10*	10*	
Peak Surge Current, 1 Second at 25°C (See Note 2)		500*	500	500*	300	mA
Continuous Power Dissipation at (or below) 25°C (See Note 3)		250*	250	250*	250	mW
Operating Free-Air Temperature Range		−65 to 175				°C
Storage Temperature Range		−65 to 200*				°C
Lead Temperature 1/16 Inch from Case for 10 Seconds		300				°C

NOTES 1. These values may be applied continuously under a single phase 60 Hz half sine wave operation with resistive load.
2. These values apply for a one second square wave pulse with the devices at nonoperating thermal equilibrium immediately prior to the surge.
3. Derate linearly to 175°C free-air temperature at the rate of 1.67 mW/°C.

*JEDEC registered data

1N914 SERIES AND 1N915

*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		1N914 MIN	1N914 MAX	1N914A MIN	1N914A MAX	1N914B MIN	1N914B MAX	1N915 MIN	1N915 MAX	UNIT
$V_{(BR)}$	Reverse Breakdown Voltage	I_R = 100 µA		100		100		100		65		V
I_R	Static Reverse Current	V_R = 10 V									25	nA
		V_R = 20 V			25		25		25			
		V_R = 20 V,	T_A = 150°C						3		5	µA
		V_R = 20 V,	T_A = 150°C		50		50		50			
		V_R = 60 V									5	
		V_R = 75 V			5		5		5			
V_F	Static Forward Voltage	I_F = 5 mA						0.62	0.72	0.55	0.73	V
		I_F = 10 mA	See Note 4		1							
		I_F = 20 mA	See Note 4				1					
		I_F = 50 mA	See Note 4								1	
		I_F = 100 mA	See Note 4						1			
C_T	Total Capacitance	V_R = 0,	f = 1 MHz		4		4		3		3	pF

1N916 SERIES AND 1N917

*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		1N916 MIN	1N916 MAX	1N916A MIN	1N916A MAX	1N916B MIN	1N916B MAX	1N917 MIN	1N917 MAX	UNIT
$V_{(BR)}$	Reverse Breakdown Voltage	I_R = 100 µA		100		100		100		40		V
I_R	Static Reverse Current	V_R = 10 V									50	nA
		V_R = 20 V			25		25		25			
		V_R = 20 V,	T_A = 150°C						3		25	µA
		V_R = 20 V,	T_A = 150°C		50		50		50			
		V_R = 75 V			5		5		5			
V_F	Static Forward Voltage	I_F = 0.05 mA									0.54	V
		I_F = 1.5 mA									0.74	
		I_F = 3.5 mA									0.83	
		I_F = 5 mA						0.62	0.73			
		I_F = 10 mA	See Note 4		1						1	
		I_F = 20 mA	See Note 4				1					
		I_F = 30 mA	See Note 4						1			
C_T	Total Capacitance	V_R = 0,	f = 1 MHz		2		2		2		2.5	pF

NOTE 4: These parameters must be measured using pulse techniques, t_w = 300 µs, duty cycle ≤ 2%.

*JEDEC registered data

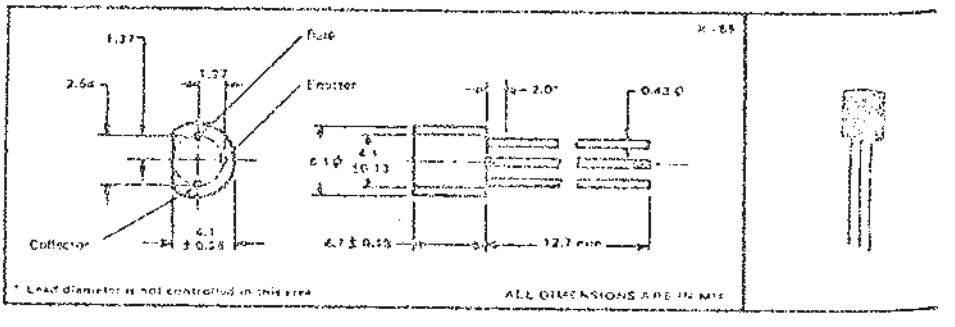
BC327, BC3

PNP SILICON EPITAXIAL PLANAR TRANSISTOR

High-Current SILECT *Transistors for High-Gain Industrial, Automotive and Consumer Applications

- Minimum BV_{CBO} 50V or 30 V
- Power Dissipation 625 mW
- DC Beta Specified at 100 mA and 300 mA
- Saturation Voltage 700 mV max. at 500 mA
- Complementary to BC 337 and BC 338 (NPN)

mechanical data



absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

	BC 327	BC 328	UNIT
Collector-Base Voltage	50	30	V
Collector-Emitter Voltage (See Note 1)	45	25	V
Emitter-Base Voltage	5	5	V
Continuous Collector Current	500	500	mA
Continuous Device Dissipation at (or below) 25°C Free-Air Temperature (See Note 2)	625	625	mW
Storage Temperature Range (See Note 2)	-55 to 150	-55 to 150	°C
Lead Temperature 1.6 mm from Case for 10 Seconds	260	260	°C

NOTES 1. This value applies when the base-emitter diode is open-circuited.

2. Derate linearly to 150°C case temperature at the rate of 8.5 mW/°C.

* Trademark of Texas Instruments.

TEXAS INSTRUMENTS

PRELIMINARY DATA SHEET
This document contains data which may be changed at any time without notice.

ctrical characteristics at 25°C free air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS			MIN	MAX	UNIT
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	$I_C = -100\ \mu A$, $I_E = 0$		BC 327	-50		V
				BC 328	-30		
$V_{(BR)CES}$	Collector-Emitter Breakdown Voltage	$I_C = -10\ mA$, $I_B = 0$		BC 327	-45		V
				BC 328	-25		
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	$I_E = -100\ \mu A$, $I_C = 0$			-5		V
I_{CBO}	Collector Cutoff Current	$I_E = 0$	$V_{CB} = -45\ V$	BC 327		-100	nA
			$V_{CB} = -25\ V$	BC 328			
I_{CES}	Collector Cutoff Current	$I_E = 0$, $T_A = 175°C$					μA
		$V_{CB} = -45\ V$		BC 327		-10	
		$V_{CB} = -25\ V$		BC 328			
I_{EBO}	Emitter Cutoff Current	$V_{EB} = -3\ V$, $I_C = 0$				-100	nA
h_{FE}	Static Forward Current Transfer Ratio	$V_{CE} = -1\ V$, $I_C = -100\ mA$			100	630	
				Group 16	100	250	
				Group 25	160	400	
				Group 40	250	630	
		$V_{CE} = -1\ V$, $I_C = -300\ mA$			60		
				Group 16	60		
				Group 25	100		
				Group 40	170		
V_{BE}	Base-Emitter Voltage	$V_{CE} = -1\ V$, $I_C = -300\ mA$				-1.2	V
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_B = -50\ mA$, $I_C = -500\ mA$				-0.7	V
f_T	Transition Frequency	$V_{CE} = -5\ V$, $I_C = -10\ mA$			200*		MHz
C_{cb}	Common-Base Open-Circuit Output Capacitance	$V_{CB} = -10\ V$, $I_C = 0$, $f = 1\ MHz$			12*		pF

* Typical values

2N708 (SILICON)

2N708

JAN, JTX AVAILABLE

NPN silicon annular transistor for high-speed switching applications.

CASE 22
(TO-18)

Collector connected to case

STYLE 1
PIN 1 EMITTER
2 BASE
3 COLLECTOR

*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	15	Vdc
Collector-Base Voltage	V_{CB}	40	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	360 2.0	mW mW/°C
Total Device Dissipation @ T_C = 25°C T_C = 100°C Derate above 25°C Derate above 100°C	P_D	1.2 680 6.9 6.9	Watts mW mW/°C mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	−65 to +200	°C

*Indicates JEDEC Registered Data.

*ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage (I_C = 30 mAdc, I_B = 0)	BV_{CEO}	15	-	-	Vdc
Collector-Emitter Breakdown Voltage (I_C = 30 mAdc, R_{BE} ≤ 10 ohms)	BV_{CER}	20	-	-	Vdc
Collector-Base Breakdown Voltage (I_C = 1.0 μAdc, I_E = 0)	BV_{CBO}	40	-	-	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)	BV_{EBO}	5.0	-	-	Vdc
Collector Cutoff Current (V_{CE} = 20 Vdc, V_{BE} = 0.25 Vdc, T_A = +125°C)	I_{CEX}	-	-	10	μAdc
Collector Cutoff Current (V_{CB} = 20 Vdc, I_E = 0) (V_{CB} = 20 Vdc, I_E = 0, T_A = 150°C)	I_{CBO}	- -	0.005 -	0.025 15	μAdc
Emitter Cutoff Current (V_{BE} = 4.0 Vdc, I_C = 0)	I_{EBO}	-	-	0.08	μAdc
ON CHARACTERISTICS					
DC Current Gain (I_C = 0.5 mAdc, V_{CE} = 1.0 Vdc) (I_C = 10 mAdc, V_{CE} = 1.0 Vdc) (1) (I_C = 10 mAdc, V_{CE} = 1.0 Vdc, T_A = -55°C) (1)	h_{FE}	15 30 15	- - -	- 120 -	-
Collector-Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 7.0 mAdc, I_B = 0.7 mAdc, T_A = -55°C to +125°C)	$V_{CE(sat)}$	- -	0.2 -	0.4 0.4	Vdc
Base-Emitter Saturation Voltage (I_C = 10 mAdc, I_B = 1.0 mAdc) (I_C = 7.0 mAdc, I_B = 0.7 mAdc, T_A = -55°C)	$V_{BE(sat)}$	0.72 -	- -	0.80 0.90	Vdc
DYNAMIC CHARACTERISTICS					
Current-Gain—Bandwidth Product (I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 100 MHz)	f_T	300	450	-	MHz
Output Capacitance (V_{CB} = 10 Vdc, I_E = 0, 100 kHz ≤ f ≤ 1.0 MHz)	C_{ob}	-	3.0	6.0	pF
Extrinsic Base Resistance (I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 300 MHz)	r_b'	-	-	50	ohms
Storage Time (I_C = I_{B1} = I_{B2} = 10 mAdc)	t_s	-	15	25	ns

* Indicates JEDEC Registered Data

(1) Pulse Test: Pulse Width ≤ 300μs, Duty Cycle ≤ 2.0 %.

DIP SERIES • DUAL IN-LINE MOUNTING •

GOLD CONTACTS STANDARD

ALCO's Dual-In-Line switch products provide a diverse selection to meet almost any application and offer the highest degree of reliability at a most reasonable cost. All models are designed for soldering onto PC boards or may be optionally used with standard DIP sockets. Terminals and contacts are of beryllium copper; gold plated over nickel to assure dependable service for low-energy level use. The low-profile DLS and DLS SD models have molded-in terminals, all other types have epoxy sealed base, for protection during the soldering operation. Only the DLS and DLS-SD models are supplied with a protective cover having an "actuator-lock" feature that prevents accidental operation. This cover also protects the switch inner mechanism during cleaning cycles. Protective covers are also available for DSS models as an option.

SPECIFICATIONS

Contact Rating: Non-Switching: 50 VDC @ 100 ma
Switching: 5 VDC @ 100 ma (typ.) 24 VDC @ 25 ma (max.)
N.C.-N.O. Models; non shorting.

Initial Contact Resistance: 100 milliohms maximum.

Insulation Resistance: 100 megohms minimum.

Dielectric Strength: 500 VDC at sea level.

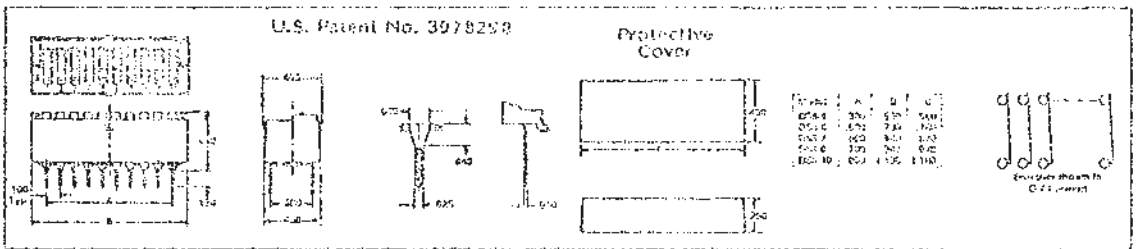
Switch Capacitance: 5.0 picofarads between poles.

Operating Temperature Range: −10°C to +60°C.

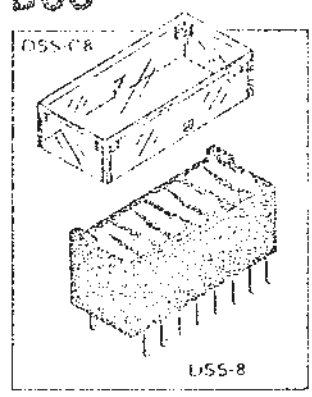
Contacts and Terminals: Gold plated over nickel.

Case Material: Glass filled thermoplastic resin.

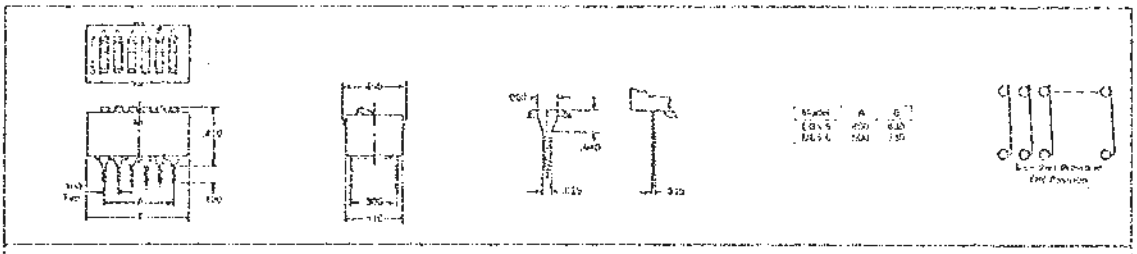
DSS



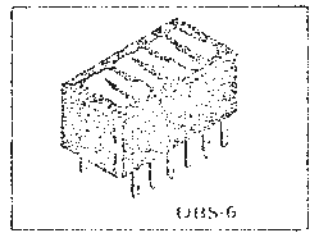
Model	Type	Markings	Lever	One-9	10-24	25-49	50-99	100-499	500-999
DSS-4	4PST	1 through 4	Rocker	3.05	2.81	2.56	2.41	2.14	1.98
DSS-6	6PST	1 through 6	Rocker	3.45	3.17	2.90	2.73	2.42	2.24
DSS-7	7PST	1 through 7	Rocker	3.65	3.36	3.07	2.88	2.56	2.37
DSS-8	8PST	1 through 8	Rocker	3.85	3.54	3.23	3.04	2.70	2.50
DSS-10	10PST	1 through 10	Rocker	4.25	3.91	3.57	3.36	2.98	2.76
DSS-C(*)	Protective Cover	*Specify size: (4), (6), (7), (8) or (10).		.15	.14	.13	.12	.11	.10



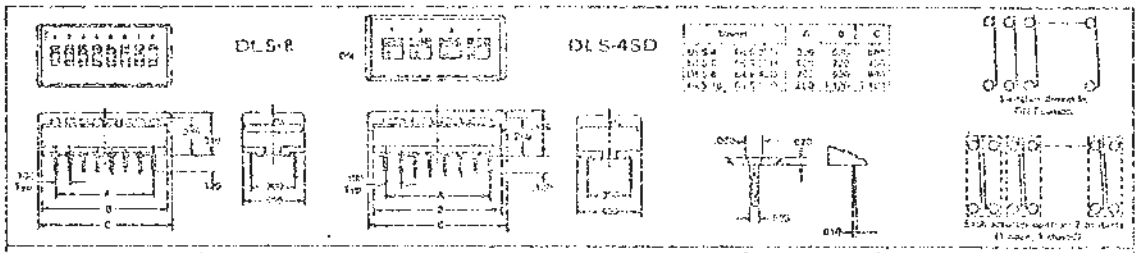
DBS



DBS-5	5PST	1, 2, 4, 8, 16	Rocker	3.25	2.99	2.73	2.57	2.26	2.11
DBS-6	6PST	1, 2, 4, 8, 16, 32	Rocker	3.45	3.17	2.90	2.73	2.42	2.24

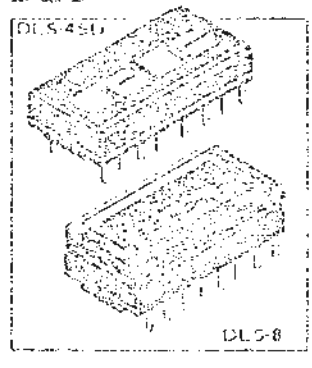


DLS

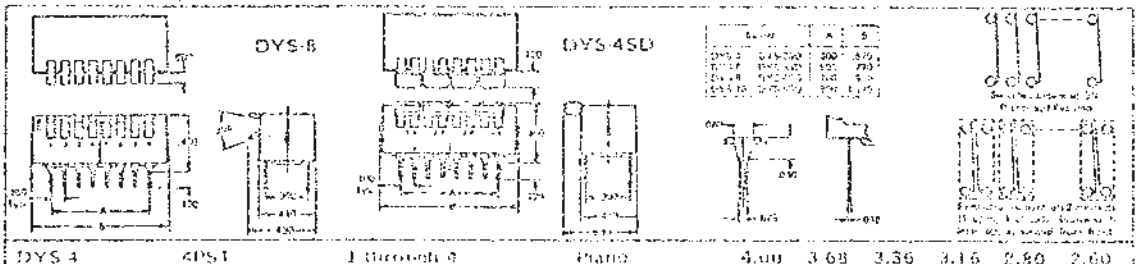


DLS-4	4PST	1 through 4	Slide	3.20	2.94	2.69	2.53	2.24	2.08
DLS-6	6PST	1 through 6	Slide	3.60	3.31	3.02	2.84	2.52	2.34
DLS-8	8PST	1 through 8	Slide	4.00	3.64	3.36	3.16	2.80	2.60
DLS-10	10PST	1 through 10	Slide	4.40	4.05	3.70	3.48	3.08	2.86
DLS-2SD	(2) N.O.-N.C.	1 through 2	Slide	3.20	2.94	2.69	2.53	2.24	2.08
DLS-3SD	(3) N.O.-N.C.	1 through 3	Slide	3.60	3.31	3.02	2.84	2.52	2.34
DLS-4SD	(4) N.O.-N.C.	1 through 4	Slide	4.00	3.68	3.36	3.16	2.80	2.60
DLS-5SD	(5) N.O.-N.C.	1 through 5	Slide	4.40	4.05	3.70	3.48	3.08	2.86

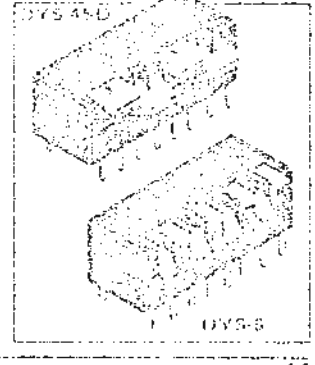
Protective cover provided with this series at no added cost.



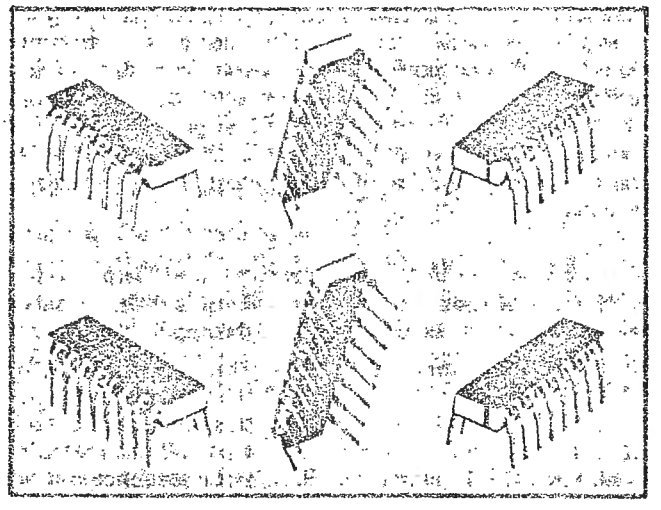
DYS



DYS-4	4PST	1 through 4	Piano	4.00	3.68	3.36	3.16	2.80	2.60
DYS-6	6PST	1 through 6	Piano	4.36	3.86	3.53	3.32	2.94	2.73
DYS-8	8PST	1 through 8	Piano	4.40	4.05	3.70	3.48	3.08	2.86
DYS-10	10PST	1 through 10	Piano	4.80	4.23	3.86	3.63	3.22	2.99
DYS-2SD	(2) N.O.-N.C.	1 through 2	Piano	4.00	3.68	3.36	3.16	2.80	2.60
DYS-3SD	(3) N.O.-N.C.	1 through 3	Piano	4.36	3.86	3.53	3.32	2.94	2.73
DYS-4SD	(4) N.O.-N.C.	1 through 4	Piano	4.40	4.05	3.70	3.48	3.08	2.86
DYS-5SD	(5) N.O.-N.C.	1 through 5	Piano	4.80	4.23	3.86	3.63	3.22	2.99



Prices and specifications subject to change without notice.



I-DIP CERMET NETWORKS

- Solid Ceramic Body
- Solder Coated Leads
- 14 and 16 Pin Construction
- .100 inch *(2,54 mm)* Lead Spacing
- Low Profile
- Automatically Insertable

STANDARD NETWORK APPLICATIONS

NETWORK								
314A 316A	314B 316B	314E 316E	316L08	314M110 314M120 314M125	314M130	316T110	314X101 316X101	314Z
APPLICATIONS								
Pull-Up Resistor Arrays for Unused TTL Gates Parallel High Speed Circuitry Wired OR Configurations Pull-Down Applications TTL-MOS Interfacing Digital Pulse Squaring	Transmission Line Termination Power Gate Pull-Up Current Limiting Logic Level Translation	Digital Line Termination ECL and TTL Applications	8 BIT R/2R Ladder Network for D/A and A/D Converter with Bi Polar or CMOS Switches	Complement the 7520 Series of Core Memory Sense Amps	Core-Memory Sense Line Applications with Two 711 Dual Voltage Comparators	TTL to ECL Translator Network	Interconnect Networks Shorting Applications Matrix Interconnections Test Plugs	Fixed Voltage Attenuation with Impedance Matching

When a standard Allen-Bradley network does not meet your requirements, a custom network can be designed to your specifications. See suggestions as shown on Page 157.

INDEX

Publication 5340

National Semiconductor

SEPTEMBER 1977

ADC0816/ADC0817 Single Chip Data Acquisition System

General Description

The ADC0816, ADC0817 (MM74C948) data acquisition components are monolithic CMOS devices with an 8-bit analog-to-digital converter, a 16-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 16-channel multiplexer can directly access any one of 16 single-ended analog signals and provides the logic for additional channel expansion. Signal conditioning of any analog input signal is eased by direct access to the input of the 8-bit A/D converter.

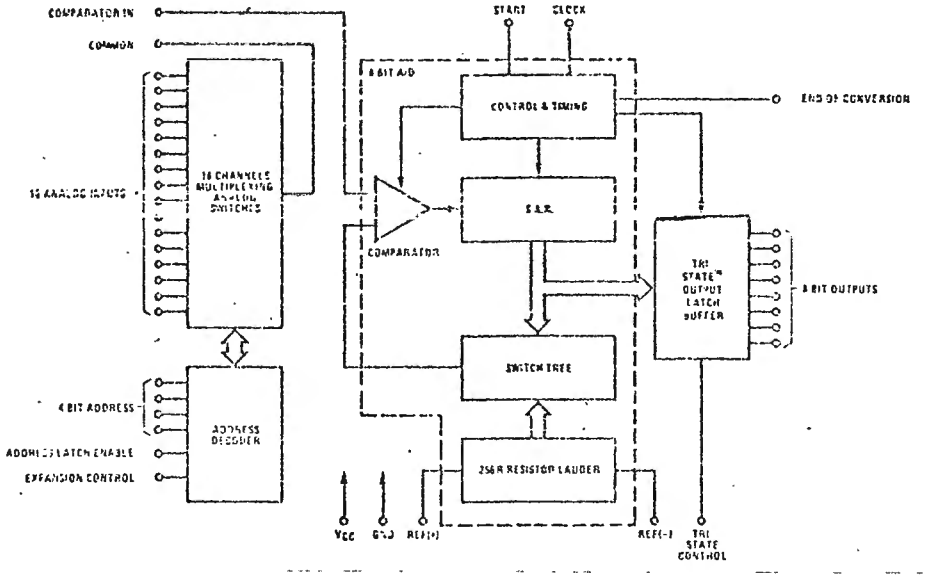
The device eliminates the need for external zero and full-scale adjustments and features an absolute accuracy ≤ 1 LSB including quantitizing error. Easy interfacing to microprocessors is provided by the latched and decoded address inputs and latched TTL TRI STATE® outputs.

The design of the ADC0816, ADC0817 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0816, ADC0817 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications such as process control, industrial control, and machine control.

Features

- Total unadjusted error < ±1/2 LSB
- Linearity error < ±1/2 LSB
- No missing codes
- Guaranteed monotonicity
- No offset adjust required
- No scale adjust required
- Conversion time of 100 μs
- Easy microprocessor interface
- Latched TRI-STATE output
- Latched address input
- Ratiometric conversion
- Single 5V supply
- Low power consumption—15 mW

Block Diagram



IM-820M97/Printed in U.S.A.

Absolute Maximum Ratings (Notes 1 and 2)

Voltage at Any Pin Except Control Inputs	−0.3V to V_{CC} + 0.3V
Voltage at Control Inputs (Start, TRI-STATE, Clock, ALE, ADD A, ADD B, ADD C, ADD D, Expansion Control)	−0.3V to + 15V
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation (at 25°C)	500 mW
Operating V_{CC} Range	4.5V to 6V
Absolute Maximum V_{CC}	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics

4.75V ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted, (Note 2)

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 5V	V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 5V			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage	I_O = −360 μA	V_{CC}−0.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	I_O = 1.6 mA			0.45	V
$V_{OUT(0)}$	Logical "0" Output Voltage EOC	I_O = 1.2 mA			0.45	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	Clock Frequency = 500 kHz		300	1000	μA
I_{OUT}	TRI-STATE Output Current	V_O = 5V			3	μA
		V_O = 0	−3			μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: All voltages measured with respect to GND unless otherwise specified.

Note 3: Non-linearity error is the maximum deviation from a straight line through the end points of the A/D transfer characteristic, *(Figure 2)*.

Note 4: Zero error is the difference between the output of an ideal and the actual A/D for zero input voltage, *(Figure 2)*.

Note 5: Full-scale error is the difference between the output of an ideal and the actual A/D for full-scale input voltage, *(Figure 2)*.

Note 6: Total unadjusted error is the maximum sum of non-linearity, zero and full-scale errors, *(Figure 3)*.

Note 7: Quantization error is the ±1/2 LSB uncertainty caused by the converter's finite resolution, *(Figure 3)*.

Note 8: Absolute Accuracy describes the difference between the actual input voltage and the full-scale weighted equivalent of the binary output code; included are quantizing and all other errors. Although rarely provided on data sheets, it is the best indication of a converter's true performance, *(Figure 3)*.

Note 9: Supply rejection relates to the ability of an ADC to maintain accuracy as the supply voltage varies. The supply and $V_{REF(+)}$ are varied together and the change in accuracy is measured with respect to full-scale.

Note 10: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependence, *(Figure 5)*.

DC Electrical Characteristics (Continued)

ANALOG MULTIPLEXER

ADC0816, ADC0817 $-40°C \leq T_A \leq +85°C$ unless otherwise noted

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
R_{ON}	Analog Multiplexer ON Resistance	(Any Selected Channel) $T_A = 25°C$, $R_L = 10k$		1.5	3 6	kΩ kΩ
ΔR_{ON}	Δ ON Resistance Between Any 2 Channels	(Any Selected Channel) $R_L = 10k$		75		Ω
$I_{OFF(+)}$	OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 5V$, $T_A = 25°C$		10	200	nA
$I_{OFF(-)}$	OFF Channel Leakage Current	$V_{CC} = 5V$, $V_{IN} = 0$, $T_A = 25°C$	−200	−10		nA

CONVERTER SECTION $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $V_{IN} = V_{COMPARATOR\ IN}$, $f_C = 640$ kHz

ADC0816CCN $-40°C \leq T_A \leq +85°C$ unless otherwise noted

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution		8			Bits
Non-Linearity	(Note 3)		±1/4	±1/2	LSB
Zero Error	(Note 4)		±1/4	±1/2	LSB
Full-Scale Error	(Note 5)		±1/4	±1/2	LSB
Total Unadjusted Error	$T_A = 25°C$ (Note 6)		±1/4 ±1/4	±1/2 ±3/4	LSB LSB
Quantization Error	(Note 7)			±1/2	LSB
Absolute Accuracy	$T_A = 25°C$ (Note 8)		±3/4 ±3/4	±1 ±1 1/4	LSB LSB

ADC0817CCN $T_A = 25°C$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution		8			Bits
Non-Linearity	(Note 3)		±1/2	±1	LSB
Zero Error	(Note 4)		±1/4	±1/2	LSB
Full-Scale Error	(Note 5)		±1/4	±1/2	LSB
Total Unadjusted Error	(Note 6)		±1/2	±1	LSB
Quantization Error	(Note 7)			±1/2	LSB
Absolute Accuracy	(Note 8)		±1	±1 1/2	LSB

ADC0816CCN $-40°C \leq T_A \leq +85°C$
ADC0817CCN $T_A = 25°C$

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Power Supply Rejection	$4.75V \leq V_{CC} = V_{REF(+)} \leq 5.25V$, (Note 9)		0.05	0.15	%/V
Comparator Input Current	$f_C = 640$ kHz, (Note 10)	−2	±0.5	2	μA
Ladder Resistance	From Ref(+) to Ref(−)	1	4.5		kΩ

DC Electrical Characteristics (Continued)

DESIGN GUIDELINES

ADC0816CCN, ADC0817CCN

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
V_{LAD}	Voltage Across Ladder	From Ref(+) to Ref(−)	0.512	5.12	5.25	V
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$	Voltage, Center of Ladder	Measured at $R_{LADDER}/2$	$\frac{V_{CC}}{2}$−0.1	$\frac{V_{CC}}{2}$	$\frac{V_{CC}}{2}$+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V

AC Electrical Characteristics

ADC0816CCN, ADC0817CCN $T_A = 25°C$, $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
t_{WS}	Start Pulse Width	*(Figure 5)*	200	100		ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*	200	100		ns
t_S	Address Set-Up Time	*(Figure 5)*	50	25		ns
t_H	Address Hold Time	*(Figure 5)*	50	25		ns
t_D	Analog MUX Delay Time From ALE	Common Tied to Comparator In, $R_S + R_{ON} \leq 5\,k\Omega$, $C_L = 10\,pF$		1	2.5	μs
t_{1H}, t_{H0}	TRI-STATE Control to 0 Logic State	$C_L = 50\,pF$		125	250	ns
t_{1H}, t_{0H}	TRI-STATE Control to Hi-Z	$C_L = 10\,pF$, $R_L = 10k$		125	250	ns
t_C	Conversion Time	$f_C = 640\,kHz$, *(Figure 5)*	90	100	114	μs
f_C	Clock Frequency		10	640	1200	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	1		8	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs At MUX Inputs		10 5	15 7.5	pF pF
C_{OUT}	TRI-STATE Output Capacitance	At TRI-STATE Outputs, (Note 11)		5	7.5	pF

Note 11: Capacitance guaranteed by periodic testing.

Timing Diagram

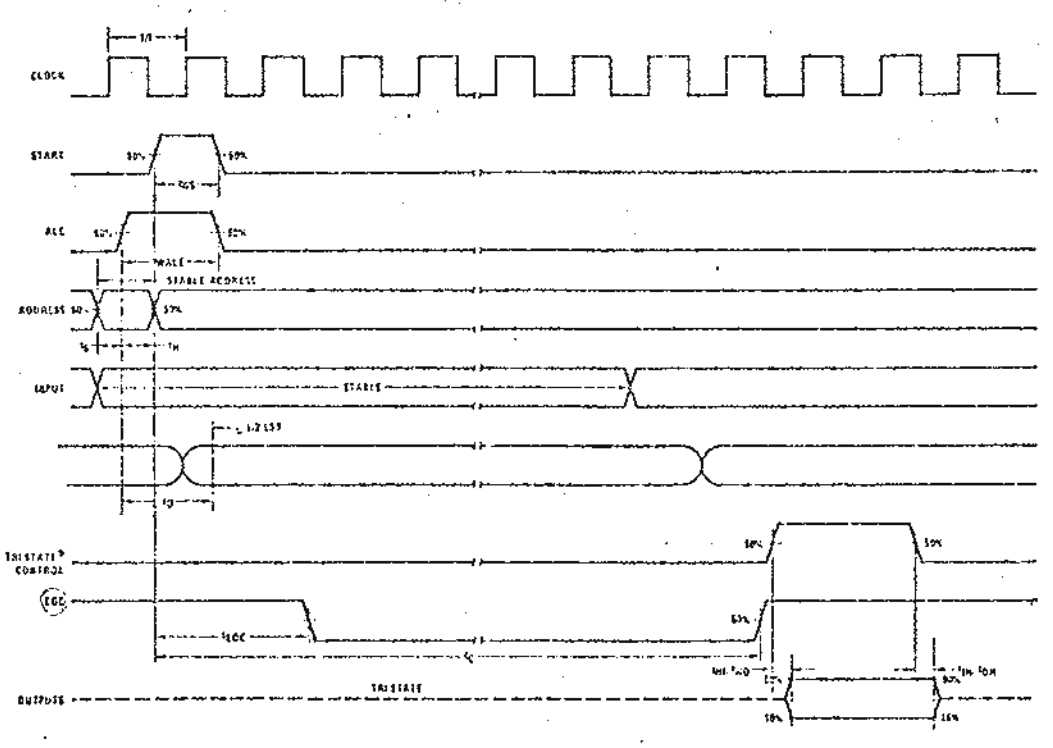


FIGURE 6

Typical Performance Characteristics

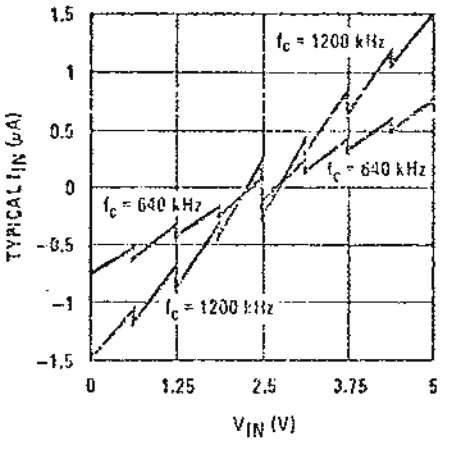


FIGURE 6. Comparator I_{IN} vs V_{IN}
(V_{CC} = V_{REF} = 5V)

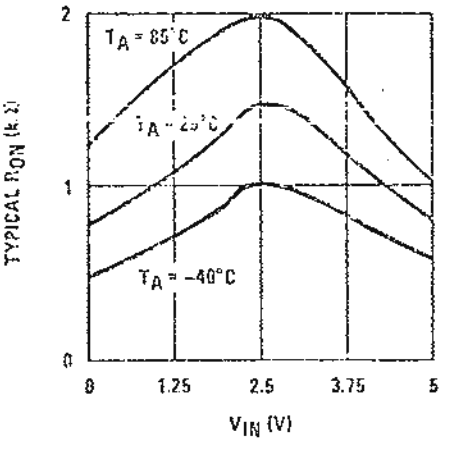


FIGURE 7. Multiplexer R_{ON} vs V_{IN}
(V_{CC} = V_{REF} = 5V)

Functional Description

Multiplexer: The device contains a 16-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address line and the expansion control line to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

Additional single-ended analog signals can be multiplexed to the A/D converter by disabling all the multiplexer inputs. The additional external signals are connected to the comparator input and the device ground. Additional signal conditioning (i.e., prescaling, sample and hold, instrumentation amplification, etc.) may also be added between the analog input signal and the comparator input.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE				EXPANSION CONTROL
	D	C	B	A	
IN0	L	L	L	L	H
IN1	L	L	L	H	H
IN2	L	L	H	L	H
IN3	L	L	H	H	H
IN4	L	H	L	L	H
IN5	L	H	L	H	H
IN6	L	H	H	L	H
IN7	L	H	H	H	H
IN8	H	L	L	L	H
IN9	H	L	L	H	H
IN10	H	L	H	L	H
IN11	H	L	H	H	H
IN12	H	H	L	L	H
IN13	H	H	L	H	H
IN14	H	H	H	L	H
IN15	H	H	H	H	H
All Channels OFF	X	X	X	X	L

X = don't care

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach *(Figure 1)* was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0816, ADC0817, the approximation technique is extended to 8 bits using the 256R network.

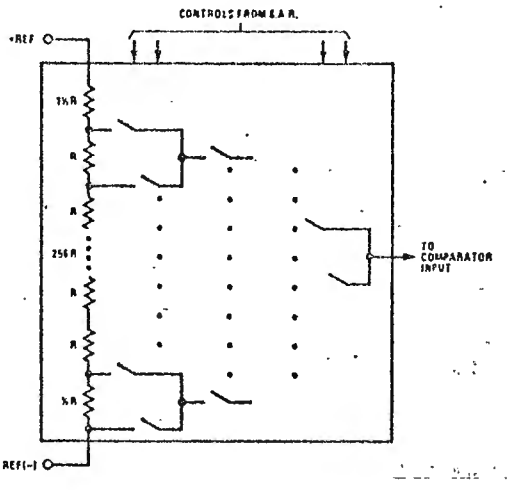


FIGURE 1. Resistor Ladder and Switch Tree

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 1 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0816 as measured using the procedures outlined in AN-179. The characteristic is generated with the analog input signal applied to the comparator input.

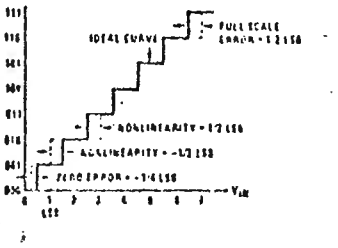


FIGURE 2. 3-Bit A/D Transfer Curve

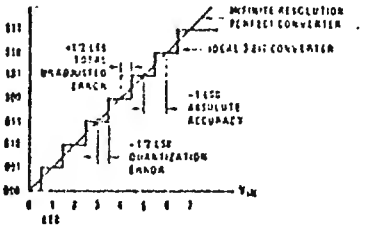


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

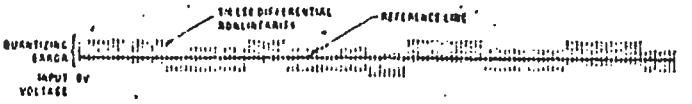
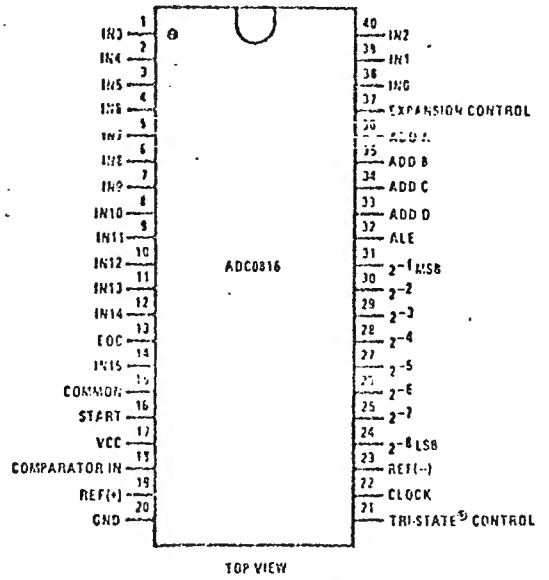


FIGURE 4. Typical Error Curve

Connection Diagram

Dual-In-Line Package



TOP VIEW

Applications Information

OPERATION

Ratiometric Conversion

The ADC0816, ADC0817 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0816 is expressed by the equation

$$\frac{V_{IN}}{V_{fs} - V_z} = \frac{D_X}{D_{MAX} - D_{MIN}} \qquad (1)$$

V_{IN} = Input voltage into the ADC0816
V_{fs} = Full-scale voltage
V_z = Zero voltage
D_X = Data point being measured
D_{MAX} = Maximum data limit
D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0816, ADC0817 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, *(Figure 8)*.

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder Ref(−) should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches.

These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 9 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V reference is used, the supply should be adjusted to the same voltage within 0.1V.

The ADC0816 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 10* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 11*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 12*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

Converter Equations

The transition between adjacent codes N and N + 1 is given by:

$$V_{IN} = V_{REF(+)} \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \qquad (2)$$

The center of an output code N is given by:

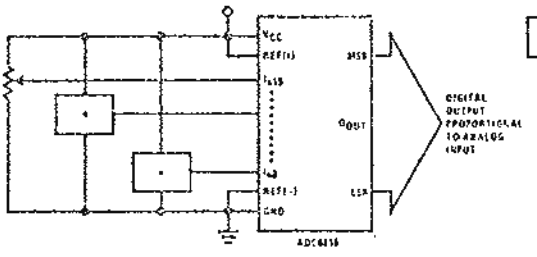
$$V_{IN} = V_{REF(+)} \left[\frac{N}{256} \right] \pm V_{TUE} \qquad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN}}{V_{REF(+)}} \times 256 \pm \text{Absolute Accuracy} \qquad (4)$$

where: V_{IN} = Voltage at comparator input
$V_{REF(+)}$ = Voltage at Ref(+)
$V_{REF(-)}$ = GND
V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)}/512$)

Applications Information (Continued)

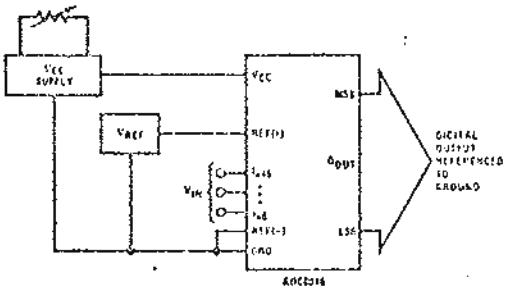


$$O_{OUT} = \frac{V_{IN}}{V_{REF}} = \frac{V_{IN}}{V_{CC}}$$

$4.75V \le V_{CC} = V_{REF} \le 5.25V$

*Ratiometric transducers

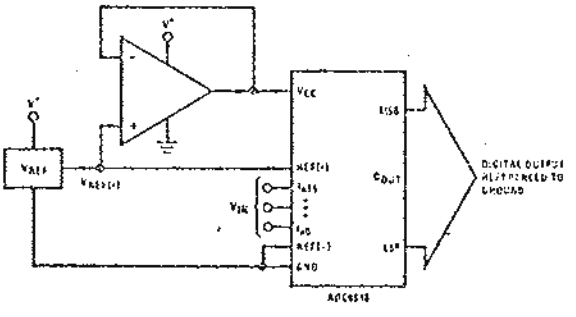
FIGURE 8. Ratiometric Conversion System



$$O_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$4.75V \le V_{CC} = V_{REF} \le 5.25V$

FIGURE 9. Ground Referenced Conversion System Using Trimmed Supply



$$O_{OUT} = \frac{V_{IN}}{V_{REF}}$$

$4.75V \le V_{CC} = V_{REF} \le 5.25V$

FIGURE 10. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

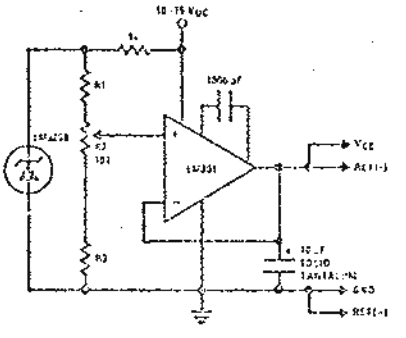
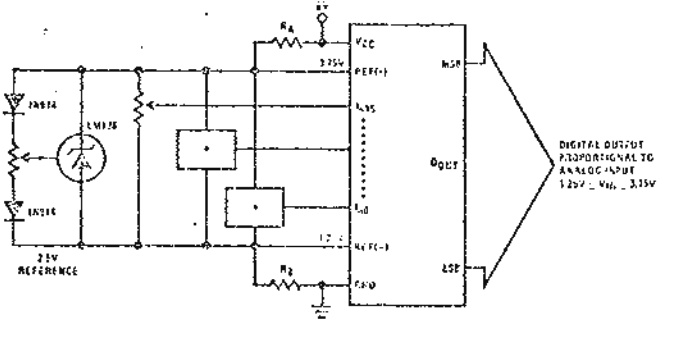


FIGURE 11. Typical Reference and Supply Circuit

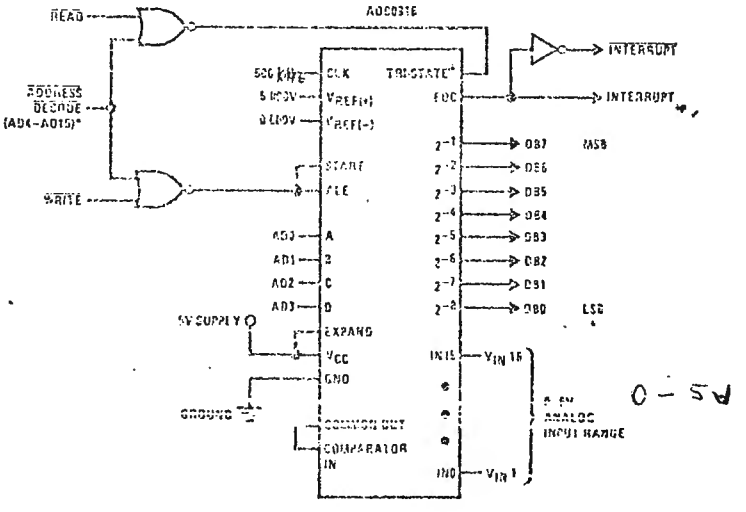


$R_A = R_B$

*Ratiometric transducers

FIGURE 12. Symmetrically Centered Reference

Typical Application

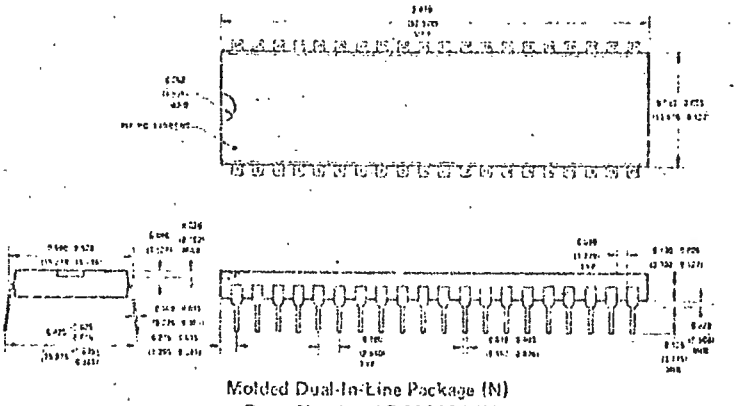


*Address latches needed for 8085 and SC/MP interfacing the ADC0816 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	$\overline{MEMR}$	$\overline{MEMW}$	INTR (Thru RST Circuit)*
8085	$\overline{RD}$	$\overline{WR}$	INTR (Thru RST Circuit)
Z-80	$\overline{RD}$	$\overline{WR}$	$\overline{INT}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA • $\overline{\phi 2}$ • R/$\overline{W}$	VMA • $\overline{\phi 2}$ • R/$\overline{W}$	$\overline{IRQA}$ or $\overline{IRQB}$ (Thru PIA)

Physical Dimensions inches (millimeters)

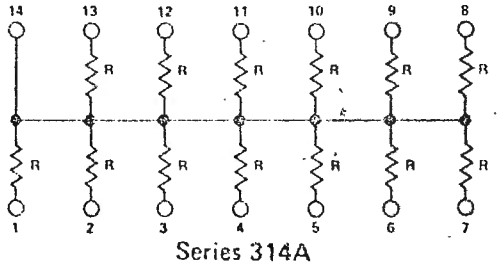


Molded Dual-In-Line Package (N)
Order Number ADC0816CCN
or ADC0817CCN
NS Package Number N40A

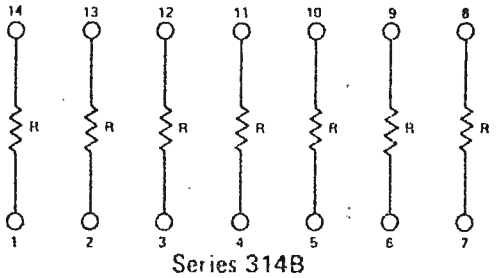
Manufactured under one or more of the following U.S. patents: [illegible]

National Semiconductor Corporation
2900 Semiconductor Drive, Santa Clara, California 95051, (408) 737-5000/TWX (910) 339-9240
National Semiconductor GmbH
606 Fuerstenfeldbruck, Industriestrasse 10, West Germany, Tele. (08141) 1371/Telex 05-27649
National Semiconductor (UK) Ltd.
Larkfield Industrial Estate, Greenock, Scotland, Tele. (0475) 33251/Telex 778 932

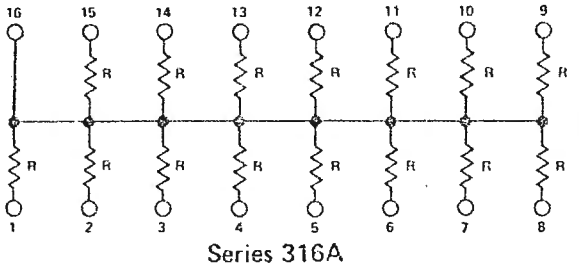
STANDARD NETWORK SCHEMATIC DIAGRAMS



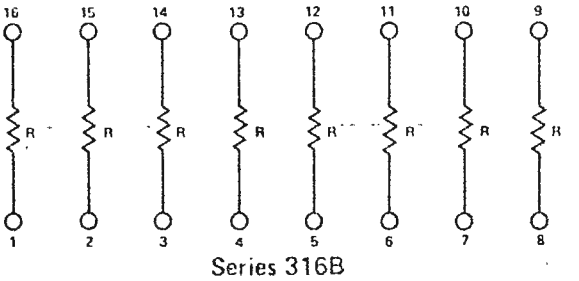
Series 314A



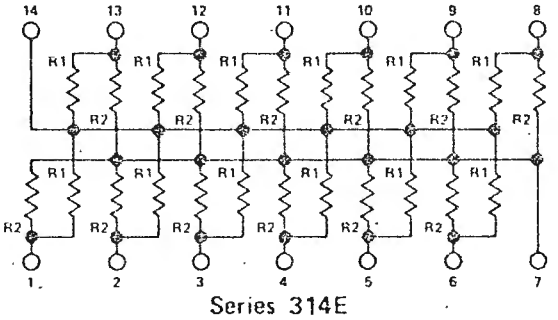
Series 314B



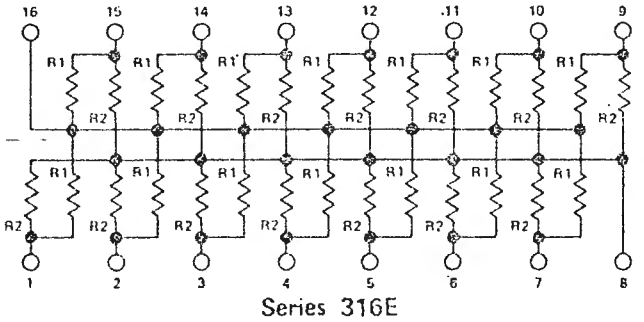
Series 316A



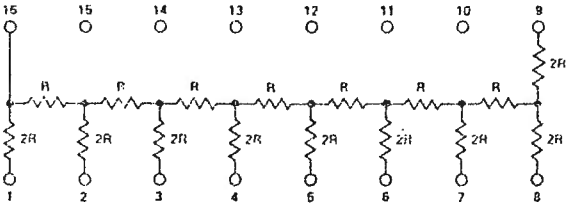
Series 316B



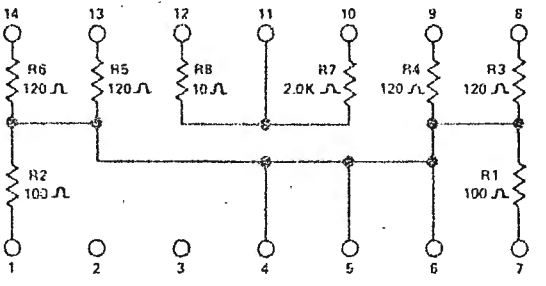
Series 314E



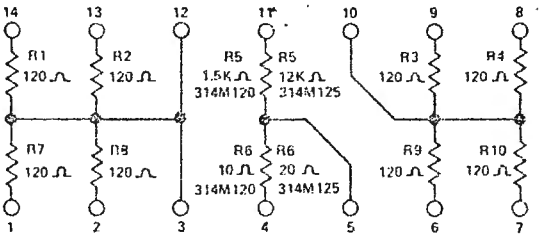
Series 316E



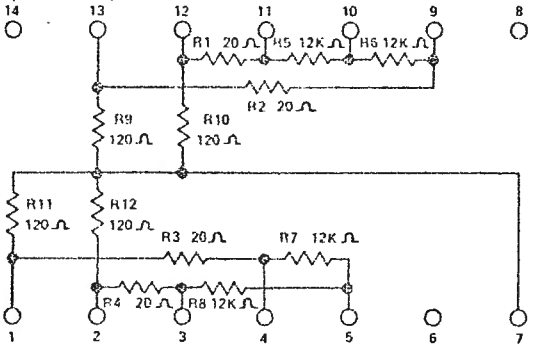
316L08



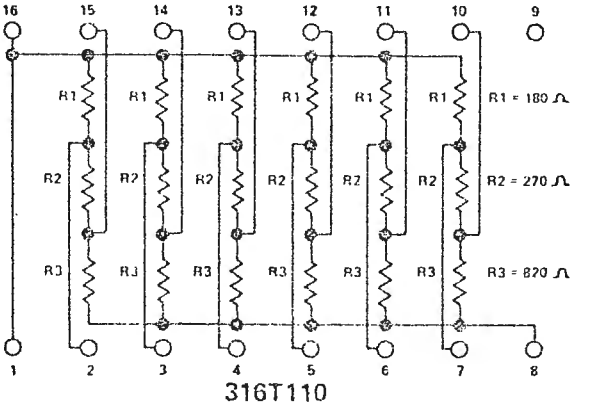
314M110



314M120 or 314M125



314M130



316T110

STANDARD RESISTANCE VALUES

Series 314A, 314B, 316A and 316B Resistor Networks.

R (Ohms)					
22	110	560	3000	13K	68K
24	120	620	3300	15K	75K
27	130	680	3600	16K	82K
30	150	750	3900	18K	91K
33	160	820	4300	20K	100K
36	180	910	4700	22K	120K
39	200	1000	5100	24K	150K
43	220	1100	5600	27K	180K
47	240	1200	6000	30K	220K
51	270	1300	6200	33K	270K
56	300	1500	6800	36K	330K
62	330	1600	7500	39K	390K
68	360	1800	8200	43K	470K
75	390	2000	9100	47K	560K
82	430	2200	10K	51K	680K
91	470	2400	11K	56K	1M
100	510	2700	12K	62K	

*Bold figures in above Table denotes available in ±1% Tolerance (Add F to Part Number).

Series 314E and 316E Resistor Networks.

R1/R2	Z_o (Characteristic Impedance)	R1/R2	Z_o (Characteristic Impedance)
81/130	50	220/330	132
120/200	75	330/390	179
90/660	80	330/470	194
130/210	80	330/680	222
160/260	100	1.5K/3.3K	1.03K
220/270	121	3K/6.2K	2.02K
180/390	123		

Series 316L08 Resistor Networks

R (Ohms)
25K
50K
100K

EXPLANATION OF PART NUMBERS

314A103 F

*For 1% Tolerance add F to Part Number.

Series Designation

314A
314B
316A
316B

Resistance Value

First two digits are significant figures and the third indicates the number of zeros following the first two digits –

Examples: 101 = 100 Ohms
102 = 1000 Ohms
122 = 1200 Ohms

314E221331

Series Designation

314E
316E

R1 R2 Resistance Value

First two digits are significant figures and the third indicates the number of zeros following the first two digits –

Examples: 101 = 100 Ohms
102 = 1000 Ohms
122 = 1200 Ohms

316L08104

Series Designation

Number of BITS

Resistance Value

First two digits are significant figures and the third indicates the number of zeros following the first two digits –

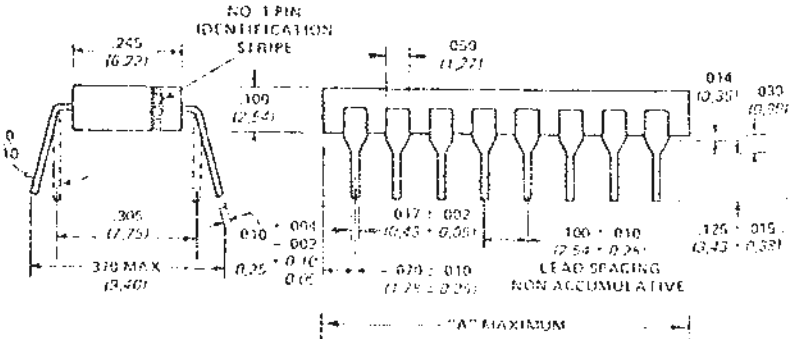
Example: 104 = 100K Ohms

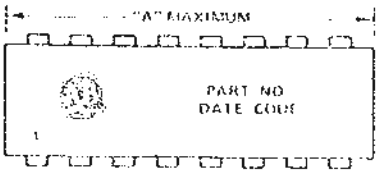
DIMENSIONS

Basic dimensions in inches
Dimensions shown in ITALICS are in millimeters

TOLERANCES
Dimensional Tolerance ± .005 (0.13)
Angular Tolerance ± 5°
Except as Specified

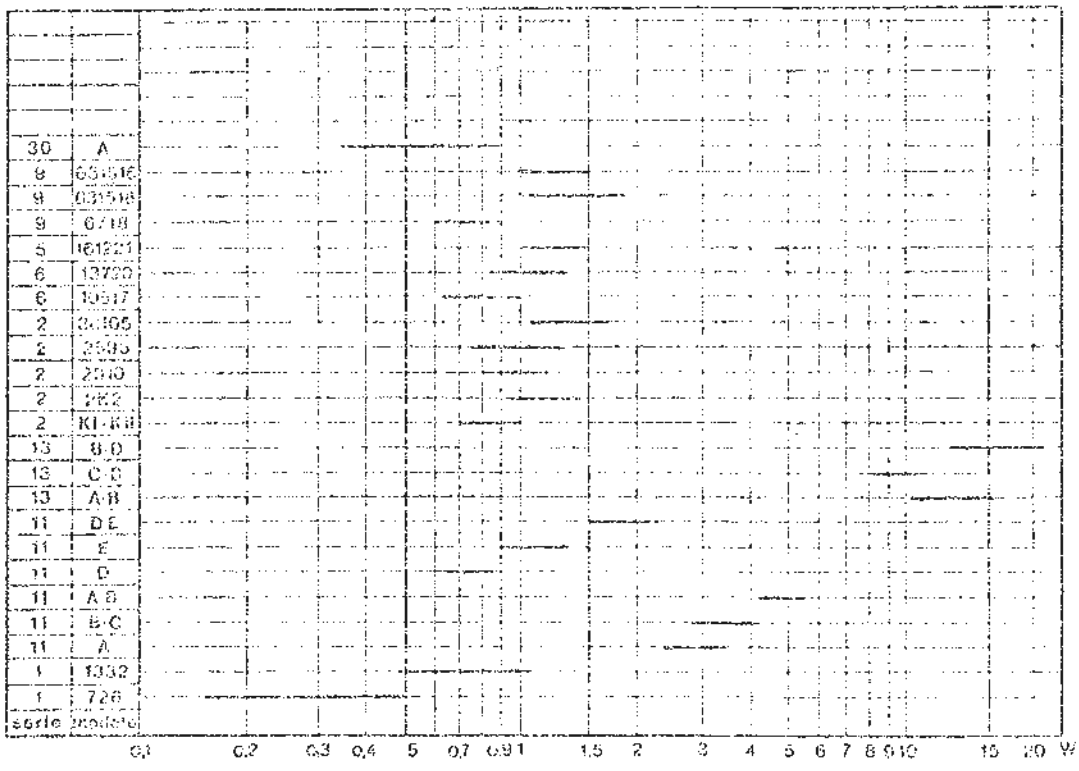
NOT TO SCALE





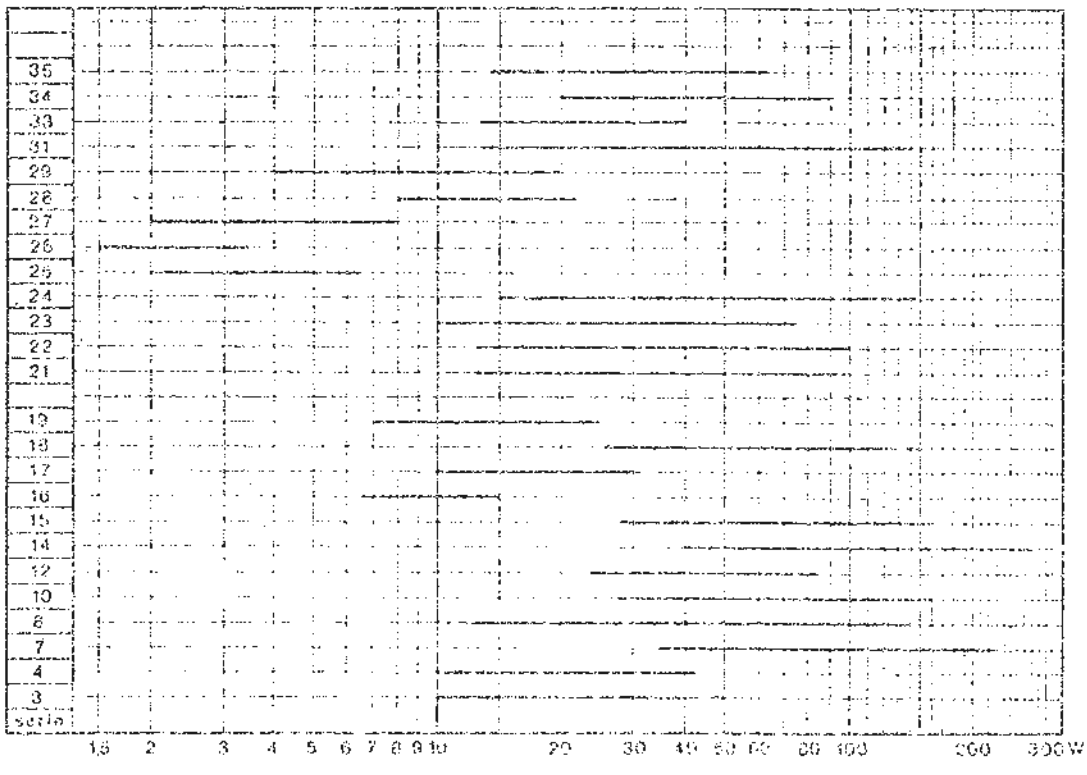
"A" Maximum		Number of Leads
Decimal	Metric	
.745	*18,92*	14
.845	*21,46*	16

POTENCIAS DE UTILIZACION PARA LOS RADIADORES SIDEVAN



GRAFICA 1

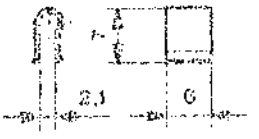
Esta tabla indica las potencias de utilización de nuestros disipadores considerando su temperatura comprendida entre un máximo de 90º y un mínimo de 70º.



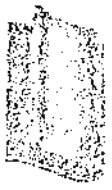
GRAFICA 2

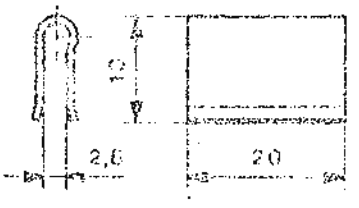
En esta tabla indicamos las potencias de utilización de muchos perfiles extruidos de acuerdo con sus longitudes y una temperatura de trabajo comprendida entre un máximo de 90º y un mínimo de 70º.

SERIE 1



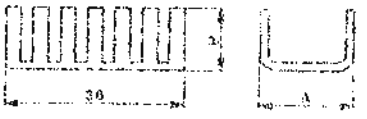
Modelo 726
Aluminio Pulido
Para 1 cápsula modelo PIHER SC ó 2N
Rth. = 67



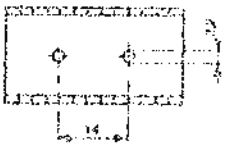


Modelo 1.332
Aluminio negro mate
Para 1 cápsula modelo TO-126
Rth = 54

SERIE 11



Modelo 11-A
Aluminio negro mate.
Para 1 ó 2 cápsulas TO-126.
Rth. = 17.



Modelo 11-A-E
Idéntico al anterior, pero con anodizado especial aislante.

Modelo 11-B

Modelo	A.	B.
A	19	12,7
B	25	13,7

Aluminio negro mate

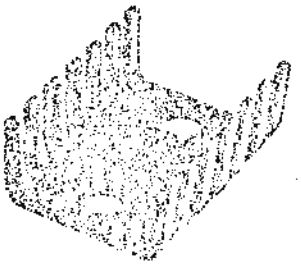
Para 1 ó 2 cápsulas TO-126

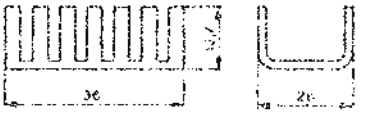
Rth. = 14

Modelo 11-B-E

Idéntico al anterior, pero con

anodizado especial aislante



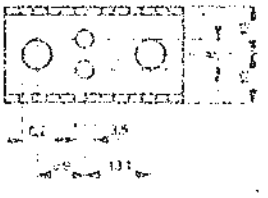


Modelo 11-C

Aluminio negro mate

Para 1 cápsula TO-66

Rth. = 14



Modelo 11-C-E

Idéntico al anterior, pero con

anodizado especial aislante

Modelo 11-AB
Aluminio negro mate.
Para 2 cápsulas modelo TO-126
Rth. = 9.

Modelo 11-AB-E
Idéntico al anterior, pero con anodizado especial aislante.

A fin de reducir la resistencia térmica, aconsejamos al montar los transistores intercalados entre ambos radiadores; con ello obtendremos para una máxima e igual disipación, una disminución en los radiadores, de unos 10°C aproximadamente.

2N3055 (SILICON)

HIGH POWER NPN SILICON POWER TRANSISTOR

. . . EPIBASE transistors for ultimate circuit performance based on the designers requirements.

EPIBASE — designed for power amplifier and switching regulator applications. The best choice where high frequency response, low switching losses and good safe operating area are required.

- Current-Gain — Bandwidth Product — f_T = 2.5 MHz (Min) @ I_C = 1.0 Adc
- Safe Operating Area — Full Power Rating to 40 V

15 AMPERE

POWER TRANSISTOR
NPN SILICON

60 VOLTS
115 WATTS

*MAXIMUM RATINGS

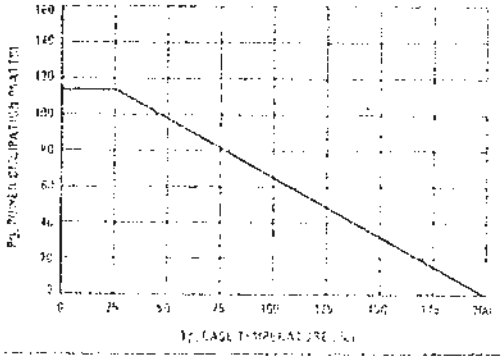
Rating	Symbol	Value	Unit
Collector Emitter Voltage	$V_{CEO(sus)}$	60	Vdc
Collector Emitter Voltage — 1.5V Base	$V_{CEX(sus)}$	90	Vdc
Collector Emitter Voltage (R_{BE} = 100 Ω)	$V_{CER(sus)}$	70	Vdc
Collector Base Voltage	V_{CB}	100	Vdc
Emitter Base Voltage	V_{EB}	7.0	Vdc
Collector Current — Continuous	I_C	15	Adc
Base Current	I_B	7.0	Adc
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	115 0.657	Watts W/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +200	°C

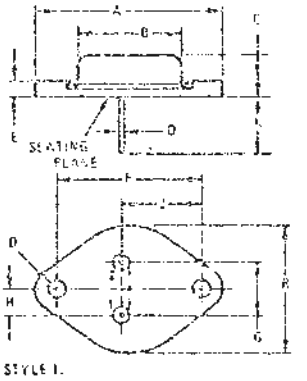
*Indicates selection from either product sheet or exceed JEDEC Registration (Not a Registered Rating)

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	1.52	°C/W

FIGURE 1 - POWER DERATING





DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A		26.67		1.050
B		26.00		0.920
C	5.84	7.92	0.230	0.312
D	0.55	0.95	0.022	0.037
E		3.93		0.155
F	26.67	29.67	1.050	1.167
G	10.92	11.43	0.430	0.450
H	1.55	1.99	0.061	0.078
J	0.43	1.09	0.017	0.043
K	29.21	30.13	1.150	1.186
Q	3.64	4.09	0.143	0.161
U		25.40		1.000

CASE 11

ELECTRICAL CHARACTERISTICS (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
* Collector-Emitter Sustaining Voltage (I_C = 0.2 Adc, I_B = 0)	$V_{CEO(sus)}$	60		Vdc
* Collector-Emitter Sustaining Voltage (I_C = 0.2 Adc, R_{BE} = 100 Ω)	$V_{CER(sus)}$	70	–	Vdc
* Collector Cutoff Current (V_{CE} = 30 Vdc, I_B = 0)	I_{CEO}	–	0.7	mAdc
Collector Cutoff Current (V_{CE} = 100 Vdc, $V_{EB(off)}$ = 1.5 Vdc)	I_{CEX}	–	1.0	mAdc
(V_{CE} = 100 Vdc, $V_{EB(off)}$ = 1.5 Vdc, T_C = 150°C)		–	5.0	
* Emitter Cutoff Current (V_{BE} = 7.0 Vdc, I_C = 0)	I_{EBO}	–	5.0	mAdc
ON CHARACTERISTICS				
* DC Current Gain (I_C = 4.0 Adc, V_{CE} = 4.0 Vdc)	h_{FE}	20	70	–
(I_C = 10 Adc, V_{CE} = 4.0 Vdc)		5.0	–	
Collector-Emitter Saturation Voltage * (I_C = 4.0 Adc, I_B = 0.4 Adc)	$V_{CE(sat)}$	–	1.1	Vdc
(I_C = 10 Adc, I_B = 3.3 Adc)		–	3.0	
Base-Emitter On Voltage (I_C = 4.0 Adc, V_{CE} = 4.0 Vdc)	$V_{BE(on)}$		1.5	Vdc
Second Breakdown Collector Current With Base Forward Biased (t = 1.0 s) (V_{CE} = 40 Vdc)	$I_{S/b}$	2.87		Adc
DYNAMIC CHARACTERISTICS				
Current Gain – Bandwidth Product (I_C = 1.0 Adc, V_{CE} = 4.0 Vdc, f_{test} = 1.0 MHz)	f_T	2.5		MHz
* Small-Signal Current Gain (I_C = 1.0 Adc, V_{CE} = 4.0 Vdc, f = 1.0 kHz)	h_{fe}	15	120	–

*Indicates JEDEC Registered Data.

FIGURE 2 – SWITCHING TIMES TEST CIRCUIT

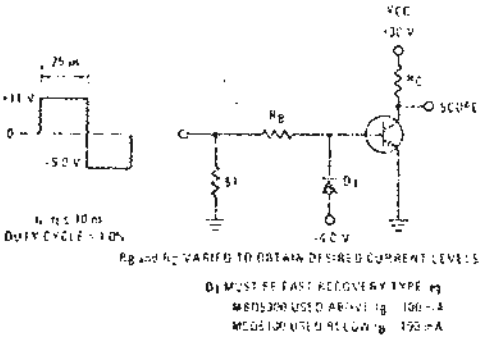


FIGURE 3 – TURN-ON TIME

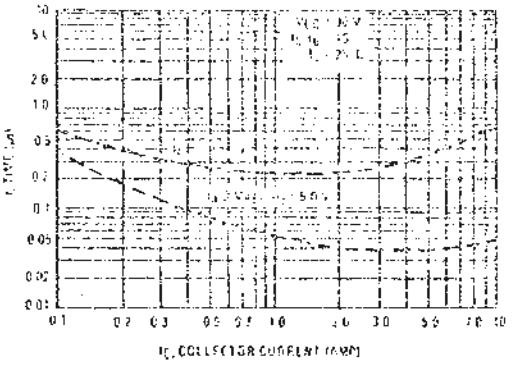
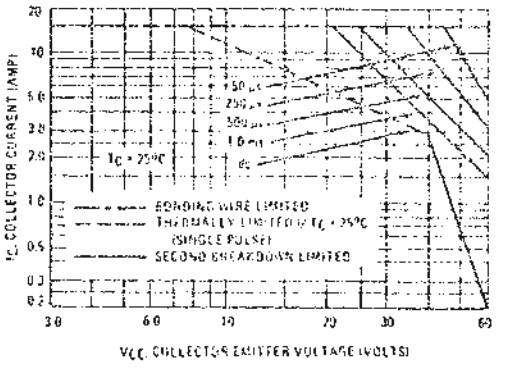


FIGURE 4 – ACTIVE-REGION SAFE OPERATING AREA



There are two limitations on the power handling ability of a transistor: average junction temperature and second breakdown. Safe operating area curves indicate $I_C - V_{CE}$ limits of the transistor that must be observed for reliable operation, i.e., the transistor must not be subjected to greater dissipation than the curves indicate.

Second breakdown pulse limits are valid for duty cycles to 10%. At high case temperatures, thermal limitations will reduce the power that can be handled to values less than the limitations imposed by second breakdown. (See AN 415)

FIGURE 5 – COLLECTOR CUT OFF REGION

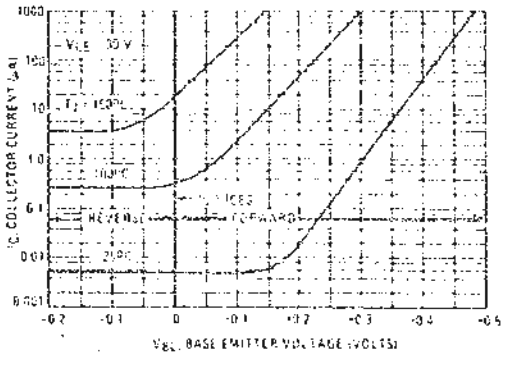


FIGURE 6 – TURN-OFF TIME

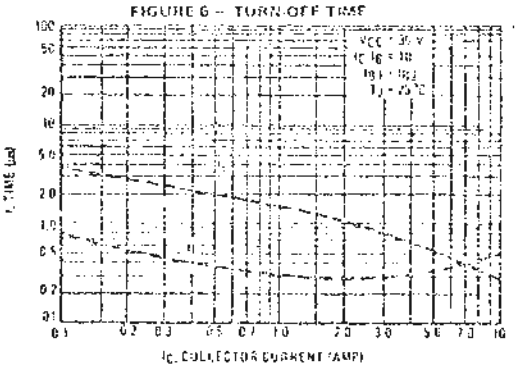


FIGURE 7 – CAPACITANCE

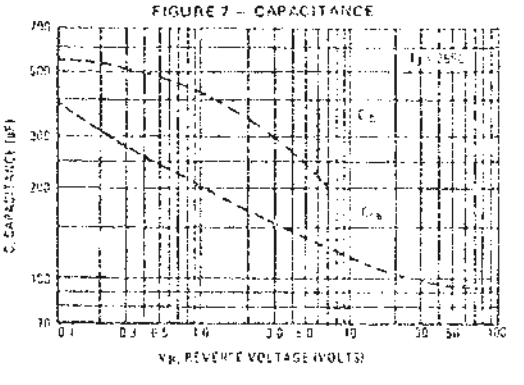


FIGURE 8 – DC CURRENT GAIN

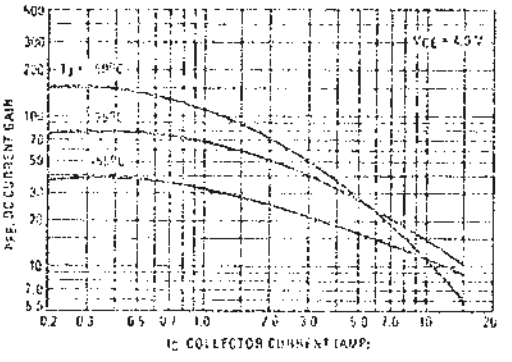


FIGURE 9 – COLLECTOR SATURATION REGION

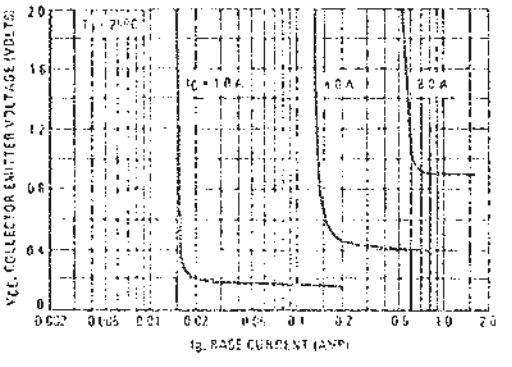
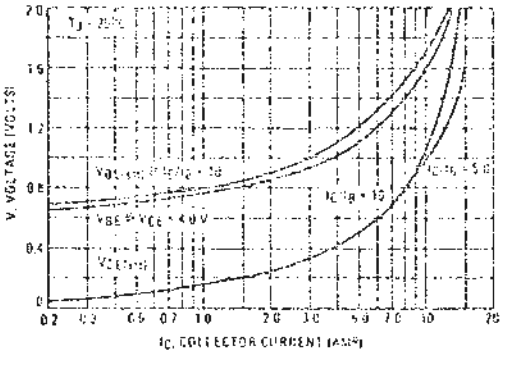


FIGURE 10 – "ON" VOLTAGES

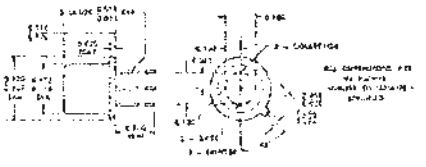


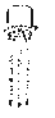
MEDIUM POWER P-N-P TRANSISTORS FOR COMPUTER MEMORY APPLICATIONS

- Increased Dissipation at 25°C Case Temperature . . . 10 W Max (2N4030 thru 2N4033)
- High $V_{(BR)CEO}$ . . . 80 V Min (2N4027, 2N4029, 2N4031, 2N4033)

mechanical data

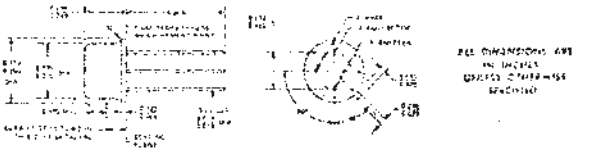
2N4026 THRU 2N4029
THE COLLECTOR IS IN ELECTRICAL CONTACT WITH THE CASE





ALL JEDEC TO-18 DIMENSIONS AND NOTES ARE APPLICABLE*

2N4030 THRU 2N4033
THE COLLECTOR IS IN ELECTRICAL CONTACT WITH THE CASE



ALL JEDEC TO-39 DIMENSIONS AND NOTES ARE APPLICABLE*

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

	2N4026 2N4027 2N4028 2N4029	2N4030 2N4031 2N4032 2N4033	UNIT
Collector-Base Voltage	−60† −80†	−60† −80†	V
Collector-Emitter Voltage (See Note 1)	−60† −80†	−60† −80†	V
Emitter-Base Voltage	−5†	−5†	V
Continuous Collector Current	−1†	−1†	A
Continuous Device Dissipation at (or below) 25°C Free-Air Temperature (See Note 2)	0.5†	0.5†	W
Continuous Device Dissipation at (or below) 25°C Case Temperature (See Note 3)	2†	10† 4†	W
Storage Temperature Range	−65 to 200†	−65 to 200†	°C
Lead Temperature 1/16 Inch from Case for 60 Seconds	300†	300†	°C

NOTES: 1. These values apply between 0 and 10 mA collector current when the base-emitter diode is open-circuited.
2. Derate linearly to 200°C free-air temperature at the rates of 2.86 mW/°C for 2N4026 through 2N4029 and 4.56 mW/°C for 2N4030 through 2N4033.
3. Derate linearly to 200°C case temperature at the following rates: 11.4 mW/°C for the 2 watt rating, 57.1 mW/°C for the 10 watt rating, and 22.8 mW/°C for the 4 watt rating.

*The JEDEC registered outline for these devices is TO-5, TO-39 in all respects except the exception of lead length.
*JEDEC registered data. This data sheet contains all applicable registered data in effect at the time of publication.
†This value is guaranteed by Texas Instruments in addition to the JEDEC registered value which is also shown.

USES CHIP P16

*electrical characteristics at 25°C free air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		2N4026 2N4030		2N4027 2N4031		2N4028 2N4032		2N4029 2N4033		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
$V_{(BR)CBO}$	Collector Cut Breakdown Voltage	$I_C = -10\ \mu A$, $I_E = 0$		-60		-80		-60		-80		V
$V_{(BR)CEO}$	Collector Emitter Breakdown Voltage	$I_C = -10$ mA, $I_B = 0$, See Note 4		-60		-80		-60		-80		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	$I_E = -10\ \mu A$, $I_C = 0$		-5		-5		-5		-5		V
I_{CBO}	Collector Cutoff Current	$V_{CB} = -50$ V, $I_E = 0$			-50				-50			nA
		$V_{CB} = -60$ V, $I_E = 0$					-50				-50	
		$V_{CB} = -50$ V, $I_E = 0$, $T_A = 150°C$			-50				-50			μA
		$V_{CB} = -60$ V, $I_E = 0$, $T_A = 150°C$					-50				-50	
$I_{E(B)}$	Emitter Cutoff Current	$V_{EB} = -5$ V, $I_C = 0$			-10		-10		-10		-10	μA
h_{FE}	Static Forward Current Transfer Ratio	$V_{CE} = -5$ V, $I_C = -100\ \mu A$	See Note 4	30		40		75		75		
		$V_{CE} = -5$ V, $I_C = -100$ mA		40	120	40	120	100	300	100	300	
		$V_{CE} = -5$ V, $I_C = -100$ mA, $T_A = -55°C$		15		15		40		40		
		$V_{CE} = -5$ V, $I_C = -500$ mA		25		25		70		70		
		$V_{CE} = -5$ V, $I_C = -1$ A		15		10		40		25		
V_{BE}	Base Emitter Voltage	$I_B = -15$ mA, $I_C = -150$ mA	See Note 4		-0.9		-0.9		-0.9		-0.9	V
		$V_{CE} = -0.5$ V, $I_C = -500$ mA			-1.1		-1.1		-1.1		-1.1	
		$V_{CE} = -1$ V, $I_C = -1$ A			-1.2				-1.2			
$V_{CE(sat)}$	Collector Emitter Saturation Voltage	$I_B = -15$ mA, $I_C = -150$ mA	See Note 4		-0.15		-0.15		-0.15		-0.15	V
		$I_B = -50$ mA, $I_C = -500$ mA			-0.5		-0.5		-0.5		-0.5	
		$I_B = -100$ mA, $I_C = -1$ A			-1				-1			
$\|h_{fe}\|$	Small Signal Common-Emitter Forward Current Transfer Ratio	$V_{CE} = -10$ V, $I_C = -50$ mA, $f = 100$ MHz		1	4	1	4	1.5	5	1.5	5	
C_{cb}	Collector Base Capacitance	$V_{CB} = -10$ V, $I_E = 0$, $f = 1$ MHz, See Note 5			20		20		20		20	pF
C_{ibo}	Common-Base Open-Circuit Input Capacitance	$V_{EB} = -0.5$ V, $I_C = 0$, $f = 1$ MHz			110		110		110		110	pF

NOTES 4. These parameters must be measured using pulse techniques. $t_w = 300\ \mu s$, duty cycle ≤ 1%.
5. C_{cb} measurement employs a three-terminal capacitance bridge incorporating a guard circuit. The emitter is connected to the guard terminal of the bridge.

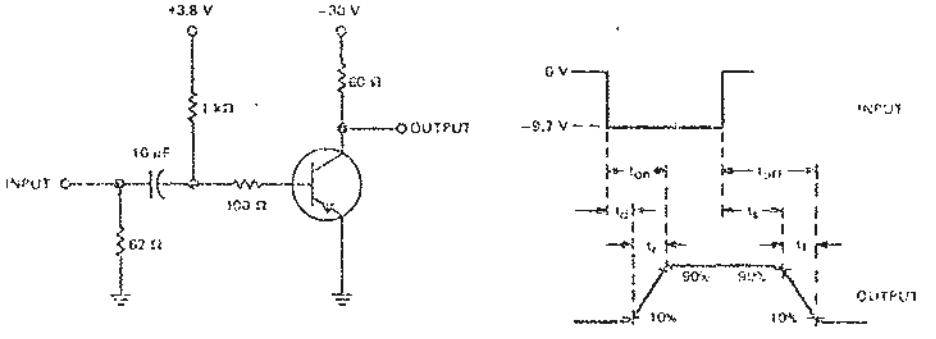
*JEDEC registered data

switching characteristics at 25°C free-air temperature

PARAMETER		TEST CONDITIONS†		MAX	UNIT
t_{on}	Turn-On Time	$V_{CC} = -30$ V,	$I_C = -500$ mA,	100	ns
t_s	Storage Time	$I_{B(1)} = -50$ mA,	$I_{B(2)} = 50$ mA,	350	ns
t_f	Fall Time	$V_{BE(off)} = 3.8$ V,	See Figure 1	50	ns

†Voltage and current values shown are nominal; exact values vary slightly with transistor parameters.
‡JEDEC registered data

PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT

(See Notes a and b)
VOLTAGE WAVEFORMS

NOTES: a. The input waveform is supplied by a generator with the following characteristics: $Z_{out} = 50\ \Omega$, $t_r \leq 20$ ns, $t_f \leq 20$ ns, $t_w = 10\ \mu s$, duty cycle ≤ 2%.
b. Waveforms are monitored on an oscilloscope with the following characteristics: $t_r = 10$ ns, $R_{in} \geq 100$ kΩ.

FIGURE 1—500 mA SWITCHING TIMES

THERMAL INFORMATION

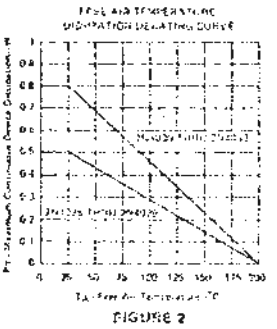


FIGURE 2

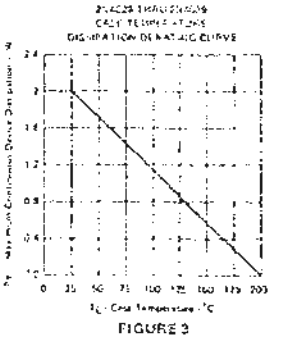


FIGURE 3

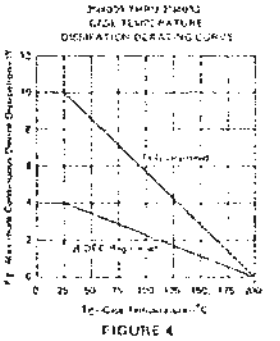
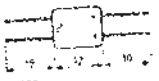
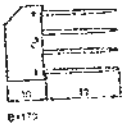


FIGURE 4

RECTIFIER STACKS

Type and application	Ratings I_o (A)	I_{RRM} (A)	I_{FSM} (A)	V_{RRM} (V)	V_{RWM} (V)	V_{RSM} (V)	V_{FSM} (V)	P_{RRM} (kW)	P_{FSM} (kW)
BY122	0.8	3	15	42	60	120	120	--	-
BY123	0.7	3	15	280	400	800	800	--	--
BY164	1.4	5	25	60	85	120	120	--	
BY179	1	5	25	280	400	800	800	--	--





Type and application	Ratings $I_{F(AV)}$ (A)	I_{FRM} (A)	I_{FSM} (A)	V_{RRM} (V)	P_{RRM} (kW)	P_{FSM} (kW)	Characteristics V_F at I_F (V)	(A)	$V_{F(t_0)}$ at I_F (V)	(A)	I_{RM} at V_{RM} (A)	(V)
OSB9110 -4				2	3.2	6	<4	20	<3.76	5		
-6				3	4.8	9	<6	20	<5.64	5		
...	6	120	85	...	...	...	...	...	...	...	<0.6	$V_{RRM\,max}$
-28				14	8.4	42	<28	20	<26.32	5		
-30				15	9	45	<30	20	<28.2	5		
OSB9110 series Equivalent to OSB9110 series												
OSB9110 -2				3	1.8	9	<6	20	<5.64	5		
-4				4	2.4	12	<8	20	<7.52	5		
...	6	120	85	...	...	...	...	...	...	...	<0.6	$V_{RRM\,max}$
-29				29	17.4	87	<58	20	<54.52	5		
-30				30	18	90	<60	20	<56.4	5		
OSB9210 -4				2	4	26	<3.6	50	<3.76	5		
-6				3	6	39	<5.4	50	<5.64	5		
...	20	440	360	...	...	...	...	...	...	...	<0.6	$V_{RRM\,max}$
-28				14	28	182	<25.2	50	<26.32	5		
-30				15	30	195	<27	50	<28.2	5		
OSB9210 series Equivalent to OSB9210 series												
OSB9210 -3				3	6	39	<5.4	50	<5.64	5		
-4				4	8	52	<7.2	50	<7.52	5		
...	20	440	360	...	...	...	...	...	...	...	<0.6	$V_{RRM\,max}$
-29				29	58	377	<52.2	50	54.52	5		
-30				30	60	390	<54	50	56.4	5		

MDA980-1 thru MDA980-6
MDA990-1 thru MDA990-6

Designers Data Sheet

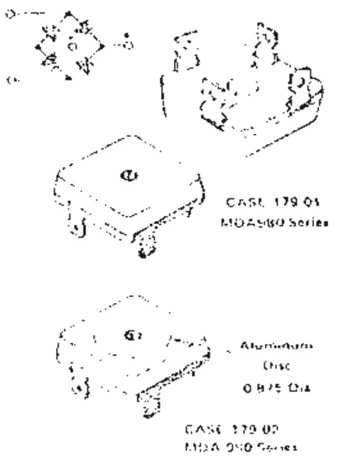
INTEGRAL DIODE ASSEMBLIES

. . . passivated, diffused silicon dice interconnected and transfer molded into rugged, hybrid rectifier circuit assemblies. The MDA990 series incorporates an electrically insulated aluminum disc for improved heat dissipation when mounted directly on a metal chassis or heat sink.

- Large surge capability — 300 A
- Efficient Thermal Management Provides Maximum Power Handling In Minimum Space

SINGLE-PHASE FULL-WAVE BRIDGE

12 and 30 AMPERES
50 thru 600 VOLTS



Designers Data for "Worst Case" Conditions

The Designers Data sheets permit the design of most circuits entirely from the information presented. Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

MAXIMUM RATINGS [illegible]

Rating		Symbol	1	2	3	4	5	6	Unit
[illegible]		[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	Volts
[illegible]		[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]
[illegible]		[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]	[illegible]
[illegible]	MDA980		12						Amp
	MDA990		30						
[illegible]		[illegible]	300						Amp
[illegible]		[illegible]	[illegible]						[illegible]

THERMAL CHARACTERISTICS

Characteristic		Symbol	Typ	Max	Unit
[illegible]	MDA980	[illegible]	[illegible]	[illegible]	[illegible]
	MDA990		[illegible]	[illegible]	
[illegible]	MDA980	[illegible]		[illegible]	[illegible]
	MDA990			[illegible]	

TYPICAL CHARACTERISTICS [illegible]

Characteristic		Symbol	Min	Typ	Max	Unit
[illegible]	MDA980	[illegible]		[illegible]	[illegible]	[illegible]
	MDA990			[illegible]	[illegible]	
	MDA980				[illegible]	
	MDA990				[illegible]	
[illegible]		[illegible]			[illegible]	[illegible]

MECHANICAL CHARACTERISTICS

CASE: Transfer molded plastic encapsulation

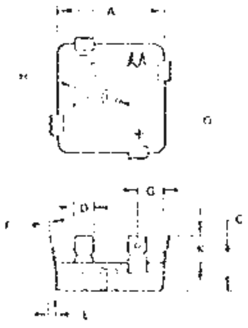
POLARITY: Terminal designation embossed on case
+DC output
-DC output
AC not marked

MOUNTING POSITION: Bolt down. Highest heat transfer efficiency accomplished through the surface opposite the terminals

WEIGHT: MDA980 — 21 grams (approx.)
MDA990 — 22.5 grams (approx.)

TERMINALS: Suitable for fast-on connections, readily solderable connections, corrosion resistant

MOUNTING TORQUE: 20 in. lb. Max



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	[illegible]	[illegible]	[illegible]	[illegible]
C	[illegible]	[illegible]	[illegible]	[illegible]
D	[illegible]	[illegible]	[illegible]	[illegible]
F	[illegible]	[illegible]	[illegible]	[illegible]
G	[illegible]	[illegible]	[illegible]	[illegible]
H	[illegible]	[illegible]	[illegible]	[illegible]
J	[illegible]	[illegible]	[illegible]	[illegible]
K	[illegible]	[illegible]	[illegible]	[illegible]
L		[illegible]		[illegible]
Q	[illegible]	[illegible]	[illegible]	[illegible]

NOTE:
[illegible]

CASE 179-01 02

FIGURE 1 – FORWARD VOLTAGE

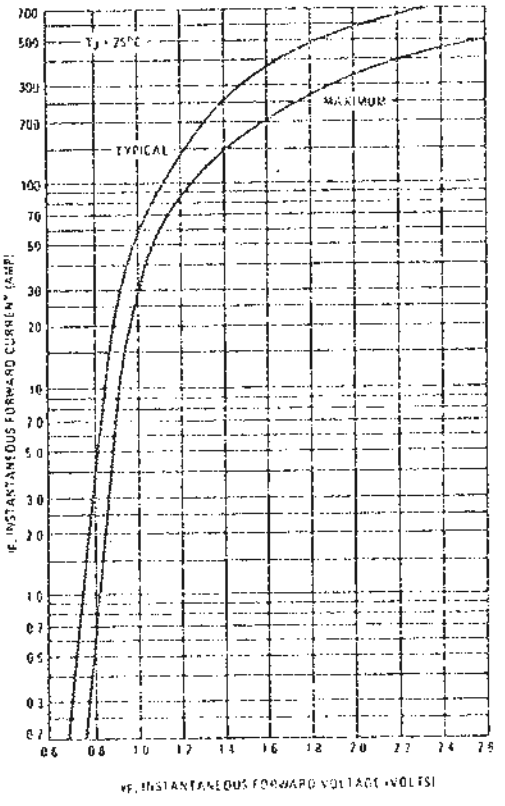


FIGURE 2 – MAXIMUM SURGE CAPABILITY

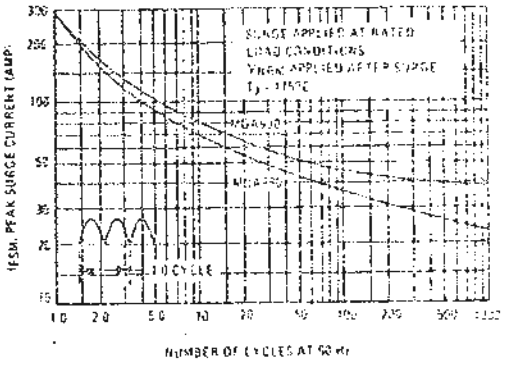


FIGURE 3 – FORWARD VOLTAGE TEMPERATURE COEFFICIENT

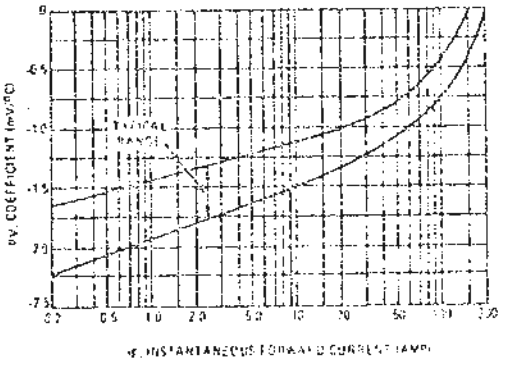
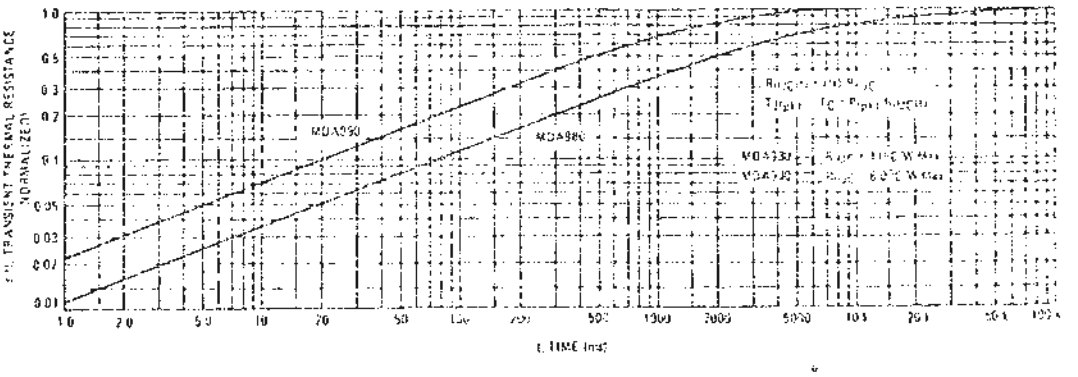


FIGURE 4 – TYPICAL THERMAL RESPONSE



MAXIMUM CURRENT RATINGS, BRIDGE OPERATION

FIGURE 5 – MDA980 CURRENT DERATING

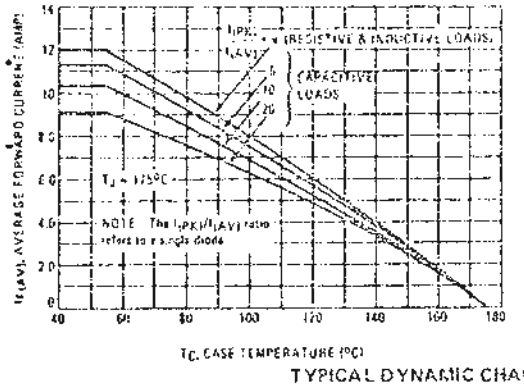
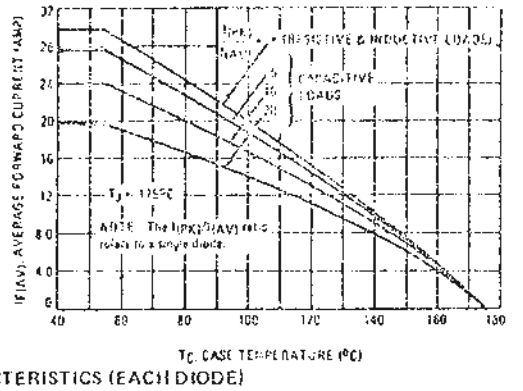


FIGURE 6 – MDA990 CURRENT DERATING



TYPICAL DYNAMIC CHARACTERISTICS (EACH DIODE)

FIGURE 7 – RECTIFICATION EFFICIENCY

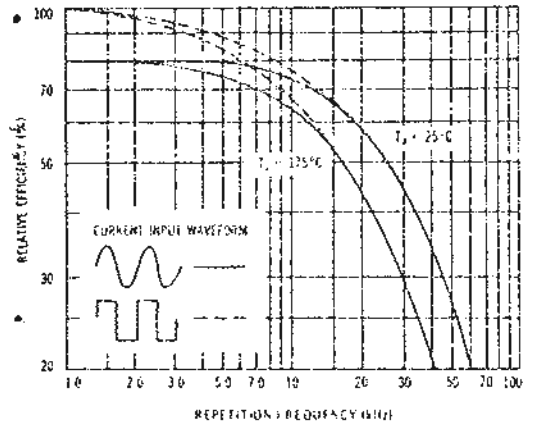


FIGURE 8 – JUNCTION CAPACITANCE

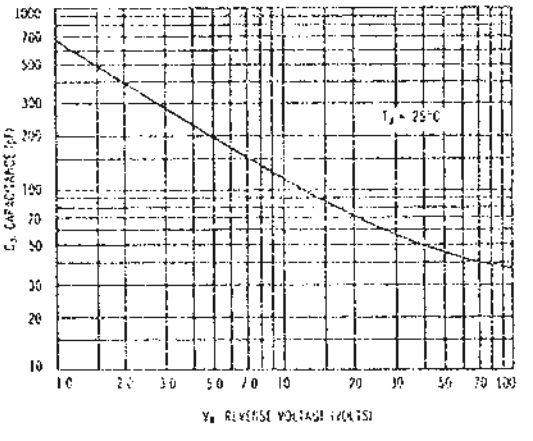


FIGURE 9 – REVERSE RECOVERY TIME

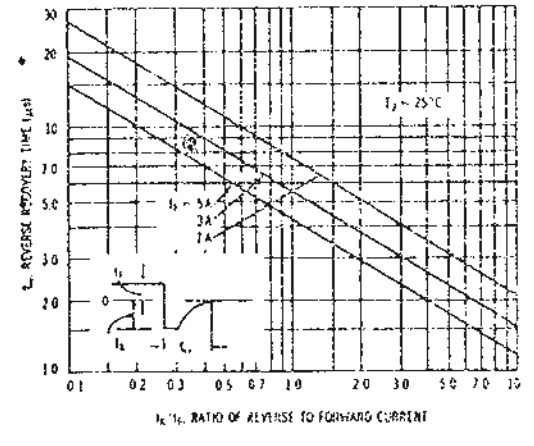


FIGURE 10 – FORWARD RECOVERY TIME

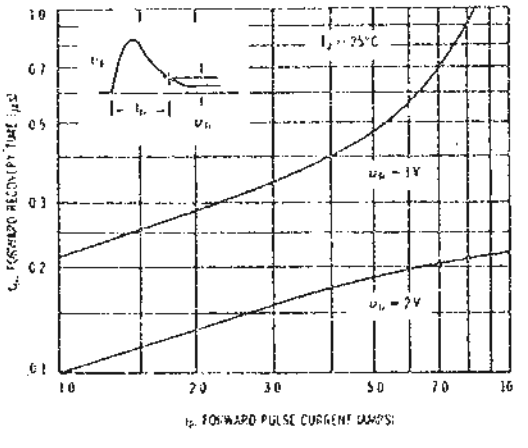


FIGURE 11 – POWER DISSIPATION

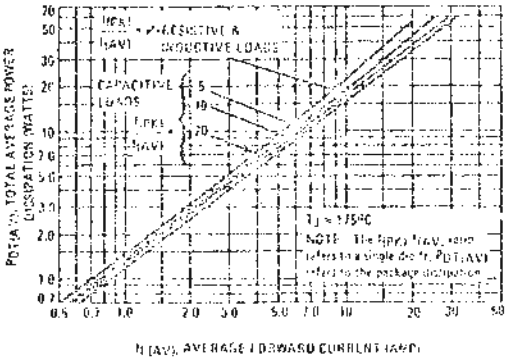
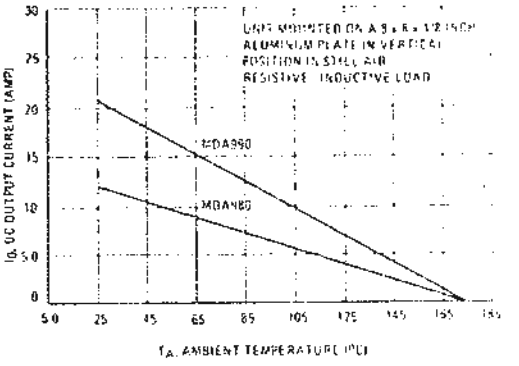


FIGURE 12 – CURRENT VERSUS AMBIENT TEMPERATURE



NOTE 1 – THERMAL COUPLING AND EFFECTIVE THERMAL RESISTANCE

In multiple chip devices where there is coupling of heat between die, the junction temperature can be calculated as follows

(1) $\Delta T_{J1} = R_{\theta 1}P_{D2} + R_{\theta 2}K_{\theta 2}P_{D2} + R_{\theta 3}K_{\theta 3}P_{D3} + R_{\theta 4}K_{\theta 4}P_{D4}$

Where ΔT_{J1} is the change in junction temperature of diode 1

$R_{\theta 1}$ thru 4 is the thermal resistance of diodes 1 through 4

P_{D1} thru 4 is the power dissipated in diodes 1 through 4

$K_{\theta 2}$ thru 4 is the thermal coupling between diode 1 and diodes 2 through 4

An effective package thermal resistance can be defined as follows

(2) $R_{\theta(EFF)} = T_{J1}/P_{DT}$

Where: P_{DT} is the total package power dissipation

Assuming equal thermal resistance for each die, equation (1) simplifies to

(3) $\Delta T_{J1} = R_{\theta 1}P_{D1} + K_{\theta 2}P_{D2} + K_{\theta 3}P_{D3} + K_{\theta 4}P_{D4}$[1]

For the condition where $P_{D1} = P_{D2} = P_{D3} = P_{D4}$, $P_{DT} = 4P_{D1}$ equation (3) can be further simplified and by substituting into equation (2) results in

(4) $R_{\theta(EFF)} = R_{\theta 1}(1 + K_{\theta 2} + K_{\theta 3} + K_{\theta 4})/4$

For the MDA980 rectifier assembly, thermal coupling between opposite diodes is 42% and between adjacent diodes is 56% when the case temperature is used as a reference. Similarly for the MDA990, thermal coupling between opposite diodes is 12% and between adjacent diodes is 20%.

NOTE 2 – SPLIT LOAD DERATING INFORMATION

Bridge rectifiers are used in two basic configurations as shown in circuits A and B of Figure 13. The current derating data of Figures 5 and 6 apply to the standard bridge circuit (A) where $I_A = I_B$. For circuit B where $I_A \neq I_B$, derating information can be calculated as follows.

(5) $T_{R(MAX)} = T_{J(MAX)} - \Delta T_{J1}$

Where $T_{R(MAX)}$ is the reference temperature (either case or ambient)

ΔT_{J1} can be calculated using equation (3) in Note 1.

For example, to determine $T_{C(MAX)}$ for the MDA990 with the following capacitive load conditions

I_A = 20 A average with a peak of 56 A

I_B = 10 A average with a peak of 72 A

First calculate the peak to average ratio for I_A: $I_{(PK)}/I_{(AV)}$ = 85/10 = 8.6. (Note that the peak to average ratio is on a per diode basis and each diode provides 10A average).

From Figure 11, for an average current of 20 A and an $I_{(PK)}/I_{(AV)}$ = 8.6 read $P_{DT(AV)}$ = 40 watts or 10 watts/diode. Thus $P_{D1} = P_{D3}$ = 10 watts

Similarly, for a load current I_B of 10 A, diode #2 and diode #4 each see 5.0 A average resulting in an $I_{(PK)}/I_{(AV)} \approx 14.4$

Thus, the package power dissipation for 10 A is 20.2 watts or 5.05 watts/diode. ∴ $P_{D2} = P_{D4}$ = 5.05 watts

The maximum junction temperature occurs in diodes #1 and #3. From equation (3) for diode #1: $T_{J1} = 5.6 + 10 + 0.12(5.05) + 0.2(10) + 0.2(5.05)$

$T_{J1} \approx 76°C$

Thus $T_{C(MAX)} = 175 - 76 = 99°C$

The total package dissipation in this example is

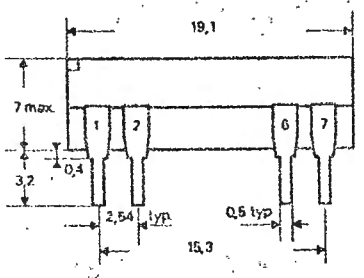
$P_T = 2 \times 10 + 2 \times 5.05 \approx 30.1$ watts

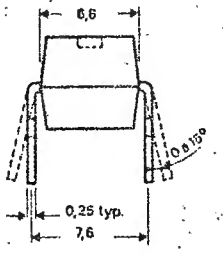
(Note that although maximum $R_{\theta JC}$ is 6°C/W, 5.6°C/watt is used in this example and on the derating data as it is unlikely that all four die in a given package would be at the maximum value).

FIGURE 13 – BASIC CIRCUIT USES FOR BRIDGE RECTIFIERS

CIRCUIT A

CIRCUIT B





Encoche sur moulage du côté de la borne 1
Notch side of pin 1
Markierungsvertiefung Seite Kontakt 1

Tension max.	Pouvoir de coupure		
	W⎓	V≃	mA
Max. voltage	**Contact Ratings**		
	W⎓	V≃	mA
Spannung max.	**Kontakteigenschaften**		
	W⎓	V≃	mA
18 25 37 37 75	10	100	500
12 18 37 60	10	220	500
12 18 37 60	0,3	28	10
9 12 18 37	10	100	250
8 16 32 55	10	100	250
12 18 37	3	48	250
8 16	10	100	250

Qualité Haute Fiabilité : remplacer le dernier chiffre 1 par 2. Ex. : D 31 A 31 devient D 31 A 32.
For instrument grade change the 1 of the now model in 2. For ex. : D 31 A 31 in D 31 A 32.
Relais für professionelle Anwendung, ersetzen Sie die 1 der neuen Bezeichnung durch eine 2.

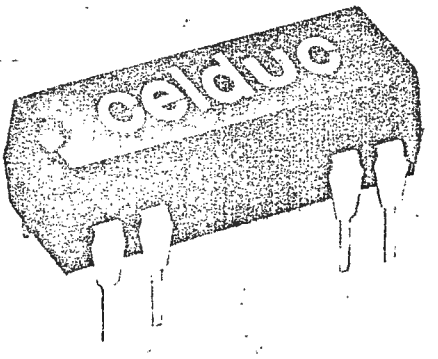
Relais Reed Boîtier DIP

DIP Reed Relay

Reed Relais Typ DIP

D 30

Conforme aux normes / Qualified to / Die nach MIL S 55433 A, MIL R 5757 F



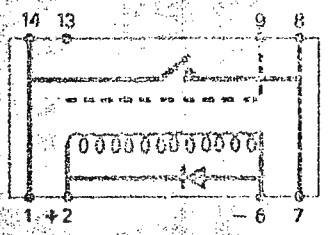
De format DIP, la conception et le procédé de moulage par transfert des relais D sont semblables à ceux des circuits intégrés avec lesquels ils sont compatibles mécaniquement et électriquement. Notre gamme est la plus étendue de toutes celles produites actuellement.
Cette sélection devrait satisfaire les besoins les plus divers. Notre équipe d'étude est à votre disposition pour choisir ou même concevoir un relais spécial correspondant à votre application.

The Reed-Relay D 30 in a DIP-package is similar to integrated circuits in design, shape and the transfer mold process. They are mechanically and electrically compatible with integrated circuits. Our serie of Dual-In-Line packaged relays is the widest available to-day. This choice makes them indispensable for various applications.
Our engineering department is at your disposal to choose or even design your special relay.

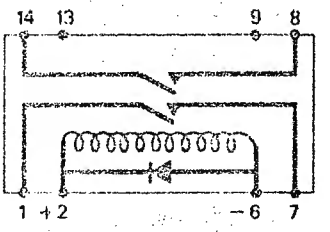
Die Reed-Relais D 30 im DIP-Gehäuse gleichen im Aussehen, in der Konzeption und der Herstellungsmethode . integrierten Schaltungen. Sie sind mechanisch und elektrisch mit diesen kompatibel.
Das vorliegende Programm stellt das kompletteste Spektrum an Reed-Relais im "Dual-In-Line" Gehäuse dar. Diese grosse Auswahl macht unsere Relais unentbehrlich für die verschiedensten Anwendungen.
Für die Wahl oder Auslegung des für Ihren Fall am besten geeigneten Relais steht Ihnen unsere Entwicklungsabteilung zur Verfügung.

REED RELAIS DIP / REED RELAY DIP / RELAIS REED DIP D 30
REEDRELAIS / REEDRELAY / RELAIS REED MIL 30
REEDSCHALTER / REED SWITCH / INTERRUPTEUR REED
STATISCHES RELAIS / SOLID STATE RELAY / RELAIS STATIQUE S
ANNÄHERUNGSSCHALTER / PROXIMITY CONTACT / CONTACT DE PROXIMITÉ P
RELAIS R

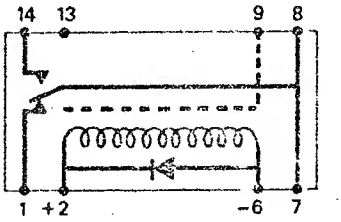
D 31 A



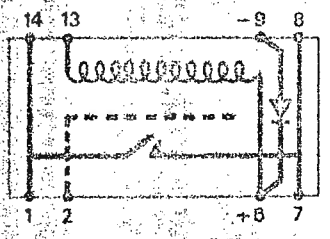
D 32 A



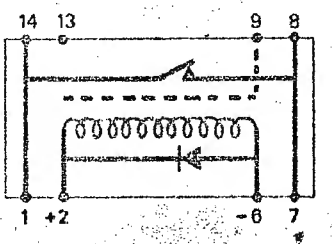
D 31 C



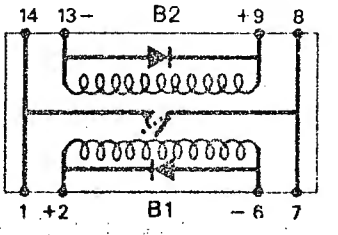
D 91 A



D 31 B



D 31 L



Vue de dessus
Top view
Von oben gesehen

Dessins au pas de 2,54 mm
Drawings 0,1 inch step
Rastermass 2,54 mm

Forme B et L : respecter la polarité en l'absence de diode
Form B and L : without diode respect polarity
Form B und L : Ohne Diode Polarität beachten

B1
Bobine de fermeture
Coil to close
Schließspule

B2
Bobine d'ouverture
Coil to open
Öffnerspule

				Reference	Interrupteur Reed	Numéro de fiche	Bobine Ω ±10%	Tension nominale	Tension fonction.	Tension relâch.
				Model No	Reed Switch	Data sheet	Coil Ω ±10%	Nomin. voltage	Must operate voltage	Must release voltage
				Bezeichnung	Reedschalter	Katalog Blatt	Spule Ω ±10%	Nenn-spannung	Ansprech-spannung max.	Abfall-spannung max.
1A	Normal	Normal	Normal	D 31 A 31. 51. 61. 71. 81.	AR 11	1100	500 1000 2150 2150 9000(1)	5 12 15 24 48	3,7 8 11,5 16 32	1 2 4 4 8
1A	Haute tension 500 V	High Voltage 500 V	Hoch-spannung 500 V	D 31 A 24. 54. 74. 84.	AR 41	1140	200 500 2150 6000(1)	5 12 24 48	3,7 8 16 32	1 2 4 8
1A	Haute fréquence 30 MHz	High Frequence 30 MHz	Hoch-frequenz 30 MHz	D 31 A 27.*** 57. 77. 67.	AP 71	1170	200 500 2150 6000(1)	5 12 24 48	3,7 8 16 32	1 2 4 8
2A *	Normal	Normal	Normal	D32A21. 41. 51. 71.	AR 11	1300	125 200 500 2150	5 6 12 24	4,2 5 9,6 20	0,8 1 2 4
1B	Normal	Normal	Normal	D 31 B 31. 51. 71. 81.	AR 11	1200	500 1000 2150 6000(1)	5 12 24 48	3,7 8 16 32	1 2 4 8
1C	Normal	Normal	Normal	D 31 C 21. 51. 71. 81.	CM 21	1400	200 (80) 500 2150 9000	5 12 24 48	3,7 8 16 32	1 2 4 8
1L				D 31 L 31. 51.	AR 11	1500	2 x 410(1) 2 x 1500(1) (1) ± 15%	5 12	3,7 8	

REFERENCE OPTIONS

Diode : ajouter 1 à la référence (D 31 A 31 → D 31 A 311)
Clamp diode : add 1 to the reference
Interne Diode : durch hinzufügen einer 1.

Écran statique : ajouter un 2 (D 31 A 31 → D 31 A 312)
Electro static shield : add 2 to the reference
Elektrostatische Abschirmung : durch hinzufügen 2.

Diode et écran : ajouter un 4 (D 31 A 31 → D 31 A 314)
Diode and shield : add 4 to the reference
Diode und Schirm : durch hinzufügen einer 4.

* Écran magnétique inclus dans la version standard
Magnetic shield included in this model
Magnetische Abschirmung in der Normalausführung

** Écran statique non disponible
Electrostatic shield not available
Elektrostatische Abschirmung nicht lieferbar

*** Blindage statique inclus dans la version standard
Electrostatic shield included in this model
Elektrostatische Abschirmung in der Normalausführung

1,2,3,A 1,2,3 Normalement ouvert/Normally open/Schließer.
1,2,B 1,2 Normalement fermé/Normally closed/Öffner

1,2,C 1,2 Inverseur/Change over/Wechsler
L Bistable/Latching/Bistabil.

Voltage Regulators

LM109/LM209/LM309 five-volt regulators

general description

These voltage regulators are complete 5V regulators fabricated on a single silicon chip. They are designed for local regulation on digital logic cards, eliminating the distribution problems associated with single-point regulation. The devices are available in two common transistor packages. In the solid-kovar TO-5 header, it can deliver output currents in excess of 200 mA, if adequate heat sinking is provided. With the TO-3 power package, the available output current is greater than 1A.

The regulators are essentially blow-out proof. Current limiting is included to limit the peak output current to a safe value. In addition, thermal shutdown is provided to keep the IC from overheating. If internal dissipation becomes too great, the regulator will shut down to prevent excessive heating.

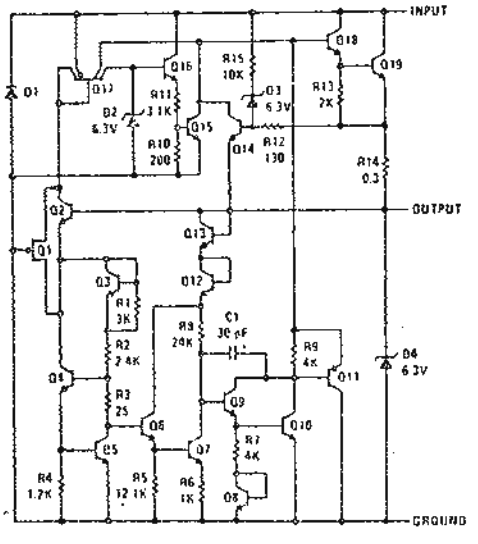
Considerable effort was expended to make these devices easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response somewhat. Input bypassing is needed, however, if the regulator is located very far from the filter capacitor of the power supply. Stability is also achieved by methods that provide very good rejection of load or line transients as are usually seen with TTL logic.

Although designed primarily as a fixed-voltage regulator, the output voltage can be set to voltages above 5V, as shown in Section 7.1.5. It is also possible to use the circuits as the control element in precision regulators, taking advantage of the good current-handling capability and the thermal overload protection.

To summarize, outstanding features of the regulator are:

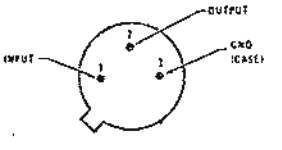
- Specified to be complete, worst case, with TTL and DTL
- Output current in excess of 1A
- Internal thermal overload protection
- No external components required

schematic diagram



connection diagrams

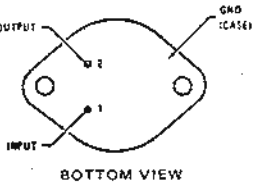
TO-39 (H)



BOTTOM VIEW

Order Numbers
LM109H
LM209H
LM309H

TO-3 (K)

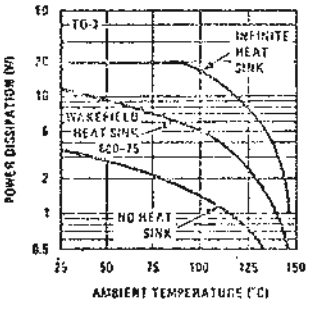


BOTTOM VIEW

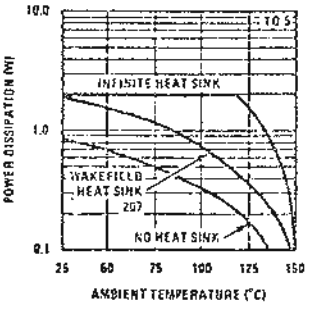
Order Numbers
LM109K
LM209K
LM309K

typical performance characteristics

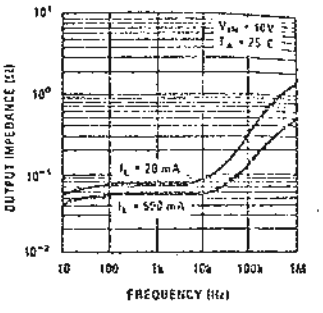
Maximum Average Power Dissipation



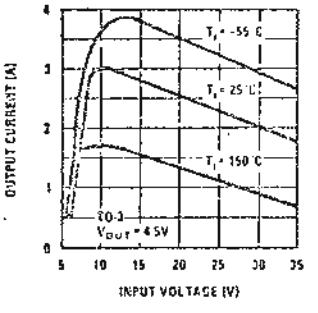
Maximum Average Power Dissipation



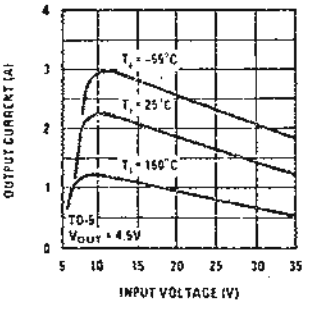
Output Impedance



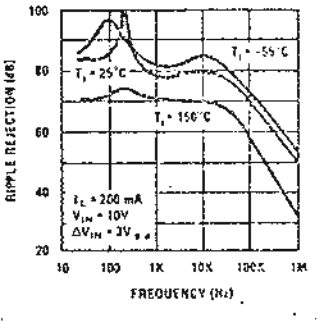
Peak Output Current



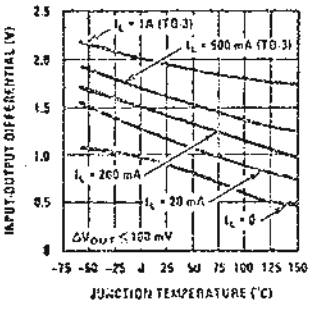
Peak Output Current



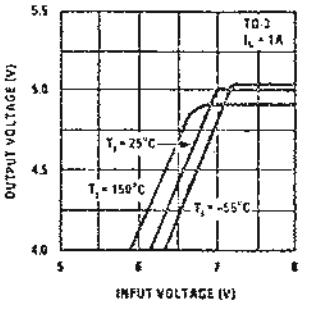
Ripple Rejection



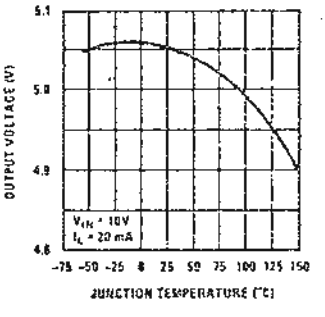
Dropout Voltage



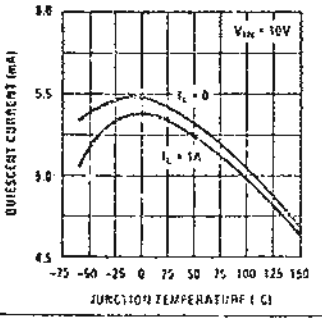
Dropout Characteristic



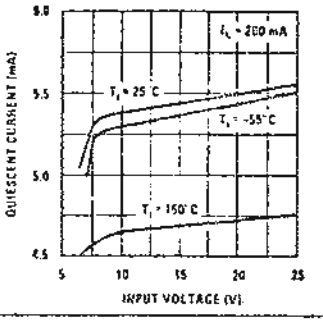
Output Voltage



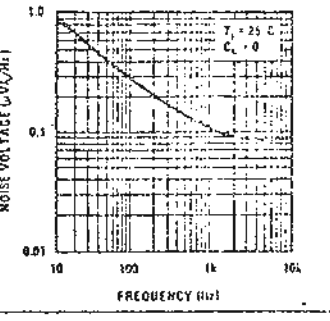
Quiescent Current



Quiescent Current



Output Noise Voltage



electrical characteristics

(Note 1) (unless noted)

T_J = -55°C to +150°C LM109
-25°C to +150°C LM209
+50°C to +125°C LM309

I_O = 100 mA for H package devices
500 mA for K package devices

absolute maximum ratings

Input Voltage	35 V
Power Dissipation	Internally Limited
Operating Junction Temperature Range	-55°C to +150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	+300°C

Part Number				LM109			LM209			LM309			Units
Input Voltage (unless otherwise noted)				10 V			10 V			10 V			
Parameter		Test Conditions		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	T_J = 25°C		4.7	5.05	5.3	4.7	5.05	5.3	4.8	5.05	5.2	V
		$P_D \leq P_{D(MAX)}$ V_{IN} = 7 - 25 V	I_O = 5 mA - I_{MAX}	4.6		5.4	4.6		5.4	4.75		5.25	
ΔV_O	Line Regulation	T_J = 25°C	V_{IN} = 7 - 25 V		4	50		4	50		4	50	mV
	Load Regulation	T_J = 25°C	(H Pkg) I_O = 5 - 500 mA		20	50		20	50		20	50	
			(K Pkg) I_O = 5 - 1500 mA		60	100		50	100		60	100	
	Long Term Stability					10			10			20	$\frac{mV}{1000\ hrs}$
I_Q	Quiescent Current	T_J = 25°C	V_{IN} = 7 - 25 V		5.2	10		5.2	10		5.2	10	mA
ΔI_Q	Quiescent Current Change	T_J = 25°C	I_O = 5 mA - I_{MAX}			0.5			0.5			0.5	
			V_{IN} = 7 - 25 V			0.8			0.8			0.8	
v_n	Output Noise Voltage	T_J = 25°C f = 10 Hz - 100 kHz			40			40			40		μV
θ_{JC}	Thermal Resistance, Junction-to-Case		H Pkg (Note 2)		15			15			15		°C/W
			K Pkg		3			3			3		

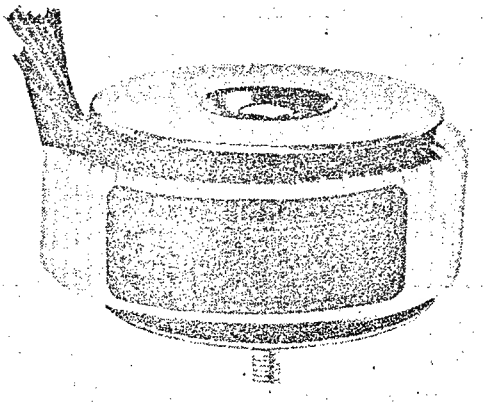
Note 1: For the TO-5 package, I_{MAX} = 0.2 A and P_{MAX} = 2.0 W. For the TO-3 package, I_{MAX} = 1.0 A and P_{MAX} = 20 W.

Note 2: Without a heat sink, the thermal resistance of the TO-5 package is about 150°C/W, while that of the TO-3 package is approximately 35°C/W. With a heat sink, the effective thermal resistance can only approach the values specified, depending on the efficiency of the sink.

TRANSFORMADOR TOROIDAL

"OMEGA"

TIPO DONUT



TOROIDAL TRANSFORMERS

"OMEGA"

DONUT TYPE

- Ninguna distorsión de onda.
- Campo magnético disperso practicamente nulo.
- Supresión absoluta de zumbido por ausencia de chapas y entrehierro.
- Peso y volumen alrededor del 50% frente a los ordinarios.
- Magnetoestricción en el núcleo negligible.
- Estructura plana. Muy adecuados para montaje sobre tarjetas de C.I.
- Facilidad de instalación. Fijación por un solo agujero central.
- Posibilidad de apilar 3 unidades para obtener conjuntos trifásicos.
- Nivel de precios comparable a los convencionales.
- Aplicación en fuentes de alimentación, equipos Hi-Fi, informática, etc.
- Aislamiento entre devanados 2500 V CA. A pedido 4000 V CA.

- No wave distirsion.
- Very small interference field.
- Low rate of no-load current and no hum due to absence of air-gap.
- Weight and volume about 50% of the conventional transformers.
- Very low magnetostriction in the iron core.
- Flat shape. Especially suitable to be mounted on P.C. boards.
- Easy to install. Fixation through a single central hole.
- Three-phase transformers by assembling 3 separate cores together.
- Price level comparable to that of ordinary transformers.
- Especially used in power supplies, Hi-Fi equipment, informatics, etc.
- Isolation 2500 V. A.C. On order 4000 V.

Conectando apropiadamente los tipos de doble secundario, se cubre con los tipos "standard" una gama muy amplia. Los secundarios en paralelo doblan la intensidad, en serie doblan la tensión p.e. el tipo CS 8235 en paralelo da 35 V./2.2 Amp. y en serie 70 V./1.1 Amp.

Sobre pedido estudiamos otras potencias y diferentes devanados de primario y secundario.

Se fijan con dos discos laterales de chapa embutida y entre estos y el devanado sendos discos de "Neopren" aislantes, todos con un taladro central apto para un tornillo M-6. Estos elementos de montaje se suministran con el transformador.

Properly connected, our standard types cover a wide range of voltages and current. Secondary windings in parallel give twice the current, in series twice the voltage. I.e. type CS 8235 parallel connected gives 35 V. 2.2 Amps. The same in series 70 V. 1.1 Amp.

On order, also other wattages, and different combinations of primary and/or secondary windings.

For fixing purpose we furnish with the transformers two stamped circular steel plates and two isolating "Neopren" plates as well as an adequate M-6 bolt and nut.

TRANSFORMADORES STANDARD - PRIMARIO A 220V

Tipo / Type	Potencia / Power VA	Tensión secundario / Secondary voltage V.	Intensidad secundario / Secondary current A.	Medidas y peso promedio / Average dimen. weight			Pérdidas max. / Max. loses	
				Ø mm.	Altura / Height mm.	Peso / Weight Kg.	Hierro / Iron W.	Cobre / Copper W.
CS 1206	18	2 x 6	2 x 1.5	71	27	0,38	0,18	4
CS 1210	18	2 x 10	2 x 0.9	71	27	0,38	0,18	4
CS 1212	18	2 x 12	2 x 0.75	71	27	0,38	0,18	4
CS 1215	18	2 x 15	2 x 0.6	71	27	0,38	0,18	4
CS 1222	18	2 x 22	2 x 0.4	71	27	0,38	0,18	4
CS 1235	18	2 x 35	2 x 0.26	71	27	0,38	0,18	4
CS 1040	18	40	0.45	71	27	0,38	0,18	4
CS 1050	18	50	0.36	71	27	0,38	0,18	4
CS 1060	18	60	0.3	71	27	0,38	0,18	4
CS 3206	30	2 x 6	2 x 2.5	71	33	0,5	0,28	6
CS 3210	30	2 x 10	2 x 1.5	71	33	0,5	0,28	6
CS 3212	30	2 x 12	2 x 1.2	71	33	0,5	0,28	6
CS 3215	30	2 x 15	2 x 1	71	33	0,5	0,28	6
CS 3222	30	2 x 22	2 x 0.7	71	33	0,5	0,28	6
CS 3235	30	2 x 35	2 x 0.4	71	33	0,5	0,28	6
CS 3040	30	40	0.75	71	33	0,5	0,28	6
CS 3050	30	50	0.6	71	33	0,5	0,28	6
CS 3060	30	60	0.5	71	33	0,5	0,28	6
CS 5210	50	2 x 10	2 x 2.5	83	35	0,7	0,5	8
CS 5212	50	2 x 12	2 x 2.1	83	35	0,7	0,5	8
CS 5215	50	2 x 15	2 x 1.6	83	35	0,7	0,5	8
CS 5222	50	2 x 22	2 x 1.1	83	35	0,7	0,5	8
CS 5235	50	2 x 35	2 x 0.7	83	35	0,7	0,5	8
CS 5040	50	40	1.25	83	35	0,7	0,5	8
CS 5050	50	50	1	83	35	0,7	0,5	8
CS 5060	50	60	0.8	83	35	0,7	0,5	8
CS 8210	80	2 x 10	2 x 4	93	35	1	0,65	10
CS 8212	80	2 x 12	2 x 3.3	93	35	1	0,65	10
CS 8215	80	2 x 15	2 x 2.6	93	35	1	0,65	10
CS 8222	80	2 x 22	2 x 1.8	93	35	1	0,65	10
CS 8235	80	2 x 35	2 x 1.1	93	35	1	0,65	10
CS 8040	80	40	2	93	35	1	0,65	10
CS 8050	80	50	1.6	93	35	1	0,65	10
CS 8060	80	60	1.3	93	35	1	0,65	10
CS 12212	120	2 x 12	2 x 5	110	37	1,35	0,95	15
CS 12215	120	2 x 15	2 x 4	110	37	1,35	0,95	15
CS 12222	120	2 x 22	2 x 2.7	110	37	1,35	0,95	15
CS 12235	120	2 x 35	2 x 1.7	110	37	1,35	0,95	15
CS 12040	120	40	3	110	37	1,35	0,95	15
CS 12050	120	50	2.4	110	37	1,35	0,95	15
CS 12060	120	60	2	110	37	1,35	0,95	15
CS 16212	160	2 x 12	2 x 6.6	110	45	1,7	1,3	17
CS 16215	160	2 x 15	2 x 5.3	110	45	1,7	1,3	17
CS 16222	160	2 x 22	2 x 3.6	110	45	1,7	1,3	17
CS 16235	160	2 x 35	2 x 2.3	110	45	1,7	1,3	17
CS 16040	160	40	4	110	45	1,7	1,3	17
CS 16050	160	50	3.2	110	45	1,7	1,3	17
CS 16060	160	60	2.6	110	45	1,7	1,3	17
CS 22215	220	2 x 15	2 x 7.3	119	52	2	2,5	20
CS 22222	220	2 x 22	2 x 5	119	52	2	2,5	20
CS 22230	220	2 x 30	2 x 3.6	119	52	2	2,5	20
CS 22235	220	2 x 35	2 x 3.1	119	52	2	2,5	20
CS 22040	220	40	5.5	119	52	2	2,5	20
CS 22050	220	50	4.4	119	52	2	2,5	20
CS 22060	220	60	3.65	119	52	2	2,5	20
CS 33222	330	2 x 22	2 x 7.5	125	74	3,4	3,2	26,5
CS 33230	330	2 x 30	2 x 5.5	125	74	3,4	3,2	26,5
CS 33235	330	2 x 35	2 x 4.7	125	74	3,4	3,2	26,5
CS 33240	330	2 x 40	2 x 4.1	125	74	3,4	3,2	26,5
CS 33050	330	50	6.6	125	74	3,4	3,2	26,5
CS 33060	330	60	5.5	125	74	3,4	3,2	26,5

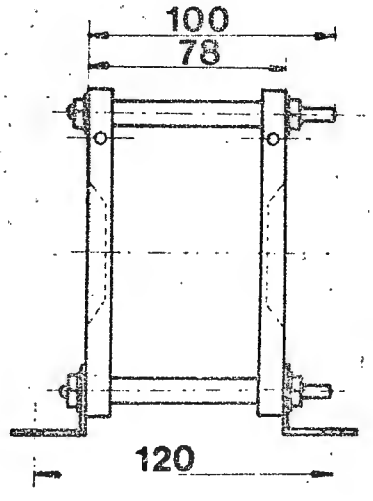
≠ El tipo de 18 W. se fabrica con primario standard de 2 x 110 V.
The 18 VA type has 2 x 110 V as standard primary.

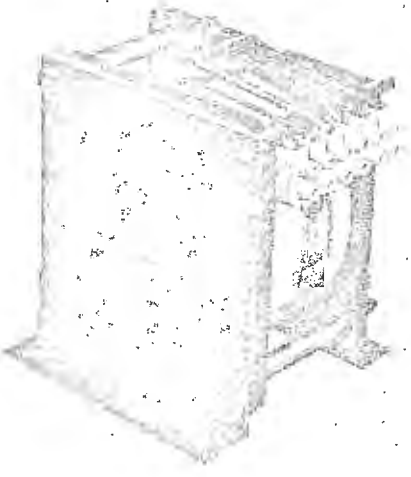
TOROIDAL TRANSFORMER.

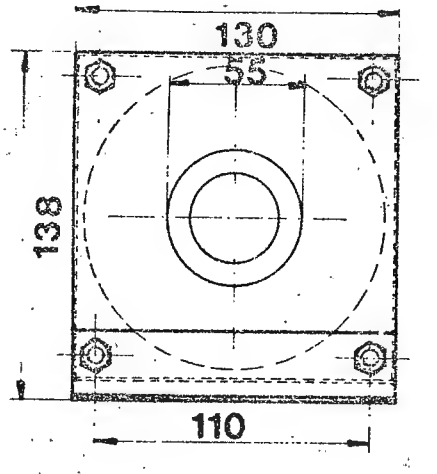
"OMEGA" 330 VA.

TRANSFORMADOR TOROIDAL

"OMEGA" 330 VA.





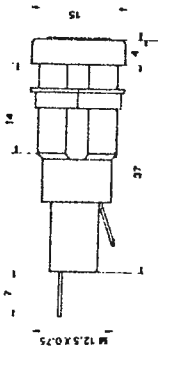


El transformador y los elementos de montaje se suministran separadamente.- Estos últimos se componen de: 2 piezas laterales embutidas en chapa de acero, 2 discos aisladores de NEOPREN, 4 tubos separadores, 4 varillas roscadas, y dos escuadras para el montaje vertical.

The transformer and the mounting elements are furnished separately. These latter consist of 2 stamped steel flanks, 2 NEOPREN insulator plates, 4 separator tubes 4 threaded rods, 8 nuts and 2 brackets for vertical mounting.

PORTAFUSIBLES DE SEGURIDAD TIPO PF-7

Este portafusible cumple con las normas de seguridad según las DIN alemanas VDE 0820 y VDE 0860 H, quedando las partes metálicas aisladas de forma que no se las puede tocar al sacar el fusible de la base y evitando así un choque de corriente casual. Adecuados para fusibles de tipo europeo de 5 x 20 mm.



TOUCH-PROOF FUSEHOLDER TYPE PF-7

These fuseholders made according to the German norms VDE 0860 H and the VDE 0820, make impossible an eventual contact with the current carrying metal parts, when extracting the fuse from the holder. They take European type 5 x 20 mm. fuses.

DOCUMENTO N.º 2 PLANOS

ESCUELA TECNICA SUPERIOR DE
INGENIEROS INDUSTRIALES

ESTACION REMOTA INTELIGENTE

DOCUMENTO Nº 2

PLANOS

MADRID, 16 DE AGOSTO DE 1980

EDUARDO LAINEZ BERDONCES

E S T A C I O N R E M O T A I N T E L I G E N T E

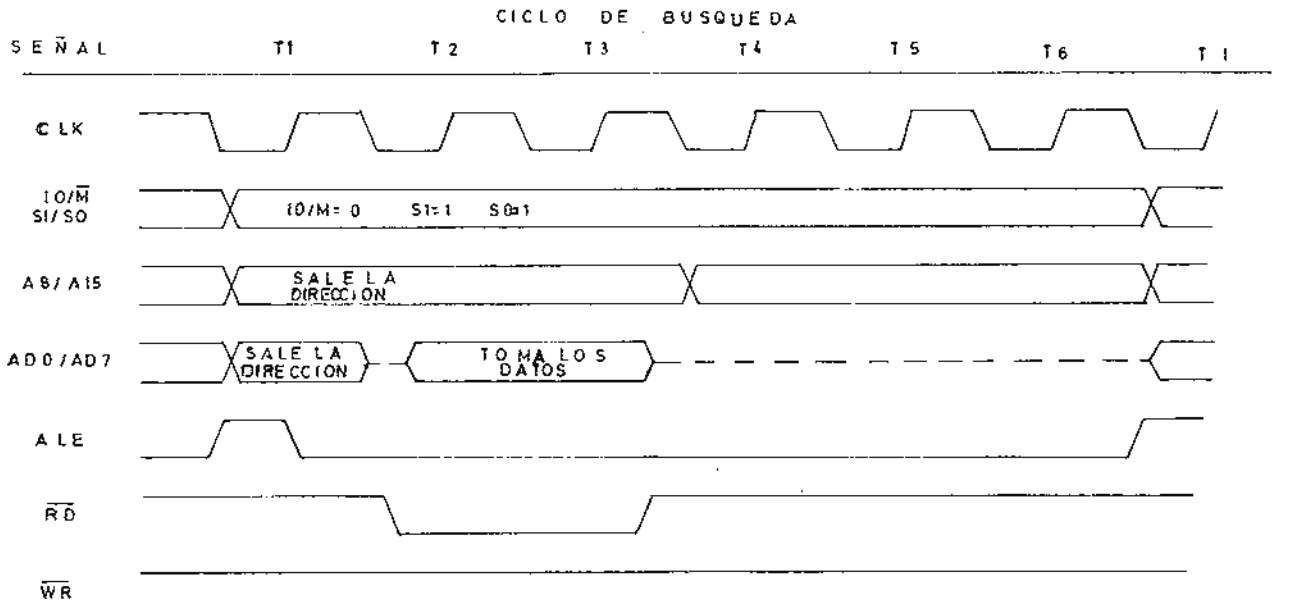
D O C U M E N T O II - P L A N O S

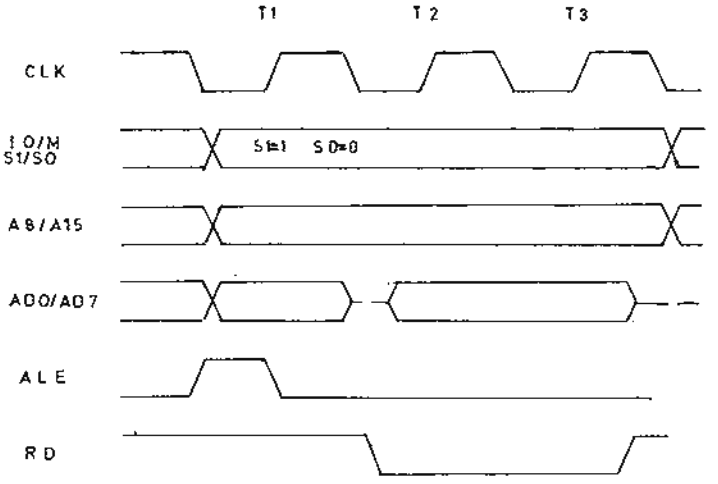
L I S T A D E P L A N O S

NOMENCLATURA DE LOS PLANOS

E. R. I. 00 00

A) PLANOS DE SEÑALES	E. R. I.	01. 00
- Plano de señales de busqueda y lectura	E. R. I.	01. 01
- Plano de señales de escritura	E. R. I.	01. 02
B) PLANOS ELECTRICOS	E. R. I.	02. 00
- Diagrama de bloques	E. R. I.	02. 01
- Fuente de alimentacion	E. R. I.	02. 02
- Tarjeta de C.P.U.	E. R. I.	02. 03
- Tarjeta de memoria	E. R. I.	02. 04
- Tarjetas de entradas analogicas	E. R. I.	02. 05
- Tarjetas de entradas digitales	E. R. I.	02. 06
- Tarjetas de salidas digitales	E. R. I.	02. 07
C) PLANOS DE IMPLEMENTACION	E. R. I.	03. 00
- Chasis	E. R. I.	03. 01
- Placa de interconexiones	E. R. I.	03. 02
- Placa de conexion al exterior	E. R. I.	03. 03
- Placa de montaje	E. R. I.	03. 04





LECTURA EN MEMORIA SI IO/M=0

EN UN CIRCUITO DE ENTRADA SI IO/M=1

	FECHA	NOMBRE	FIRMAS	
DIBUJADO	AGOSTO 80			I C A I
COMPROBADO	AGOSTO 80	E. LAINEZ		
C.S. NORMAS				

ESCALA

ESTACION REMOTA INTELIGENTE

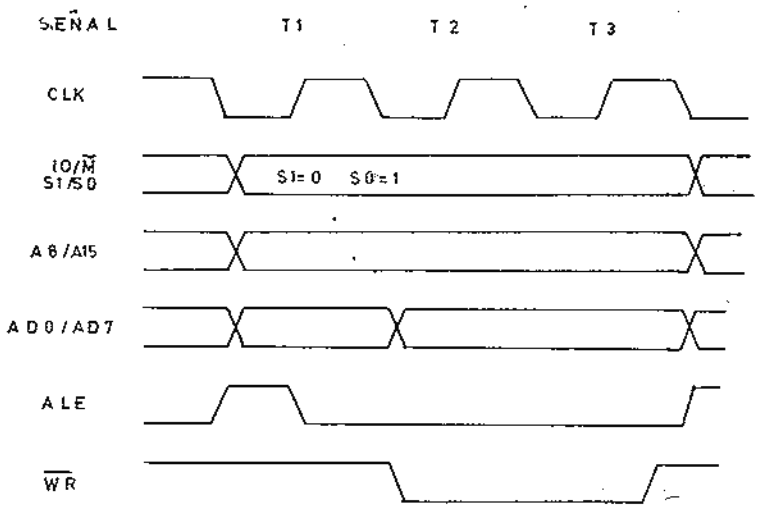
SENALES DE BUSQUEDA Y LECTURA

SUSTITUYE A:

SUSTITUIDO POR:

ERI 01 01

HOJA Nº



ESCRITURA EN MEMORIA SI IO/M=0

EN UN DISPOSITIVO DE SALIDA SI IO/M=1

	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E. LAINEZ	
C.S. NORMAS			

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

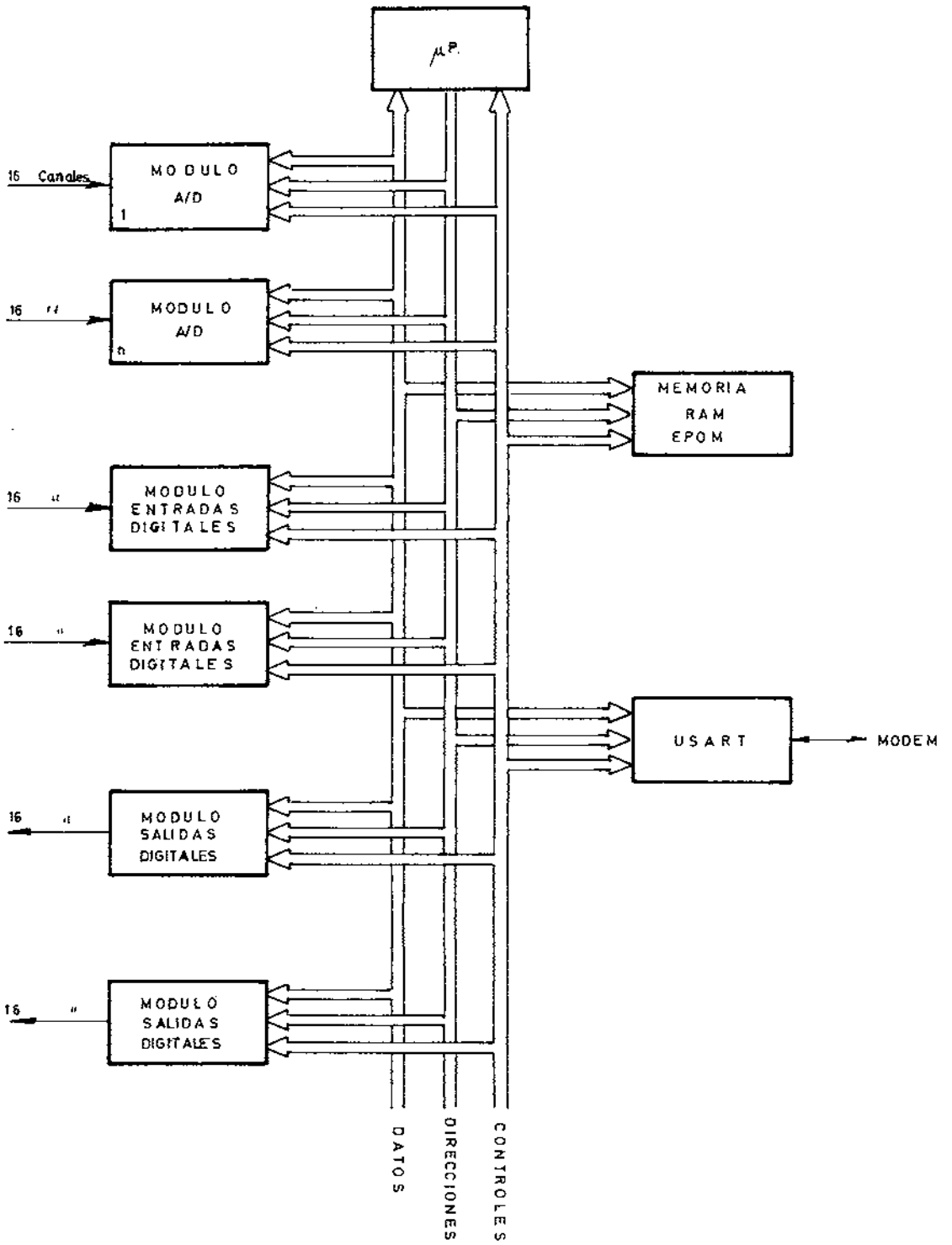
SENALES DE ESCRITURA

SUSTITUYE A:

SUSTITUIDO POR:

ERI 01-02

HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E. LAINEZ	Lainez
C.S. NORMAS			

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

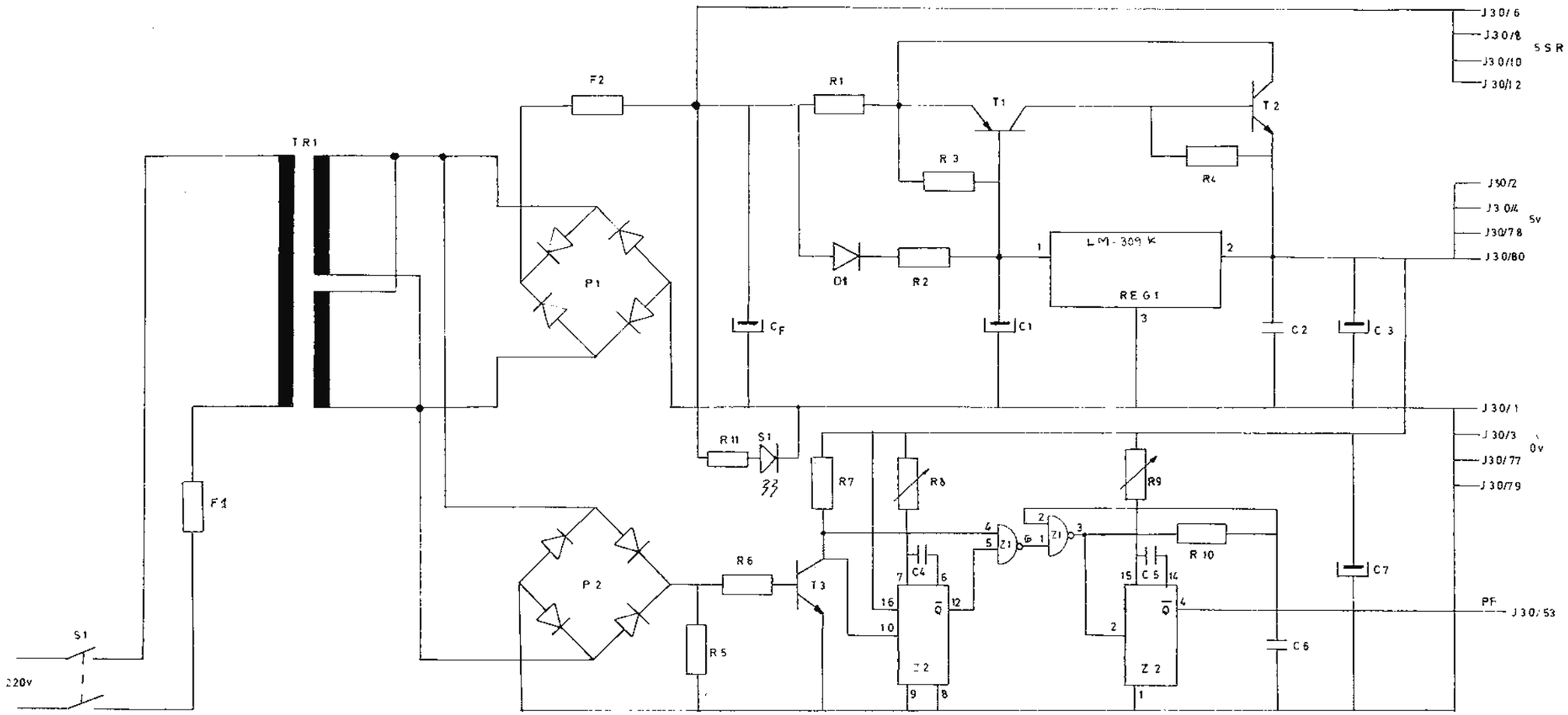
DIAGRAMA DE BLOQUES

SUSTITUYE A:

SUSTITUIDO POR:

ERI 02-01

HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E LAINEZ	
C.S.NORMAS			

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

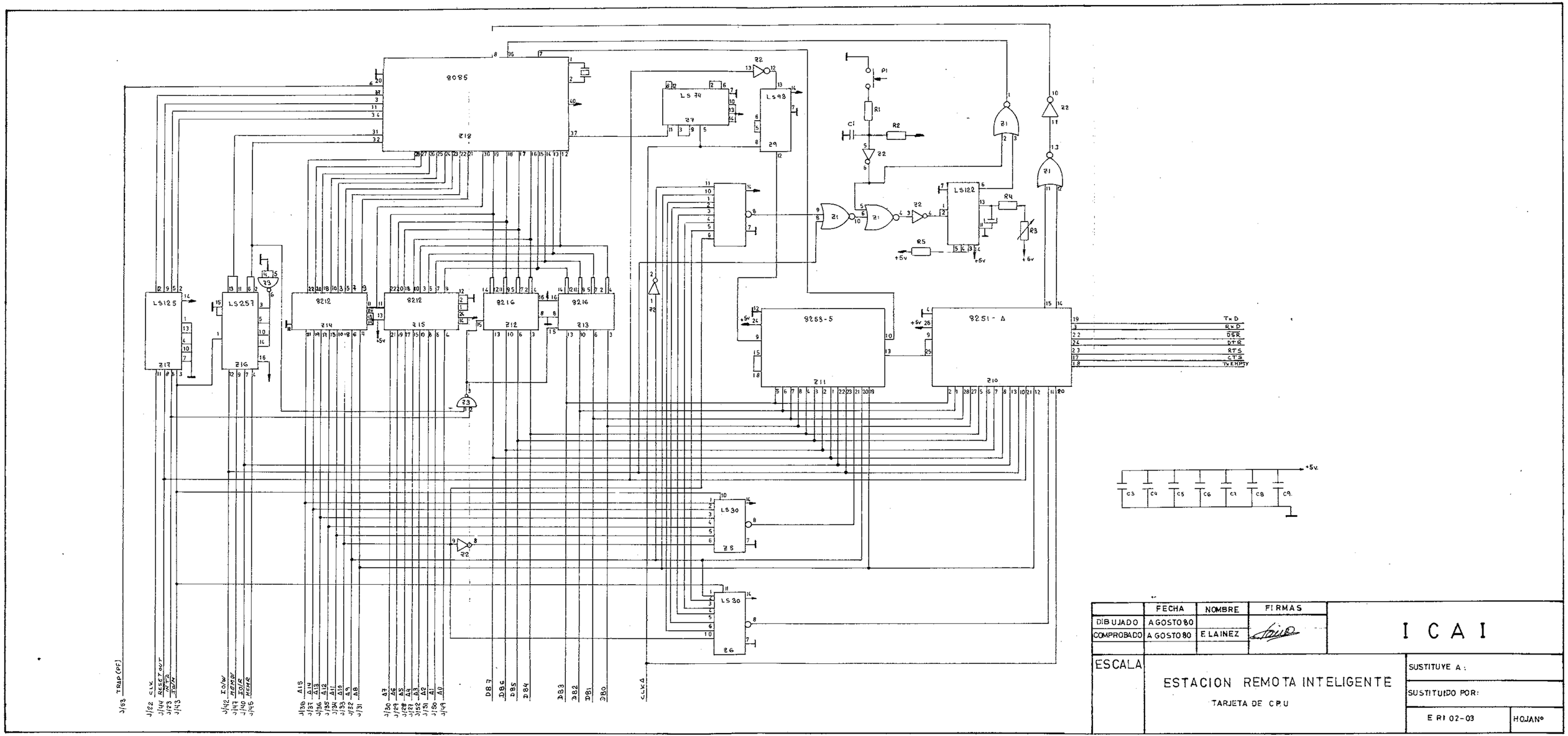
FUENTE DE ALIMENTACION

SUSTITUYE A :

SUSTITUIDO POR :

ERI 02-02

HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E. LAINEZ	

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

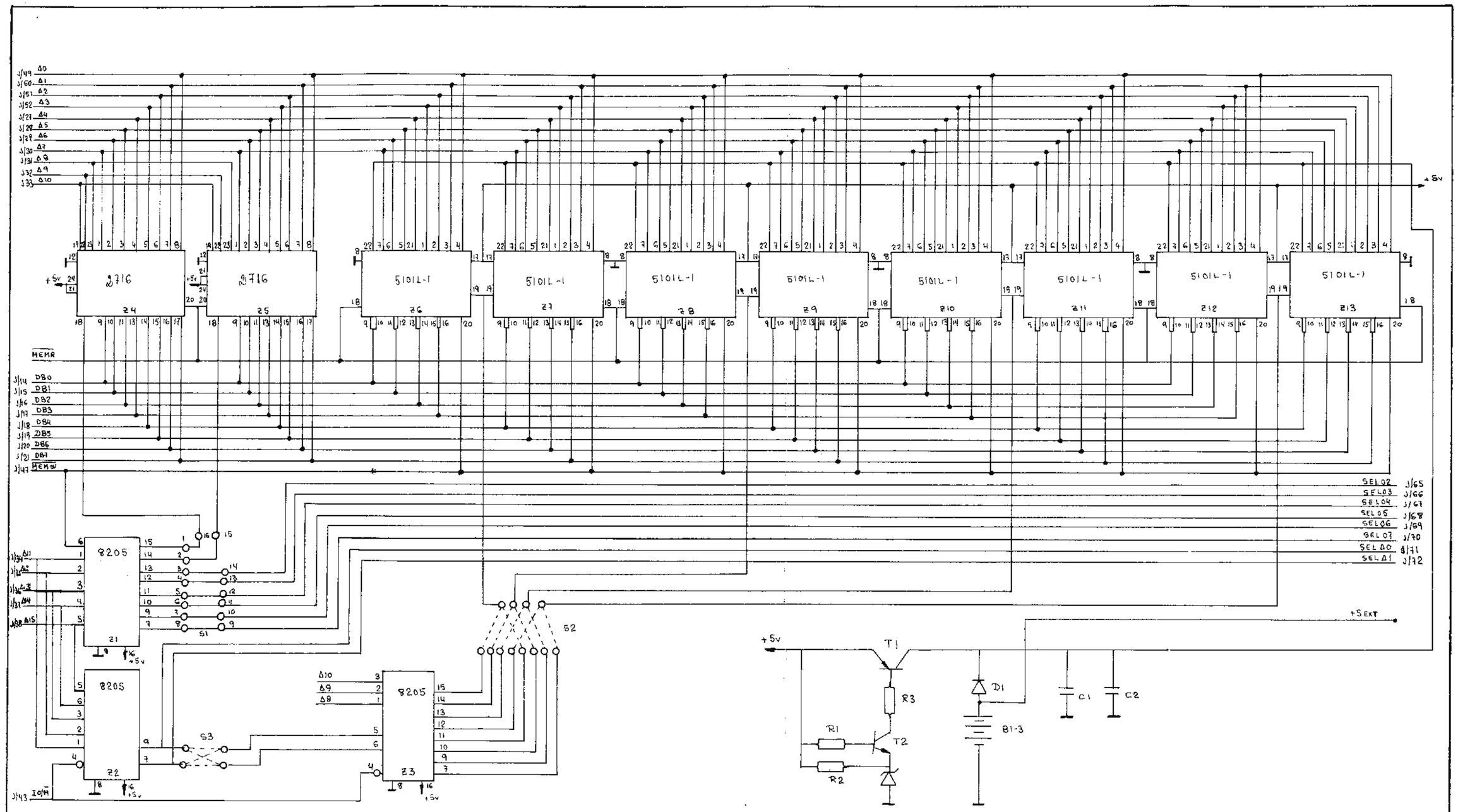
TARJETA DE CPU

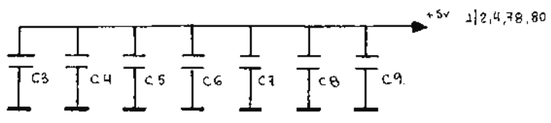
SUSTITUYE A:

SUSTITUIDO POR:

E RI 02-03

HOJA Nº





	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E LAINEZ	
CS NORMAS			

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

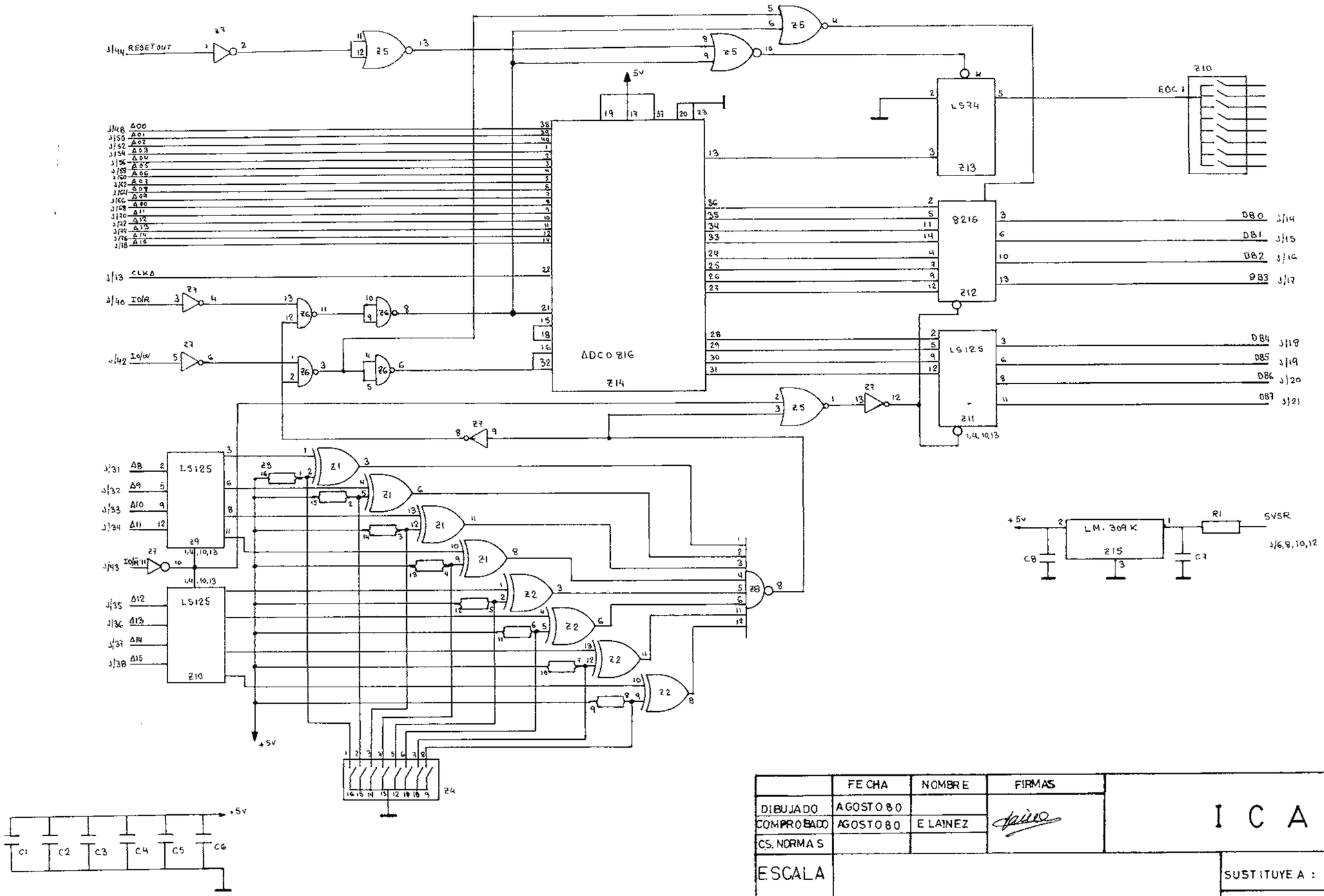
TARJETA DE MEMORIA

SUSTITUYE A

SUSTITUIDO POR

ERI 02-04

HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E LAINEZ	
CS. NORMAS			

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

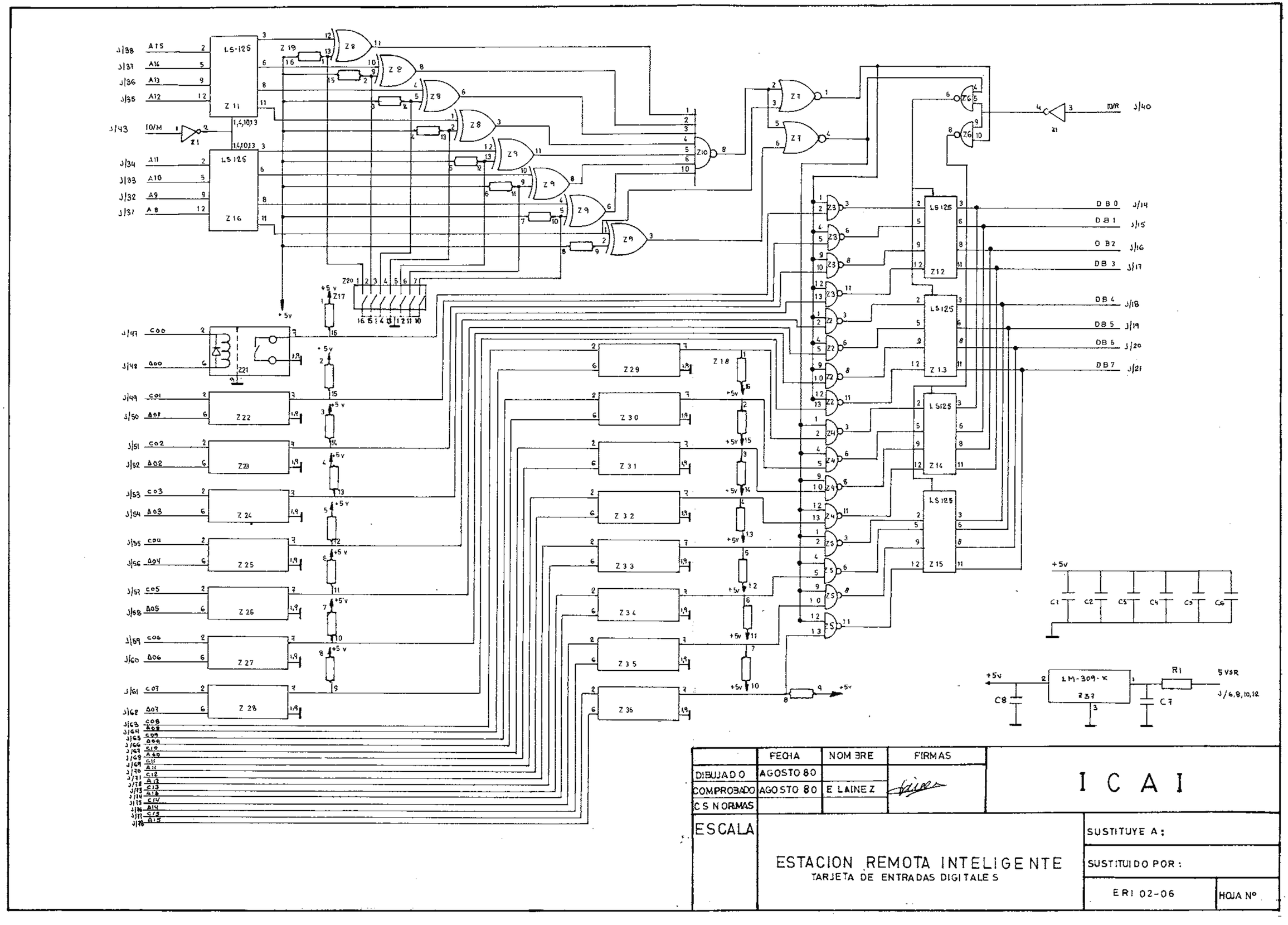
TARJETA DE ENTRADAS ANALOGICAS

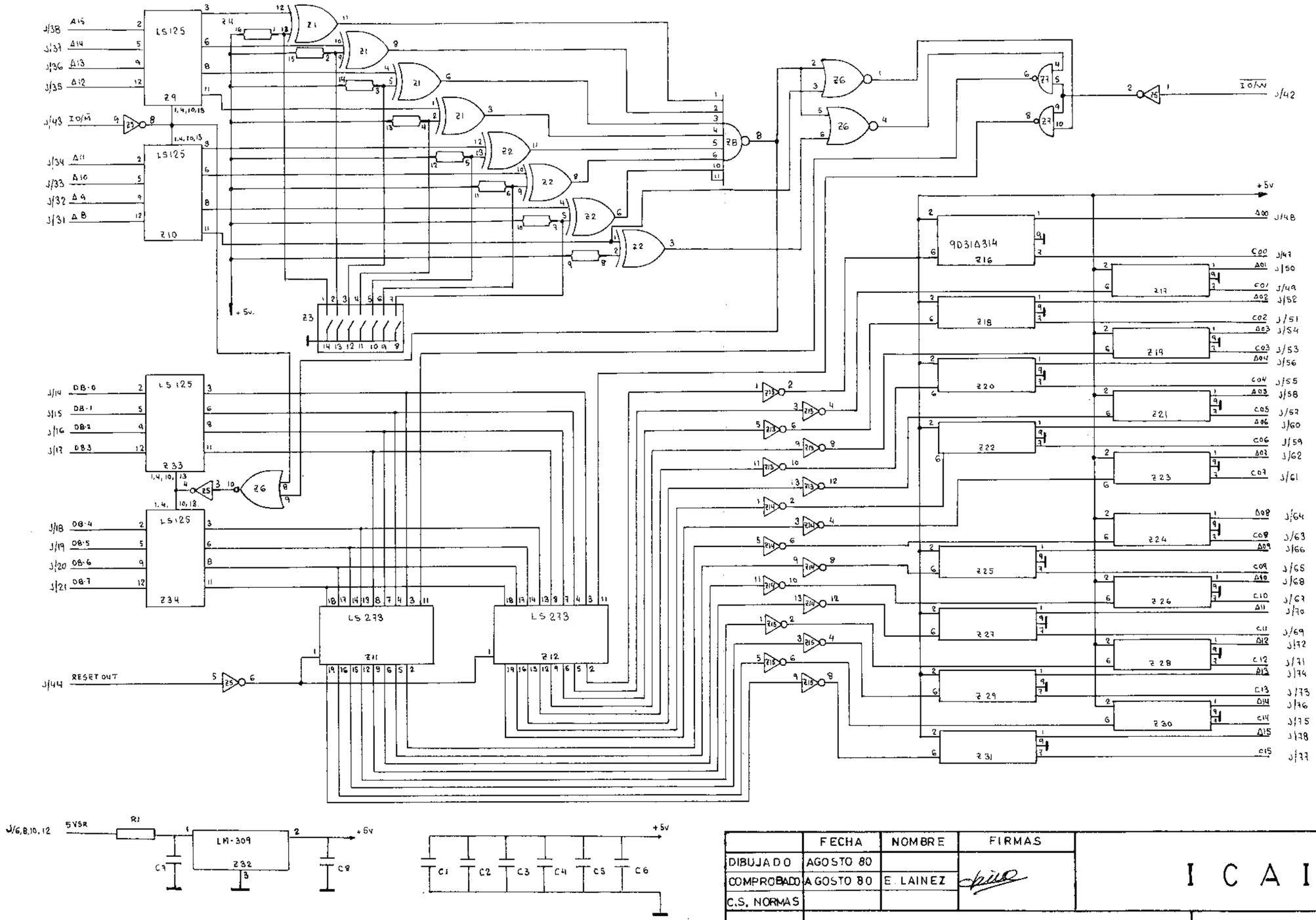
SUSTITUYE A :

SUSTITUIDO POR :

ERI 02-05

HOJA Nº


LS-125
Z 11
LS 125
Z 16
Z 12
Z 13
Z 14
Z 15
LM-309-K
Z 37
DB 0
DB 1
DB 2
DB 3
DB 4
DB 5
DB 6
DB 7
IOWR
SVSR
+5v
ESTACION REMOTA INTELIGENTE
TARJETA DE ENTRADAS DIGITALES
ICAI
DIBUJADO
COMPROBADO
C S NORMAS
FECHA
NOMBRE
FIRMAS
AGOSTO 80
E LAINEZ
ESCALA
SUSTITUYE A:
SUSTITUIDO POR:
ERI 02-06
HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E. LAINEZ	
C.S. NORMAS			

I C A I

ESCALA

ESTACION REMOTA INTELIGENTE

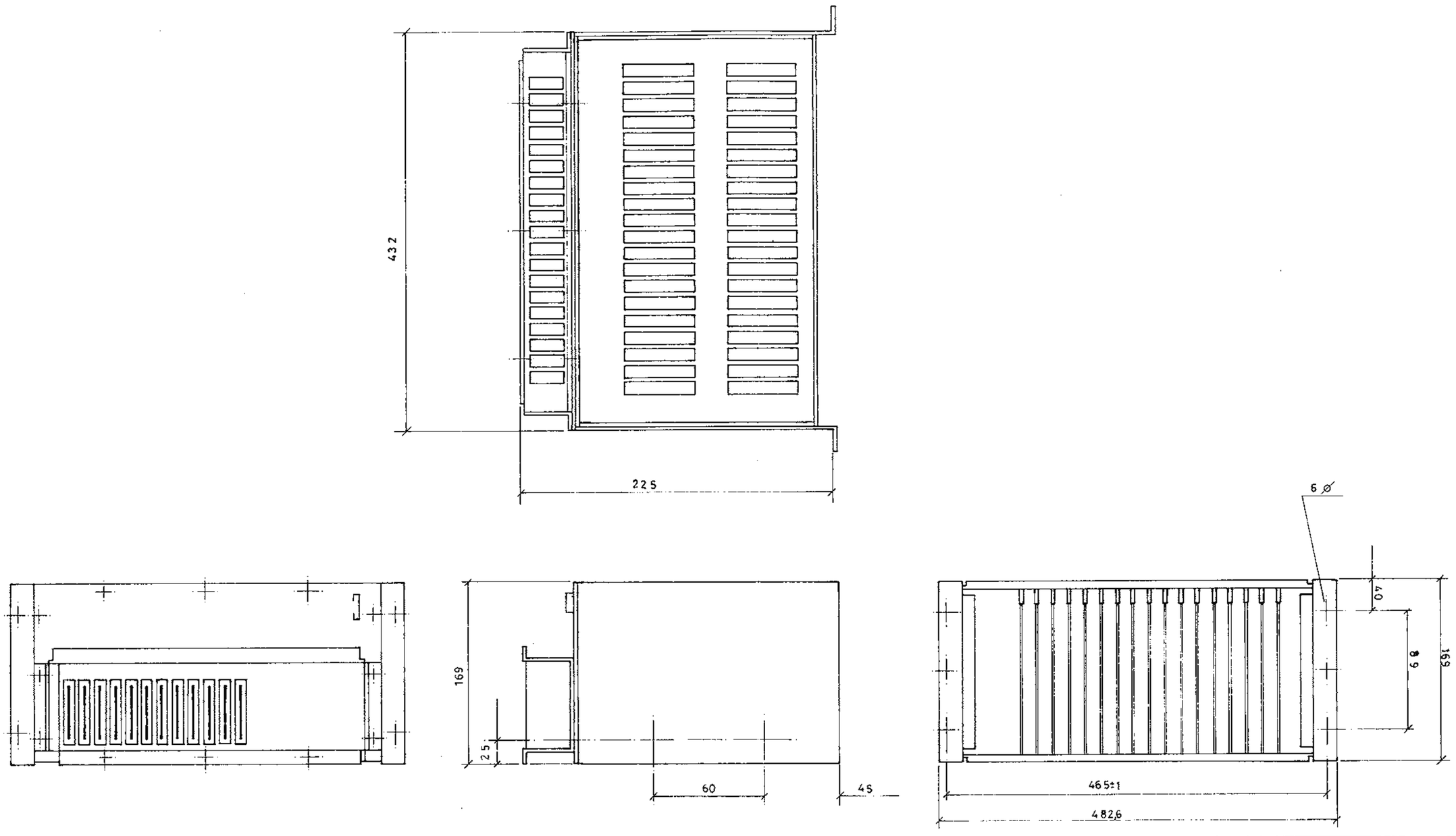
TARJETA DE SALIDAS DIGITALES

SUSTITUYE A:

SUSTITUIDO POR:

E R I 02-07

HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E. LAINEZ	
C.S.NORMAS			

ESCALA

I C A I

ESTACION REMOTA INTELIGENTE

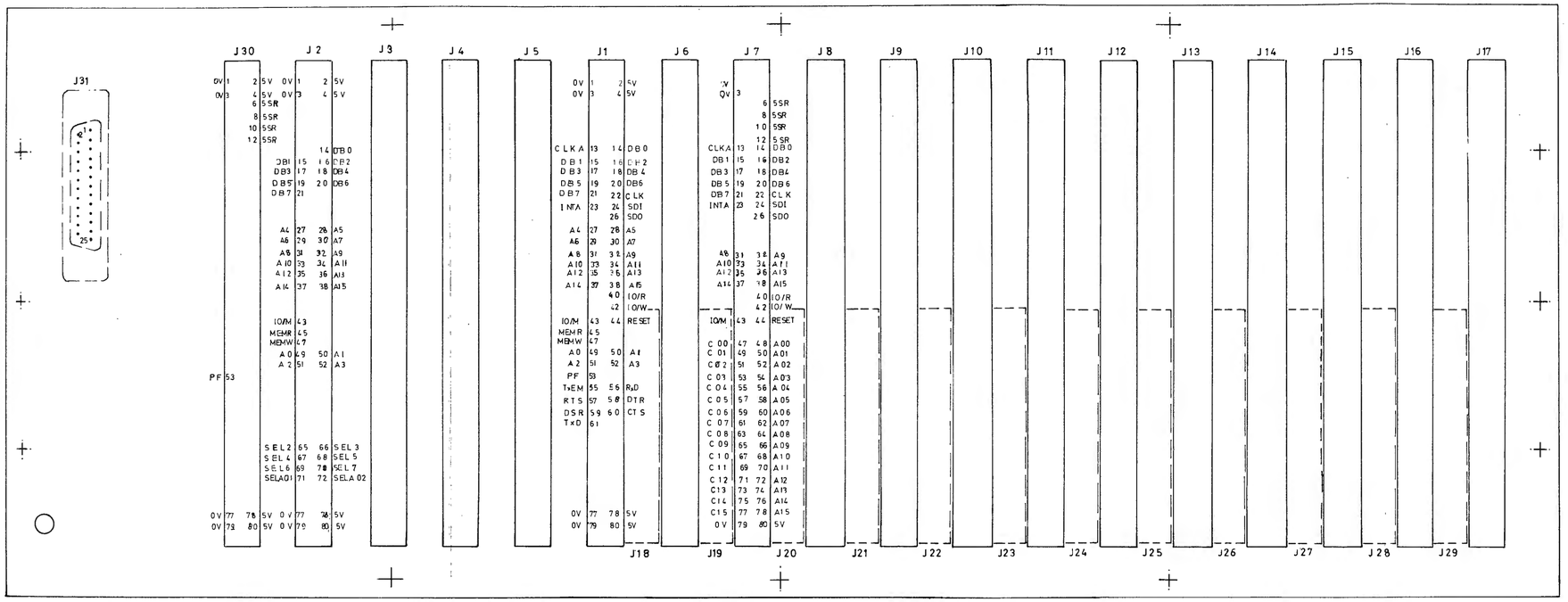
CHASIS

SUSTITUYE A:

SUSTITUIDO POR:

E R I 03-01

HOJA Nº



J6 a J17 iguales conexiones que J7

J2 a J5 " " " J2

J31	Terminal	2	señal	TxD	de J1
"	"	3	"	RxD	" "
"	"	4	"	RTS	" "
"	"	5	"	CTS	" "
"	"	6	"	DSR	" "
"	"	7	"	0v	" "
"	"	20	"	DTR	" "

J18 a J29 se corresponden con los 36 ultimos terminales de J6 a J17

	FECHA	NOMBRE	FIRMAS	
DIBUJADO	AGOSTO 80			I C A I
COMPROBADO	AGOSTO 80	E. LAINEZ		
C.S NORMAS				

ESCALA 1:1

ESTACION REMOTA INTELIGENTE

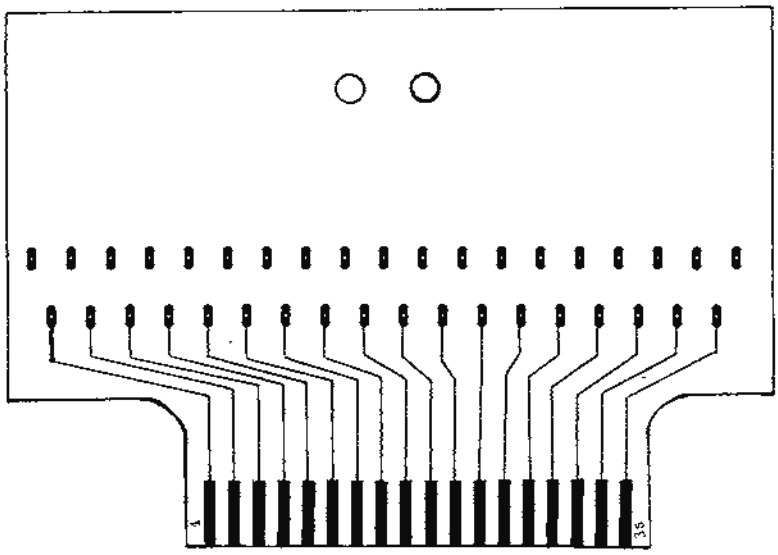
PLACA DE INTERCONEXIONES

SUSTITUYE A:

SUSTITUIDO POR:

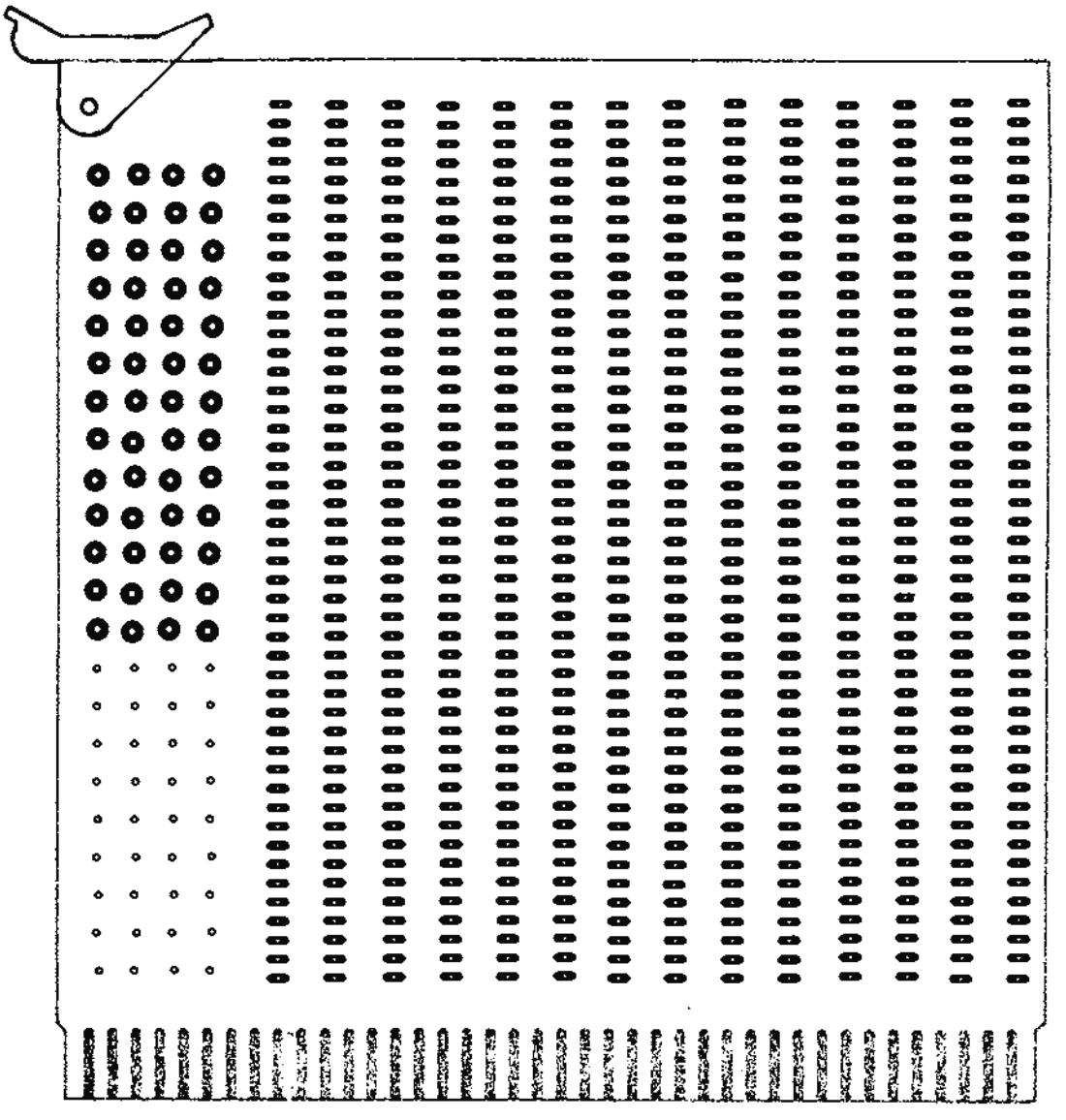
ERI 03-02

HOJA Nº



	FECHA	NOMBRE	FIRMAS	
DIBUJADO	AGOSTO 80			I C A I
COMPROBADO	AGOSTO 80	E. LAINEZ		
C.S. NORMAS				

ESCALA 1:1	ESTACION REMOTA INTELIGENTE PLACA DE CONEXION AL EXTERIOR	SUSTITUYE A:	
		SUSTITUIDO POR:	
		E.R.I 03.03	HOJA Nº



	FECHA	NOMBRE	FIRMAS
DIBUJADO	AGOSTO 80		
COMPROBADO	AGOSTO 80	E. LAINEZ	
C.S. NORMAS			

I C A I

ESCALA 1 : 1

ESTACION REMOTA INTELIGENTE

PLACA DE MONTAJE

SUSTITUYE A:

SUSTITUIDO POR:

E.R.I. 03.04

HOJA Nº

DOCUMENTO N.º 3 PLIEGO DE CONDICIONES

ESCUELA TECNICA SUPERIOR DE
INGENIEROS INDUSTRIALES

ESTACION REMOTA INTELIGENTE

DOCUMENTO Nº 3

PLIEGO DE CONDICIONES

MADRID, 16 DE AGOSTO DE 1980

EDUARDO LAINEZ BERDONCES

P. C. TECNICAS Y PARTICULARES

P L I E G O D E C O N D I C I O N E S

T E C N I C A S Y P A R T I C U L A R E S

PLIEGO DE CONDICIONES TECNICAS Y PARTICULARES

I N D I C E

PLIEGO DE CONDICIONES TECNICAS Y PARTICULARES

1. OBJETO

Estas especificaciones tienen por objeto precisar las caracteristicas técnicas que deben cumplir los suministros de equipos para la realizaciòn del presente proyecto, equipos que por la necesidad de integarse con absoluta compatibilidad dentro de las instalaciones ya existentes deberan cumplir también las normas particulares de seguridad de cada estaciòn remota en la que se instale.

2. CARATERISTICAS DE DISEÑO

El equipo debe estar realizado de forma que presenten las siguientes caracteristicas.

2.1. Avanzada tecnología

2.2. Poseer todos sus elementos activos de estado solido

2.3. Peso y volumen reducido

2.4. Bajo consumo

2.5. Permitir amplicaciones modulares de forma simple.

3. CARACTERISTICAS FUNCIONALES

Puesto que la presente instalaciòn se integrara dentro de un plan mas general de una red la estaciòn remota inteligente sera capaz de trabajar con un centro de control segùn las normas que se especifican.

3.1. FUNCIONAMIENTO BÁSICO

3.1.1. La estaciòn remota inteligente, supervisara cíclicamente y de forma automática todos los canales de entrada de datos, seleccionandose, basandose en los resultados de esta supervisiòn, los equipos mas adecuados para efectuar el servicio y la informaciòn que hay que transmitir al centro de control.

3.1.2. La estaciòn remota inteligente controlara automaticamente su funcionamiento, generando una orden de autoiniciaciòn cuando, por cualquier causa, deje de efectuar el programa previsto.

3.1.3. La estaciòn remota inteligente sera cíclicamente interrogada y de forma automática, por el centro de control.

3.1.4. El centro de control podra ordenar a la estaciòn remota inteligente la ejecuciòn de telemandos y envio de telemedidas, con lo cual en el centro de control se creara un archivo histórico, con todas las informaciones recibidas.

2. FUNCIONAMIENTO DE LA ESTACION REMOTA INTELIGENTE

3.2.1. La estaciòn remota inteligente, en conciciones normales, sera supervisada por el centro de control pero, en caso de averia de este o del sistema de comunicaciòn, la supervisiòn de la estaciòn debe continuar.

3.2.2. La estaciòn remota inteligente solamente transmitira informaciòn, cuando se interrogada por el centro de control.

3.2.3. Si no recibe interrogaciones la estaciòn remota inteligente, continuara ciclicamente supervisando sus canales analogicos y digitales.

3.2.4. La estaciòn remota inteligente efectuara automaticamente una supervisiòn cíclica de todos sus canales analógicos y digitales bajo supervisiòn.

La frecuencia de exploraciòn podra ser diferente para algun grupo de canales, y sera posible mediante programaciòn, la variaciòn de esta frecuencia de explotaciòn y del grupo de canales a los que aplica.

3.2.5. Los ciclos de autosupervisiòn de la estaciòn remota inteligente, solo se interrumpiran para transmitir informaciòn y para ejecutar telemandos.

3.2.6. Para cada medida de entrada analógica se establecerán dos limites superiores y dos inferiores que determinaran las zonas de funcionamiento correcto, incorrecto y que exige mantenimiento preventivo.

3.2.7. La estaciòn remota inteligente solo transmitirá información de los cambios de estado detectados en caso de alarma roja, limite mayor que el mas grande superior o menor que el màs bajo inferior transmitirá la tabla de evoluciòn del canal fuera de limites.

3.2.8. Cuando la estaciòn remota inteligente no detecte cambios de estado, transmitirá su direcciòn y una indicaciòn de que esta efectuando los ciclos normales de supervisiòn.

3.2.9. El sistema de adquisiciòn de datos de las estaciones remotas inteligentes, entregara su salida a un microprocesador para, mediante las oportunas comparaciones, determinar la procedencia de generar una orden de supervisiòn del canal siguiente, de almacenar la medida en memoria para su futura transmisiòn o la de generar ordenes de conmutaciòn a los equipos de reserva, si los hubiera, y almacenar tambien para su oportuna transmisiòn la medida que dio lugar a la comutaciòn y una indicaciòn de haberla realizado. Despues de estas operaciones se generarà la orden de supervisiòn del canal siguiente.

3.2.10. Cuando se almacena una medida, para ser transmitida en el momento de la interrogaciòn, se almacenará también con ella su direcciòn, la indicaciòn del sentido de la desviaciòn y la zona de funcionamiento correcto, incorrecto ò de mantenimiento preventivo en que se encuentra dicha medida.

3.2.11. Cuando el centro de control solicita de la estaciòn remota inteligente el envio de telemedidas determinadas, el valor y su direcciòn acompañará para una presentaciòn correcta, una indicaciòn del sentido de la desviaciòn y la zona de funcionamiento en que se encuentran.

3.2.12. Los limites establecidos para las distintas entradas analógicas de 3.2.6. se almacenaran en una memoria de acceso aleatorio (RAM) y podran variarse desde el centro de control.

3.2.13. La estaciòn remota inteligente dipondrá de un conector para la conexiòn de un periferico al microprocesador, que permita supervisar el conjunto de la estaciòn remota inteligente.

3.2.14. Todas las entradas analógicas, independientemente del canal a que corresponde, serán tratadas por el microprocesador segùn el mismo programa tipo.

3.2.15. Los programas que controlan la entrada y salida de datos, y los que determinan las comparaciones y el tratamiento de los resultados de las mismas estarán almacenados en una memoria EPROM.

3.2.16. Las estaciones remotas inteligentes deben estar programadas de modo que se encuentren en condiciones de funcionar automaticamente en el momento de encendido.

4. CARATERISTICAS TECNICAS

4.1. CARACTERISTICAS GENERALES

4.1.1. Las lineas de comunicaciòn empleadas tendràn una impedancia de entrada y salida de 600 Ohm simetrica y cumplen con las especificaciones generales del CCITT para sistemas de larga distancia.

4.1.2. Cada linea de comunicaciòn será utilizada por varias estaciones remotas inteligentes aunque no simultaneamente.

4.1.3. Los equipos de la estaciòn remota inteligente deben estar protegidos contra los efectos producidos por un elevado campo de radio-frecuencia y por los transitorios ocasionados por la comutaciòn de contactores y las descargas electricas.

4.1.4. Todas las tensiones de salida de la fuente de alimentaciòn de los equipos deben estar protegidas contra cortocircuitos.

4.1.5. El error máximo admitido en las medidas será del 1% del valor de las mismas.

4.1.6. La programaciòn del sistema sera tal, que la ampliaciòn, incluso simultanea, del nùmero de canales a supervisar o del nùmero de estaciones remotas inteligentes, pueda efectuarse manteniendo el mismo programa base.

4.1.7. Todas las comunicaciones tendrán caracter semi-duplex.

4.2. Caracteristicas técnicas de los equipos de supervisiòn de las estaciones remotas inteligentes.

4.2.1. A cada estaciòn remota inteligente llegará una vía de comunicaciòn, que la unirá al centro de control.

4.2.2. El equipo supervisor de las estaciones remotas inteligentes dispondra de un microprocesador como organo basico de decisiòn que se encargara del control de los sistemas de transmisiòn/recepciòn y adquisiciòn de datos, de generar las ordenes locales para la ejecuciòn de los distintos telemandos y de efectuar, de forma automatica, la conmutaciòn a los equipos de reserva en presencia de telemedidas fuera de los valores considerados como límites.

4.2.3. Los sistemas de adquisiciòn de datos, que serán de un alto grado de integraciòn, presentara el convertidor Analogico/Digital y el multiplexor en uno o dos integrados como máximo.

4.2.4. Las señales analógicas se entregarán a la estaciòn remota inteligente en forma de generadores de tensiòn con valores entre 0 y 5v.

4.2.5. Las estaciones remotas inteligentes tendrán capacidad para supervisar variables analogicas, digitales, intercambiar y tratar la informaciòn recibida a traves de un bus y para seleccionar y efectuar telemandos; la programaciòn de las estaciones remotas inteligentes, será esencialmente la misma independientemente del nùmero de variables a supervisar, siendo la propia configuraciòn de la estaciòn remota inteligente, dada por el nùmero de modulos de que se compone, la que defina su comportamiento.

4.2.6. Las teleseñales se entregarán al sistema de adquisiciòn de datos mediante contacto abierto o cerrado a masa, con capacidad para absorber una corriente de 15m A.

4.2.7. Los telemandos darán como salida la apertura o cierre de un contacto de relè hermético y tipo miniatura con las siguientes caracteristicas:

Corriente maxima: 500 m A a 100 vc.a.
Tiempo de respuesta inferior a 250 m sg.

La duraciòn del cierre o apertura del contacto será programable entre 2 y 15 sg.

4.2.8. Los equipos funcionarán correctamente dentro de un rango de 0 a 50 grados centígrados

4.2.9. El tiempo empleado por las estaciones remotas inteligentes en efectuar un ciclo automatico de supervisiòn de los 16 canales analogicos y 16

digitales del prototipo sera como maximo de 1 sg admitiendo que todos los canales presentan valores correctos. Cuando todos los canales indiquen cambio de estado el tiempo del ciclo de auto- supervisiòn no sera superior a 2 sg; en este tiempo no se incluye el empleado en conmutar a los equipos de reserva.

4.2.10. La estaciòn remota inteligente funcionarà correctamente con cualquier tensiòn de alimentaciòn comprendida en 220 ±10% voltios.

4.2.11. La alimentaciòn de los modulos de entrada salida estaran perfectamente desacoplados, a efectos de variaciones, introducidas por variaciones de la carga que alimentan.

4.2.12. La alimentaciòn de la unidad central de proceso y las memorias asociadas, sera diferente a la empleada para los modulos de entrada/salida.

5. CARATERISTICAS MECANICAS

5.1. Todos los equipos serán de construcciòn modular, y los modulos de facil sustituciòn.

5.2. Los equipos de la estaciòn remota inteligente serán tipo bastidor de 19 pulgadas

6. REPUESTOS

6.1. Con el fin de determinar la composiciòn de los repuestos, el suministrador debera adjuntar a los restantes documentos, en el plazo dado para su presentaciòn, una relacciòn detallada de componentes y unidades modulares, con sus precios correspondientes.

6.2. La relacciòn de los repuestos a suministrar se daran a conocer al adjudicatorio dentro de los plazos de entrega determinados.

P L I E G O D E E S P E C I F I C A C I O N E S

T É C N I C A S P A R A L A I N S T A L A C I O N

PLIEGO DE ESPECIFICACIONES TÉCNICAS PARA LA INSTALACION.

I N D I C E

PLIEGO DE ESPECIFICACIONES TÉCNICAS PARA LA INSTALACIÓN

1. OBJETO

El presente pliego tiene por objeto establecer las normas que deben de cumplirse en la instalación de la estación remota inteligente, en una estación remota a designar por la propiedad y dentro de un radio de 100 Km. de Madrid.

2. INSPECCIÓN EN FÁBRICA

La Dirección de Obra designará el personal técnico necesario para efectuar, durante el proceso de fabricación, todas aquellas inspecciones en fábrica que se estimen convenientes sobre el equipo o materiales que incluye la Composición del Suministro. Dicho personal técnico podrá ordenar o realizar por si mismos análisis, ensayos y pruebas, y dictar cuantas disposiciones estimen oportunas para el estricto cumplimiento de lo convenido. Tendrán libre acceso a la fábrica y se comprometerán a mantener el secreto profesional en lo referente al proceso de fabricación.

3. PLANOS Y REPLANTEOS PREVIOS

3.1. PLANOS

La Dirección de Obra remitirá a la casa suministradora los planos de detalle de planta y alzado del edificio. Con dichos planos, mas el de equipos existentes en la estación remota, la casa suministradora confeccionará una implantación previa con detalles claros y precisos de todo el conjunto de la instalación y lo remitirá de nuevo a la Dirección de Obra.

3.2. REPLANTEOS PREVIOS

Una vez recibidos en la Dirección de Obra los planos citados en el apartado anterior, un representante de la misma y otro de la casa suministradora se trasladarán, al lugar donde debe efectuarse la instalación para realizar un estudio preliminar en el cual se propondrán las soluciones más idóneas para una mejor instalación.

Inmediatamente después de este replanteo la Dirección de Obra aprobará o modificará los planos definitivos de implantación sin perjuicio de que en el curso de la instalación, se modifiquen algunos detalles. Conformados estos planos, se remitirán a la casa suministradora.

4. SALIDA DE FÁBRICA

4.1. La fecha de salida del suministro habrá de comunicarse a la Dirección de Obra con un plazo de antelación de 48 horas, declinando toda responsabilidad sobre la casa suministradora en aquellos perjuicios que por incumplimiento de lo anterior pudieran derivarse.

5. TRANSPORTE DEL SUMINISTRO

5.1. TRANSPORTE

La casa suministradora está obligada al transporte de la totalidad de los equipos hasta su lugar de destino y a su posterior colocación en el lugar que la Dirección de Obra le señale.

5.2. GASTOS

Todos los gastos que ocasione el transporte de los equipos y su situación en lugar correspondiente, así como la utilización de todos aquellos equipos auxiliares que sean precisos, serán por cuenta del adjudicatario.

6. FIRMA DE ALBARANES EN EL LUGAR DE DESTINO

En el momento de la llegada del suministro estará presente un técnico de la Dirección de Obra, quien previa presentación del albarán de entrega procederá a comprobar la existencia de todas las partidas, en él definidas, y que no se ha producido desperfecto alguno durante el transporte. El albarán, junto con las observaciones, será firmado por duplicado y por ambas partes, quedando un ejemplar en poder de cada una. La firma implicará aceptar las partidas cuantitativamente, pero no presupondrá el funcionamiento correcto de cualquier equipo o material que forme parte de las mismas.

7. DESARROLLO DE LA INSTALACIÓN

7.1. COMIENZO DEL PROCESO DE INSTALACIÓN

Trasladada la estación remota inteligente a la estación correspondiente, comenzará el proceso de instalación, durante el cual, serán de obligado cumplimiento, por parte de la casa adjudicataria, las normas generales que se especifican a continuación, así como todas aquellas decisiones que procediendo de la Dirección de Obra conduzcan a una instalación más profesional y acorde con las exigencias derivadas

del Pliego de Especificaciones Técnicas.

7.2. NORMAS GENERALES

7.2.1. En estaciones remotas en explotación, si por cualquier motivo la casa suministradora, necesita trabajar en horas en que su grado de servicio pueda ser afectado grandemente, deberá solicitar el correspondiente permiso al Director de Obra, el cual previa consulta al Jefe responsable de la estación lo autorizará o denegará. En cualquier caso, la casa suministradora se hará responsable de la seguridad de sus empleados y de la no interrupción del servicio por ningún concepto.

7.2.2. El personal de la casa adjudicataria, dispondrá de sus propios medios de transporte para desplazarse al lugar de trabajo, corriendo a cargo del adjudicatario todos los gastos que se deriven del transporte, mantención, etc. de todo su personal.

7.2.3. La casa adjudicataria está obligada a proporcionar a su personal de instalación todos aquellos medios necesarios y suficientes con objeto de no incurrir en infracción en materia de seguridad e higiene en el trabajo, debiendo observarse las normas dictadas en la ordenanza correspondiente.

7.2.4. La casa adjudicataria dispondrá en todo momento del equipo de herramientas tanto mecánicas como eléctricas y equipos electrónicos necesarios y suficientes para la correcta marcha de la puesta en funcionamiento de los

equipos.

8. LIBRO DE OBRA

En el lugar de la instalación existirá un libro de obra en el que se efectuarán anotaciones de las modificaciones que han sido necesario llevar a cabo, debiendo reflejarse en dicho libro, los nombres y apellidos del personal que ha autorizado dichas modificaciones. Las anotaciones serán efectuadas por el responsable del equipo de trabajo que debe estar presente en cualquier fase de la instalación.

9. PROTOCOLO DE MEDIDAS

9.1. MEDIDAS EN FÁBRICA: Se comprobarán en fábrica todos los puntos, párrafos y apartados incluidos en la presente prescripción, debiendo proporcionar el fabricante todos los medios necesarios.

9.2. MEDIDAS DEL EQUIPO EN ESTACIÓN: Durante el proceso de la instalación, y una vez terminada ésta, se efectuará un protocolo de medidas, antes de la aceptación de los equipos, que permita comprobar todos los apartados de estas Prescripciones Técnicas.

P. C. ECONOMICAS GENERALES

P L I E G O D E C O N D I C I O N E S

G E N E R A L E S Y E C O N O M I C A S

PLIEGO DE CONDICIONES GENERALES Y ECONOMICAS

I N D I C E

CONDICIONES CONTRACTUALES

CONDICIONES CONTRACTUALES

1. GENERAL

La ejecuciòn del presente proyecto, se llevara a cabo por el procedimiento de contrataciòn directa.

Se definen en este pliego, las condiciones contractuales que obligaran a las partes contratantes durante el concurso, en la adjudicaciòn a lo largo del montaje y durante el periodo de garantia y asistencia tècnica.

Este pliego perdera su vigencia, al efectuarse con pleno acuerdo de las partes, la recepciòn de finitiva de la instalaciòn, quedando en vigor solo la parte que afecta a la garantia, y asistencia técnica, hasta la finalizaciòn del periodo fijado, fecha en la cual este pliego perdera totalmente su vigencia.

2. DOCUMENTOS QUE DEFINEN EL CONCURSO

Se considerara como documento principal y base ultima de todo el concurso, el proyecto de ejecuciòn de una Estaciòn Remota Inteligente.

Los trabajos quedan definidos por los siguientes documentos:

- En la presente memoria
- En el pliego de condiciones tecnicas
- En los planos y esquemas del proyecto.

El constructordebera conocer la asignaciòn de prioridad existente entre los diferentes documentos, y que coincide con el orden en que anteriormente han quedado expuestos.

Una vez aceptada la oferta, este documento como anexo al contrato de suministro, sera el unico valido para decidir los compromisos economicos contractuales (nº de unidades y precios) existentes entre ambas partes.

Transformada la oferta de contratista en documento contactual y en el caso de no reflejar clàramente algunas de las especificaciones incluidas en los documentos que han definido el concurso, para toda modificacion, el instalador debera atenerse a lo indicado en el punto 4.2.

Tanto en el caso de realizarse el contrato suscrito por ambas partes, como al realizarse la contrataciòn verbalmente sobre la base de la oferta presentada, el contratista quedará obligado por todas y cada una de las clausulas y condiciones expresadas en este documento. Aquellas otras que proponga el contratista en sus cartas comerciales, condiciones generales de venta u otro documento similar, que no coincida con lo aqui expresado, no tendra validez alguna en el presente contrato, salvo que asi lo pacten expresamente las partes.

3. RESPONSABILIDAD Y PRESENTACION DE OFERTA

3.1. RESPONSABILIDAD

Las ofertas deberan ajustarse en todo lo posible a los documentos base citados en estas consultas.

Las empresas adjudicatarias poseeran la entera responsabilidad del buen funcionamiento, de cada una de las partes, por ello, las empresas ofertantes deberan verificar los calculos, y en caso de no estar de acuerdo con lo indicado en el proyecto debera expresarlo con toda claridad en su oferta.

En caso de no presentar indicaciòn en sentido contrario se declara la empresa adjudicatoria de acuerdo con el proyecto y responsable del mismo, garantizando la instalaciòn de acuerdo con el apartado 5.1.

3.2. PRESENTACION DE OFERTAS

Las ofertas deberan incluir los siguientes documentos:

- Condiciones generales, aceptando por parte del contratista, todas las condiciones y responsabilidades indicadas en la peticiòn de oferta.

- Cuadro de precios.

- Marcas y datos técnicos de todas las unidades incluidas en el presupuesto, asi como las caracteristicas de las mismas.

- Conjunto de planos, completados o modificados con lapiz rojo.

- Memoria explicativa, presupuesto y colecciòn de planos de aquellos cambios que se deseen presentar al proyecto final.

4. LIMITACIONES DEL SUMINISTRO

4.1. RESPONSABILIDAD DEL CONTRATISTA

El contratista debera entregar al finalizar, tres colecciones de los planos completos de la ejecuciòn definitiva, corregidos con todas las modificaciones habidas.

Aunque en el cuadro de precios, se solicita este presupuesto dividido en diferentes partes, la responsabilidad del contratista se refiere a un funcionamiento correcto del prototipo de estaciòn. De esta forma, el presupuesto se refiere a una cantidad total. En esta cifra se deberan incluir aunque esta lista no sea exhaustiva.

- La totalidad de los materiales.
- El tansporte
- Instalaciòn y equipos de cualquier tipo, tanto para la ejecuciòn de los trabajos, como para su inspecciòn control y medidas especiales.
- Todas las piezas necesarias para la ejecuciòn ò fijaciòn de los equipos o elementos.

4.2. MODIFICACIONES AL PROYECTO

Si en el tanscurso de la realizaciòn, el director facultativo de la obra decidiese introducir modificaciones, el adjudicatario estara obligado a realizar los trabajos ordenados que le seran liquidados de acuerdo con un presupuesto previamente aceptado.

La propiedad se vera libre de todo compromiso en caso de recibir facturas correspondientes a modificaciones adicionales, no aceptadas previamente por el Director facultativo.

Ademas debera entregar una colecciòn de instrucciones de funcionamiento, convenientemente plastificadas y enmarcadas

5. GARANTIA Y MANTENIMIENTO POSTERIOR

5.1. GARANTIA DE LOS SUMINISTROS

Todos los materiales suministrados por el contratista estaran garantizados contra los defectos de fabricaciòn, ò de construcciòn, durante un periodo, de un año, a patir de la fecha de recepciòn provisional. Esta garantia, no se aplica a las consecuencias de un empleo anormal, ni las que pudieran derivarse de la mala utilizaciòn de los aparatos, o de la no observancia de las instrucciones por parte de la Propiedad.

5.2. GARANTIA DE FUNCIONAMIENTO

El contrato sucrito en base al presente documento se refiere a una instalaciòn completa, por lo que se garantizara individualemente la calidad y origen de cada suministro, asi como el buen funcionamiento global de la instalaciòn, permitiendo conseguir las condiciones particulares reseñadas en los anejos correspondientes.

DOCUMENTO N.º 4 PRESUPUESTO

ESCUELA TECNICA SUPERIOR DE
INGENIEROS INDUSTRIALES

ESTACION REMOTA INTELIGENTE

DOCUMENTO Nº 4

PRESUPUESTO

MADRID, 16 DE AGOSTO DE 1980

EDUARDO LAINEZ BERDONCES

PRESUPUESTO

E S T A C I O N R E M O T A I N T E L I G E N T E

D O C U M E N T O IV P R E S U P U E S T O

I N D I C E D O C U M E N T O 4

1. GENERAL

En este apartado estudiaremos el coste del presente proyecto. A efecto de valorar convenientemente, los posibles repuestos, como se indica en el pliego de condiciones economicas, se ha separado, en primer lugar por placas, a su vez en componentes dentro de estas.

A su vez se ha valorado separadamente el coste de los materiales y el de la mano de obra a emplear según placa. La suma de estos dos conceptos nos conducen al presupuesto de ejecución material.

A partir de él, obendremos los gastos generales de la compañia y el beneficio industrial del contratista, que sumados al presupuesto de ejecución material, daran como resultado el presupuesto por contrata del proyecto.

2. PRESUPUESTOS PARCIALES

DE MATERIALES

LISTA DE MATERIALES

ESTACION REMOTA INTELIGENTE: PLANTA DE GRU

Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
C1	Condensador electrolitico de aluminio 1μF/63v de ITT	1	7	7
C2	Condensador electrolitico de aluminio 100μF/10v. de ITT	1	8	8
C3 C4	Condensador polipropileno Siemens 10nF/63v	2	19	38
C5 a C9	Condensadores de tantalo 2,2μF/16v de ITT, tipo TAG	5	15	75
C.I 1	Placa de circuito impreso de fibra de vidrio de 140x 132m.m, de 1,6m.m. de espesor, conector macho de 80 puntos en el extremo, distancia entre centro de contacto 0,125 pulgadas. Extractor en el otro extremo según plano E.R.I.	1	1.500	1.500
P1	Pulsador inestable miniatura para montaje en circuito impreso, serie MTM-RA de Alcoswitch	1	210	210
R1	Resistencia Allen-Bradley 510 ohmios, 1/8 de watio 5%	1	5	5
R2	Resistencia Allen-Bradley 4,3 kohm 1/8 de watio, 5%	1	5	5
R3	Resistencia variable, 100 kohm, 25 vueltas Allen-Bradley, 20%	1	115	115
R4	Resistencia Allen-Bradley 1 kohm, 1/8 de watio, 5%	1	5	5
X-1	Cristal de cuarzo de 6,144 MHz de frecuencia, ITT S-06	1	830	830
Z1	Circuito integrado SN-74LS02 cuatro puertas NOR de dos entradas, de Texas Instruments	1	73	73
Z2	Circuito integrado SN-74LS04, seis inversores de Texas Instruments	1	80	80
Z3	Circuito integrado SN-74LS00, cuatro puertas NAND de dos entradas, de Texas Instruments	1	65	65
Z4 a Z6	Circuito integrado SN-74LS30 puerta NAND de ocho entradas, de Texas Instruments	3	73	219
	SUMA Y SIGUE ...			3235

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE: TARJETA DE CPU (Continuación)				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
Z7	Circuito integrado SN-74LS74 doble biestable tipo D disparado en el flanco, de Texas Instruments.	1	116	116
Z8	Circuito integrado SN-74LS122, monoestable redisparable, de Texas Instruments.	1	196	196
Z9	Circuito integrado SN-74LS93, contador de cuatro bits, de Texas Instruments.	1	182	182
Z-10	Circuito integrado P-8251A, USART de Intel	1	968	968
Z-11	Circuito integrado P-8253-5, reloj programable de Intel	1	1.980	1.980
Z-12 Z-13	Circuito integrado P-8216, adaptador de bus para cuatro bits, de Intel	2	378	756
Z-14 Z-15	Circuito integrado P-8212, ocho biestables lach con salida tri-state, de Intel	2	459	918
Z-16	Circuito integrado SN-74LS257A, multiplexor de Texas Instruments.	1	260	260
Z-17	Circuito integrado SN-74LS125, cuatro puertas amplificadoras con salida tri-state de Texas Instruments.	1	153	153
Z-18	Circuito integrado P-8085A, microprocesador 1,3 sg de ciclo de instrucción, de Intel	1	2.115	2.115
ZOJ1	Zocalo para circuito impreso de 14 patillas clase 415 de Augat	10	42	420
ZOJ2	Zocalo para circuito impreso de 16 patillas clase 415 de Augat	3	46	138
ZOJ3	Zocalo para circuito impreso de 24 patillas clase 415 de Augat	3	52	156
ZOJ4	Zocalo para circuito impreso de 28 patillas clase 415 de Augat	1	70	70
ZOJ5	Zocalo para circuito impreso de 40 patillas clase 415 de Augat	1	86	86
	SUMA TOTAL (Ptas) ...			11.779

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE : TARJETA DE MEMORIA				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
B1aB3	Baterias, modelo-1708, 350 m.A-h de varta, con sujección a circuito impreso	3	486	1458
C1,C3 C4	Condensador, polipropileno Siemens 47nF 63v	3	19	57
C2	Condensador de tantalo 10μF/16v ITT - TAG 10/16	1	35	35
C5aC9	Condensador de tantalo TAG 2,2/16 de ITT (2,2μF/16 voltios)	5	15	75
D1	Diodo, IN-914, 250m.W. de potencia de Texas Instruments	1	31	31
DZ1	Diodo Zener, IN-746, 400m.W de potencia de ITT	1	32	32
PCI2	Placa de circuito impreso de fibra de vidrio de 140 x 132m.m, de 1,6m.m. de espesor conector macho de 40 contactos por cada cara en un extremo, distancia entre centros de contacto 0,125 pulgadas Extractor en el otro extremo, según plano E.R.I.	1	1500	1500
R1	Resistencia de Allen Bradley 6,5K ohm 5% 1/8 de Watio	1	5	5
R2,R3	Resistencia de Allen Bradley 330 ohm, 5% 1/8 de Watio	2	5	10
Z1,Z2 Z3	Circuito integrado P-8205 decodificador de 3 a 8 de Intel	3	425	1275
Z4,Z5	Circuito integrado B-2716, memoria EPROM capacidad 2048 x 8 bits, de INTEL	2	3330	6660
Z6a Z13	Circuito integrado 5101L-1, memoria RAM capacidad 256 x 4 bits, de INTEL	8	1002	8016
ZOC1	Zocalos para circuitos impreso de 24 patillas clase 415 de Augat conexión enrrollada dos alturas	2	62	124
ZOC2	Zocalos para circuitos impreso 22 patillas clase 415 de Augat conexión enrollada dos alturas	8	59	472
T1	Transistor, BC-328, PNP, 625m.A max de Iw, de Texas Instruments	1	38	38
	SUMA Y SIGUE...			19.788

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE: TARJETA DE MEMORIA (continuación				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
	SUMA ANTERIOR...			19.788
T2	Transistor, 2N-708, NPN, 680m.W. de potencia de Texas Instruments	1	73	73
	SUMA TOTAL			19.861

LISTA DE MATERIALES

ESTACION REMOTA INTELIGENTE : TARJETA DE ENTRADAS DIGITALES

Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
C1	Condensador polipropileno Siemens 10 nF/63v	1	19	19
C2 a C7	Condensador de tantalo TAG 2,2/16 de ITT (2,2 μF/16v)	6	15	90
C8	Condensador de tantalo TAG 0,1/16 de ITT (0,1 μF/16v)	1	13	13
CI1	Placa de circuito impreso en fibra de vidrio de 140 x 132 mm, de 1,6 mm. de espesor, conector macho de 80 puntos en el extremo, distancia entre centros de contacto 0,125 pulgadas. Extractor en el otro extremo según plano E.R.I. 03.04 de SESA	1	1500	1500
R1	Resistencia Allen-Bradley de 13 ohm, 5% 1 w	1	15	15
20C1	Zocalos para circuito integrado sobre circuito impreso de 14 patillas clase 415 de Augat	33	42	1386
ZOC2	Zocalos para circuito integrado sobre circuito impreso de 16 patillas clas 415 de Augat	3	46	138
Z1	Circuito integrado SN-74LS04, seis inversores de Texas Instruments	1	80	80
Z2 a Z6	Circuito integrado SN-74LS00, cuatro puertas NAND de dos entradas de Texas Instruments	5	65	325
Z7	Circuito integrado SN-74LS02 cuatro puertas NOR de dos entradas de Texas Instruments	1	73	73
Z8, Z9	Circuito integrado SN-74LS86, cuatro puertas exclusive-or de dos entradas de Texas Instruments.	2	102	204
Z10	Circuito integrado SN-74LS30 puerta NAND de ocho entradas de Texas Instruments	1	73	73
Z11 a Z16	Circuito integrado SN-74LS125 cuatro puertas amplificadoras con salida tri-state de Texas Instruments	6	153	918
	SUMA SIGUE ..			4.834

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE: TARJ. EXTRA. DIGITA. (CONTIN.)				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
	SUMA ANTERIOR ..			4.834
Z17 a Z19	Circuito integrado 316B104, ocho resistencias de 100 K de Allen Bradley	3	109	327
Z20	Circuito integrado DSS-C-7, siete mini-interruptores con protector de Alcoswitch	1	266	266
Z21 a Z36	Relés miniatura D31A314, encapsulado DIL funcionamiento a + 5v de CELDUC	16	366	5856
Z37	Regulador LM-309 K. 5v/1Amp. de National Semiconductors.	1	150	150
	SUMA TOTAL ..			11.433

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE FUENTE ALIMENTACION				
Núm.	DESIGNACIÓN	Cant.	Precio Unidad	Precio Total
C1	Condensador de Tantalo TAG 2,2/16 de ITT(2,2 μF/16v)	1	15	15
C2	Condensador polipropileno 47 nF/63v de Siemens	1	19	19
C3	Condensador de tantalo TAG10/16	1	35	35
C4	Condensador, polipropileno Siemens 47 nF/63v	1	19	19
C5	Condensador, polipropileno Siemens 68 nF/63v	1	29	29
C6	Condensador electrolitico Bianchi de 1 μF/16v	1	7	7
C7	Condensador de tantalo TAG 2,2/16 de ITT	1	15	15
CA	Cable de alimentación 3x1,5m.m^2. clavija BJC en extremo.	1	100	100
CF	Condensador electrolitico de aluminio 22.000 μF/16v de Siemens.	1	1090	1090
CI1	Placa de circuito impreso en fibra de vidrio de 140 x 132 m.m, de 1,6m.m. de espesor, conector macho de 80 puntos en extremo, extractor en el otro según plano E.R.I. 03.04 fabricado por SESA.	1	1500	1500
D1	Diodo IN-914 de 250m.w de potencia de texas Instruments	1	31	31
F1	Fusible 8 amperios, fusión lenta de SHURTER	1	85	85
F2	Fusible 1 amperio de SHURTER	1	20	20
P1	Rectificador MDA-980-1, puente rectificador de 12 amp. de Motorola	1	373	373
P2	Rectificador BY-123, puente rectificador 700m A de Miniwatt	1	58	58
PC12	Placa de circuito impreso en fibra de vidrio de 130x122m.m. de 1,6m.m. de espesor según plano E.R.I. de SESA	1	250	250
	SUMA Y SIGUE...			3646

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE: FUENTE ALIMENTACION (continua)				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
	SUMA ANTERIOR...			3646
PF	Porta fusibles miniatura de SHUNTER	2	130	260
R1	Resistencia bobinada, vitrificada Bianchi 1 ohm 10W. 10%	1	30	30
R2	Resistencia Allen-Bradley 11 ohm, 1 Watio 5%	1	15	15
R3	Resistencia de Allen-Bradley 510 ohm 5%, 1/8W	1	5	5
R4	Resistencia Allen-Bradley 75 ohm 1/8W 5%	1	5	5
R5	Resistencia Allen-Bradley 2,2Kohm 1/8W 5%	1	5	5
R6	Resistencia Allen-Bradley 5,6Kohm 1/8W 5%	1	5	5
R7	Resistencia Allen-Bradley 1Kohm 1/8W 5%	1	5	5
R8,R9	Resistencia variable 20Kohm 25 vueltas Allen-Bradley	2	115	230
R10	Resistencia 160 ohm de Allen-Bradley 5% 1/8 W	1	5	5
R11	Resistencia Allen-Bradley 470 ohm 1/8W 5%	1	5	5
REG1	Regulador LM-309K 5v 1 Amp de National Semiconductors	1	150	150
RAD	Radiador, serie 13 de Sidevan	1	210	210
S1	Interruptor MD PL-IL, con diodo led incorporado de Jean renaud	1	237	237
SEP	Separadores metalicos 5,5cm de longitud rosca hembra en ambos extremos	4	20	80
T1	transistor 2N-4030 PNP potencia 10W maximo de Texas Instruments	1	79	79
T2	Transistor 2N-3055. 60v 115W de potencia NPN. de Motorola	1	178	178
	SUMA Y SIGUE ...			5150

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE: FUENTE ALIMENTACION (continua)				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
	SUMA ANTERIOR...			5150
T3	Transistor 2N-2222 de Texas instruments	1	89	89
Z1	Circuito integrado 74LS 132, cuatro puertas NAND, de dos entradas, SMITH-Trigger de Texas Instrumens	1	180	180
Z2	Circuito integrado 74LS123, dos monoestables rediparables de Texas Instrumens	1	360	360
TR1	Transformador CS-8210, toroidal 220v/10v 30VA de Intelecsa	1	998	998
	SUMA TOTAL...			6777

LISTA DE MATERIALES				
ESTACION REMOTA INTELIGENTE : TARJETA DE SALIDA DIGITALES				
Núm.	DESIGNACION	Cant.	Precio Unidad	Precio Total
C1	Condensador polipropileno Siemens 10 nF/63v	1	19	19
C2a C7	Condensador de tantalo TAG 2,2/16 de ITT(2,2 μF/16v)	6	15	90
C8	Condensador de tantalo TAG 0,1/16	1	13	13
CI1	Pasa de circuito impreso de fibra de vidrio de 140x 132m.m. de 1,6m.m. de espesor conector macho d 40 puntos en ambas caras, distancia entre centro de contacto 0,125 pulgadas. Extractor en el otro extremo, según plano E.R.I. 0.3.04 de SESA.	1	1500	1500
RI	Resistencia Allen. Bradley 11 ohm, 2 W 5%	1	25	25
ZO1	Zocalos para circuito integrado sobre circuito impresor, de 14 patillas clase 415 de Augat	29	42	1218
ZO2	Zocalos paracircuito integrado sobre circuito impreso, de 20 patillas clase 415 de Augat	2	50	100
Z1,Z2	Circuito integrado SN-74LS86, cuatro exclusive -OR de dos entradas de Texas Instruments	2	102	204
Z3	Circuito integrado DSS-C7, siete mini-interruptores con protector de Alcoswitch	1	266	266
Z4	Circuito integrado 316B104, ocho resistencias de 100Kohm de Allen-Bradley	1	109	109
Z5	Circuito integrado SN-74LS04, seis inversores de Texas Instruments	1	80	80
Z6	Circuito integrado SN-74LS02. cuatro puertas NOR de dos entradas de Texas Instruments	1	73	73
Z7	Circuito integrado SN-74LS00 cuatro puertas NAND de dos entradas de Texas Instruments	1	65	65
	SUMA SIGUE...			3762

L I S T A D E M A T E R I A L E S				
ESTACION REMOTA INTELIGENTE: TARJETA DE SALIDA DIGITALES(con)				
Núm.	D E S I G N A C I O N	Cant.	Precio Unidad	Precio Total
	SUMA ANTERIOR...			3762
Z8	Circuito integrado SN-74LS30, puerta NAND de ocho entradas de Texas Instruments	1	73	73
Z9, Z10 Z33 Z34	Circuito integrado SN-74LS125, cuatro puertas amplificadoras con salida Tri-estado de Texas Instruments	4	153	612
Z11 Z12	Circuito integrado Sn-74LS273, ocho biestables tipo D disparados en flanco de Texas Instruments	2	489	978
Z13 Z15	Circuito integrado SN-7416, seis inversores de colector abierto de Texas Instruments	3	107	321
Z16 Z31	Reles miniatura D31A314, empaquetado DIL tensión de funciónamiento a +5v de CELDUC	16	366	5856
Z32	Regulador LM-309K, 5v/1 Amp de National Semiconductors	1	150	150
	SUMA TOTAL...			11752

L I S T A D E M A T E R I A L E S

ESTACION REMOTA INTELIGENTE: TARJETAS DE ENTRADAS ANALOGICAS

Núm.	D E S I G N A C I O N	Cant.	Precio Unidad	Precio Total
C1	Condensador, polipropileno Siemens 47n F 63v	1	19	19
C2a C7	Condensador de tantalo TAG 2,2/16 de ITT (2,2 μF/16 voltios)	6	15	90
C8	Condensador de tantalo ITT 0,1μF/16v	1	13	13
CI3	Placa de circuito impreso, de fibra de vidrio de 140x132m.m. 1,6m.m. de espesor conector macho de 40x2 puntos, distancia entre centros 0.125". Extractor en otro extremo segúm plano 03.04 de SESA	1	1500	1500
R1	Resitencia, Allen Bradley 22 ohm 1 Watio 5%	1	15	15
ZOC1	Zocalos para circuito integrado sobre circuito impreso, de 14 patillas clase 415 de Augat	10	42	420
ZOC2	Zocalos para circuito integrado sobre circuito impreso, de 16 patillas, clase 415 Augat	4	46	184
ZOC3	Zocalos para circuito integrado, sobre circuito impreso de 40 patillas clase 415 de Augat	1	86	86
Z1,Z2	Circuito integrado SN-74LS86, cuatro puertas exclusive-OR de dos entradas de Texas Instruments	2	102	204
Z3	Cirduito integrado 316B104, ocho resistencias de 100Kohm, Allen-Bradley	1	109	109
Z4,Z10	Circuito integrado DSS-C8, ocho mini-interruptores, con protector, de AlcosWitch	2	280	560
Z5	Circuito integradro SN-74LS02, cuatro puertas NOR de dos entradas, de Texas Instruments	1	73	73
Z6	Circuito integrado SN-74LS00 cuatro puertas NAND de dos entradas, de Texas Instruments	1	65	65
Z7	Circuito integrado SN-74LS04, 6 inversores, de Texas Instruments	1	80	80
	SUMA SIGUE..→			3.418

L I S T A D E M A T E R I A L E S

ESTACION REMOTA INTELIGENTE TARJETAS DE ENTRA ANALO (conti)

Núm.	D E S I G N A C I O N	Cant.	Precio Unidad	Precio Total
	SUMA ANTERIOR...			3.418
Z8	Circuito integrado SN-74LS30, puerta NAND de ocho entradas de Texas Instruments	1	73	73
Z9Z11	Circuito integrado SN-74LS125, cuatro puertas amplificadoras con salida tri-state de Texas Instruments	3	153	459
Z12	Circuito integrado P-8216, adaptador de bus para cuatro bits, de Intel	1	378	378
Z13	Circuito integrado SN-74LS74, dos biestables tipo D, disparados en el flanco de Texas Instruments	1	116	116
Z14	Circuito integrado ADC 0816 CCN convertidor analogico/digital de 8 bits, 16 entradas de National Semiconductors	1	1420	1420
Z15	Regulador LM-309K, 5v/1 Amp. de National Semiconductors	1	150	150
	SUMA TOTAL...			6.014

L I S T A D E M A T E R I A L E S

ESTACION REMOTA INTELIGENTE: BAETINOR

Núm.	D E S I G N A C I O N	Cant.	Precio Unidad	Precio Total
CI1	Placa de circuito impreso de fibra de vidrio de 431 mm x 165 mm según plano E.R.I. 03.02 de SESA	1	4000	4000
CI2 a CI4	Placas de circuito impreso para interconexión con la planta. según plano E.R.I.	3	750	2250
G	Estructura en aluminio 1 mm de espesor, unido con elementos de fijación standard según, plano E.R.I. 03.01 Fabricado por HILARSAN, S.A.	1	9200	9200
J1 a J18	Conector de 80 puntos en doble cara serie 346 terminal para soldar contacto acabado en oro de Connectral	18	468	8424
J19 J30	Conector de 36 puntos, doble fila de contactos serie 346, terminal para soldar, acabado en oro de Connectral	12	270	3240
J31	Conector DB-25PA de Cannon Electric	1	350	350
S1 a S30	Separador para colocar entre contactos de conector de Connectral	30	7	210

PRESUPUESTO MATERIAL

Placa de CPU	11.779
Placa de memoria	19.861
Placa de entradas analógicas	6.014
Placa de entradas digitales	11.433
Placa de salidas digitales	11.752
Fuente de alimentación	6.777
Bastidor 19''	27.674
TOTAL DEL PRESUPUESTO MATERIAL	95.290

3. MANO DE OBRA

El coste de la mano de obra, es el del montaje de los componentes sobre la placa, más el de la instalación en la estación remota, incluyendo esta el tirado y conexión de cables desde los orgenos de la estación a supervisar a los conectores de la placa posterior de la estación remota inteligente, en el caso del prototipo. En su lanzamiento en serie iran a las placas de interconexión

3.1. MONTAJE DE COMPONENTES

Podemos evaluar por cada una de las partes de la estación remota inteligente el tiempo de colocación, cableado y sodadura de los componentes necesarios

Placa de CPU: 7 horas

Placa de memoria: 4 horas

Placa de entradas analogicas: 2 horas

Placa de entradas digitales: 3 horas

Fuente de alimentación: 4 horas

Lo que nos representa un total de 23 horas luego el coste de esta operación sera: 23 x 1500 pts = 34.500 pts

3.2. MONTAJE DE LA ESTACION REMOTA INTELIGENTE

Podemos estimar en 10 h el coste del tirado y conexión de cables desde la estación a supervisar hasta la parte posterior de los conectores, donde iran en el caso de este prototipo. Posteriormente con producción serie ira conectada a la placa de interconexión, el precio hora sera de 1500pts

Asi, el precio de instalación sera de 1500 pts/h x 10h = 15000pts

Total de mano de obra

- Montaje de componentes	34.500
- Montaje en la estación	15.000
TOTAL. M.O.	49.500 pts.

4. PRESUPUESTO DE EJECUCION MATERIAL

El presupuesto de ejecución material sera:

Coste de los materiales	95.290
Coste de la mano de obra	49.500
Presupuesto de ejecución material	144.790 pts.

5. GASTOS GENERALES DE LA COMPAÑIA

El presupuesto por contrata autoriza un aumento del 6% sobre el presupuesto de ejecución general en concepto de gastos generales de la compañia, lo que representa

Gastos generales de la compañia	8687
TOTAL GASTOS GENERALES	8687 pts

6. BENEFICIO INSUTRIAL DEL CONTRATISTA

El contratista tiene derecho a percibir un 18% del presupuesto de ejecución material, en razón a su beneficio indus -- trial

Este coste asciende a:

Beneficio industrial del contratista	26062	pts
TOTAL BENEFICIO INDUSTRIAL	26062	pts

7. PRESUPUESTO TOTAL

De la suma de las distintas partidas anteriores obtenemos:

Presupuesto de ejecución material	144790
Gastos generales de la compañia	8687
Beneficio industrial del contratista	26062
PRESUPUESTO TOTAL	179539 pts.

Asciende el presente presupuesto a la expresada cantidad de CIENTO SETENTA Y NUEVE MIL QUINIENTAS TREINTA Y NUEVE PESETAS.

Madrid, 16 de agosto de 1980

Fdº.: Eduardo Lainez Berdonces